Lattice-XO3L基板設計時資料

はじめに

·本資料は、Lattice社XO3Lの基板設計時の注意事項、使用時の注意事項をまとめたものです。実際の動作等詳細、最終の確認は、別途データシート、テクニカルノートを参照頂けるようお願い申し上げます。

·Lattice社データシートと本資料との間に差異があった場合には、Lattice社データシートを正としお取り扱い下さい。

目次

ページ

1. 電源ピンの処理
- 1-1. 電源ピン説明 ····· 5
- 1-2. 注意事項 ····· 6

2. I/Oピンの処理
- 2-1. I/O Bank の構成 ····· 8
- 2-2. クロック専用ピン、PLL専用ピン ····· 9
- 2-3 対応可能なI/OのI/F一覧 ～シングルエンドI/O～ ····· 10
- 2-4 対応可能なI/OのI/F一覧 ～差動I/O～ ····· 11
- 2-5. サポートする標準入力I/Fについて ····· 12
- 2-6. プルアップ / プルダウンの抵抗値 ····· 13
- 2-7. Dual-function I/Oのプルアップ / プルダウン ····· 14
- 2-8. Power-ON 時のI/Oの挙動 ····· 17
- 2-9. ドライブ能力について ····· 18- 19
- 2-10. 差動LVDS I/F対応について ····· 20 - 22
- 2-11. その他差動 I/Fについて ····· 23 - 25
- 2-12. 同時スイッチングによるノイズの影響 ····· 26
- 2-13. DDR関連の処理、対応について ····· 27

3. CONFIGピンの処理
- 3-1. Dual-function I/Oについて ····· 29
- 3-2. Dual-function I/Oを通常I/Oとして使用する方法 ····· 30
- 3-3. 注意事項 ····· 31-32
- 3-5. その他 I/Oポート処理全般 ····· 33
- 3-6. XO2とXO3Lデバイスの違いについて ····· 34
- 3-7.Grobal Preference Settingについて ····· 35-36
- 3-9.各モード設定について ····· 37

4. 各Modeと参考回路
- 4-1～4-7.各Modeと参考回路 ····· 38-43

4. まとめ
- 4-8. バージョン管理 ····· 44

XO3Lの電源ピンについて

1-1. 電源ピン説明

ピン名	電圧(V)	備考
Vcc(専用ピン)	1.2 （±5%）	XO3L-E デバイス コア用電源
	2.5 / 3.3 （±5%）	XO3L-C デバイス コア用電源
GND(専用ピン)	-	グランドピン
VCCIO(専用ピン)	1.2/1.5/1.8/2.5/3.3 （±5%）	各バンク毎のI/O電源 使用するインターフェースによってバンク毎に入力する電源を決定します

注:①XO3L-EデバイスでVCCIOが1.2Vの場合、或いは
XO3L-CデバイスでVCCIOが2.5V / 3.3Vでコアと同じ場合
はVCCと同じ電源にそれぞれ接続する

②未使用I/OバンクのVCCIOはVCCに接続する

③I/Oバンク0はコンフィグレーション関連ピンを含むバンク

1-2. 電源に関する注意事項

■電源シーケンス制御

Vccioを先に立ち上げないと不定ドライブをしてしまう可能性がありますのでご注意下さい。
特に、VCCIO2 につきましては必ずVCC / VCCIO0 と同時か、その前に立ち上げてください。
尚、VCCIO1/VCCIO3/VCCIO4/VCCIO5に関してのシーケンスはございません。

■電源の立ち上がり時間は下記の条件を推奨いたします。

電源	条件	立ち上がり時間
Vcc	0～最少有効電圧	0.01 ～ 100V/ms
Vccio0	0～最少有効電圧	0.01 ～ 10V/ms

※ 電源は単調増加である必要があります。

■電源オン・オフ（パワーサイクリング）時などの残留電圧。

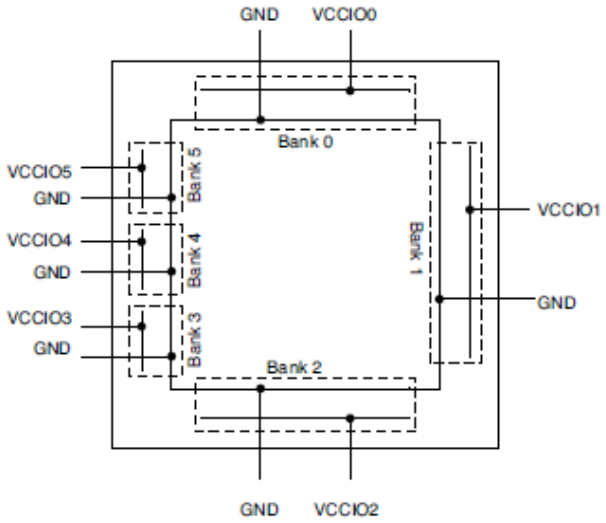
デバイスが動作中にVCC電源が瞬断などで一時的に低下した場合、或いは意図的にオフとオンの操作/制御（パワーサイクリング）をする場合の要件です。電源が復帰した後の動作（再コンフィグレーション）を確実にするため、Vccは以下を満たすことを推奨いたします。

時間 : 1usec 以上
最低残留電圧値: 0.6V 以下

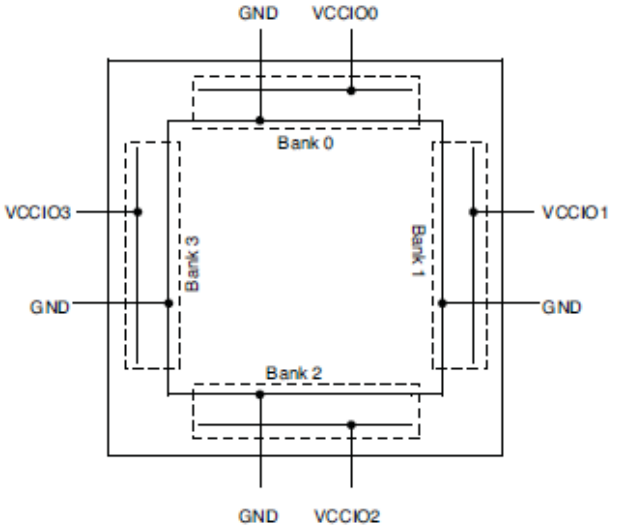
XO3LのI/O Bankの概念及び汎用I/Oについて

2-1. I/O Bank の構成

MachXO3L-1300 in 256 Ball Packages, MachXO3L-2100, MachXO3L-4300 and MachXO3L-6900バン ク 構造



MachXO3L-640 and MachXO3L-1300 B バン ク構造



・各バンクにVCCIOを1つずつ持っています。

・True LVDS出力に関してはTopBank[Bank 0]のみ対応可能です。
・LVDS入力に関してはすべてのBankで対応可能です。
（ギアリングロジックを使用する場合、LVDS送信はTopBank[Bank 0]、
LVDS受信はBottomBank[Bank 2] のA/Bペアでのみ対応可能です。
ギアリングロジックの詳細はp 26に記載があります。）

・外部抵抗により、LVDS、LVPECL等のエミュレーションは可能です。

2-2. クロック専用ピン、PLL専用ピン

ピン名	説明
[LOC]_GPLL[T,C]_IN	GPLLへのクロック入力ピン。PLL未使用時は通常I/Oとして使用可能。
[LOC]_GPLL[T,C]_FB	GPLLへのフィードバック入力ピン。PLL未使用時は通常I/Oとして使用可能。
PCLK[n]_[2:0]	Globalクロック入力ピン。クロックピンとして使用しない場合、通常I/Oとして使用可能。

※上記のピンは未使用時はOPENで構いません

[LOC] ・・PLLのロケーション(L , R)

[T/C] ・・T(True)、C(Complement) 差動のP/N

○注意事項
シングルエンドのクロックは、必ずT側のピンにアサインしてください。

2-3 対応可能なI/OのI/F一覧 ～シングルエンドI/O～

規格	バンク0(Top)	バンク1	バンク2(Bottom)	バンク3-5
シングルエンド	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12

2-4 対応可能なI/OのI/F一覧 ～差動I/O～

規格	バンク0(Top)	バンク1	バンク2(Bottom)	バンク3-5
差動I/O	LVDS出力 ※1	–	–	–
	LVPECL33E ※2	LVPECL33E ※2	LVPECL33E ※2	LVPECL33E ※2
	MLVDS25E ※2	MLVDS25E ※2	MLVDS25E ※2	MLVDS25E ※2
	BLVDS25E ※2	BLVDS25E ※2	BLVDS25E ※2	BLVDS25E ※2
	LVDS25E ※2	LVDS25E ※2	LVDS25E ※2	LVDS25E ※2
	LVCMOS33D 出力	LVCMOS33D 出力	LVCMOS33D 出力	LVCMOS33D 出力
	LVCMOS25D 出力	LVCMOS25D 出力	LVCMOS25D 出力	LVCMOS25D 出力
	LVDS 入力	LVDS 入力	LVDS 入力 ※3	LVDS 入力
	LVPECL33 入力	LVPECL33 入力	LVPECL33 入力	LVPECL33 入力
	MLVDS25 入力	MLVDS25 入力	MLVDS25 入力	MLVDS25 入力
	BLVDS25 入力	BLVDS25 入力	BLVDS25 入力	BLVDS25 入力
	LVTTL33D 入力	LVTTL33D 入力	LVTTL33D 入力	LVTTL33D 入力
	LVCMOS33D 入力	LVCMOS33D 入力	LVCMOS33D 入力	LVCMOS33D 入力
	LVCMOS25D 入力	LVCMOS25D 入力	LVCMOS25D 入力	LVCMOS25D 入力
	LVCMOS18D 入力	LVCMOS18D 入力	LVCMOS18D 入力	LVCMOS18D 入力
	LVCMOS15D 入力	LVCMOS15D 入力	LVCMOS15D 入力	LVCMOS15D 入力

1. 真の LVDS 出力はTop バンク で対応しています。
2. エミュレート 出力規格は規格名の後ろに “E” がついています。
3. 7:1LVDSの入力はBottom バンクでのみ対応しております。

2-5. サポートする標準入力I/Fについて

■LVCMOS 及び LVTTL I/O タイプの電圧混在への対応

VCCIO	Inputs					Outputs				
	1.2 V	1.5 V	1.8 V	2.5 V	3.3 V	1.2 V	1.5 V	1.8 V	2.5 V	3.3 V
1.2 V	YES	YES[2]	YES[2]	YES[2]	YES[2]	YES				
1.5 V	YES[1]	YES	YES[2]	YES[2]	YES[2]		YES			
1.8 V	YES[1]	YES[3]	YES	YES[2]	YES[2]			YES		
2.5 V	YES[1]	YES[3]	YES[3]	YES	YES[2]				YES	
3.3 V	YES[1]	YES[3]	YES[3]	YES[3]	YES					YES

・5Vトレラント入力はサポートしておりません。

・XO3Lデバイスの入力バッファは、Mixed Voltage対応となっており、VCCIO,VREFに依存せず、入力I/Fをとることが可能です。

※上表注2 :Vccioに対して入力電圧が上回る場合(OverDriveCondition)

上表注3 :Vccioに対して入力電圧が下回る場合(UnderDriveCondition)

〇注意事項

OverDriveCondition、UnderDriveConditionの際、デバイス内部のPCI-CLAMP、Hysteresis機能、I/O内部での”UP”、“Keeper”はサポートしておりませんので、CLAMPを”OFF”、PULLMODEを”NONE”、 Hysteresis を”NA”に設定する必要がございます。

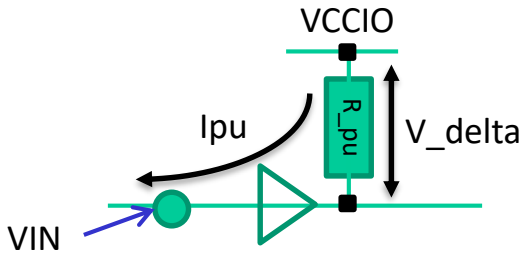
■差動入力規格の電圧混在への対応

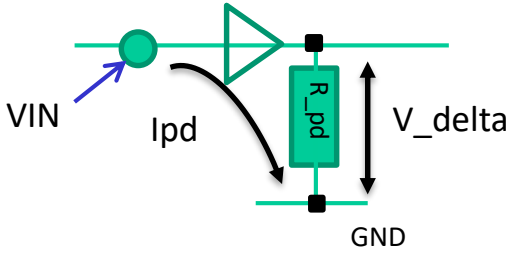
Vccio	Differential Inputs		
	LVDS LVPECL33 MLVDS25 BLVDS25	LVTTL33D LVCMOS33D	LVCMOS25D
1.2 V			
1.5 V			
1.8 V			
2.5 V	YES		YES
3.3 V	YES	YES	YES

2-6. プルアップ / プルダウンの抵抗値

MachXO3ではデバイスの動作モードやコンフィグレーション状態に関わらず、“内部で弱いプルアップ/プルダウン”状態では、DC電気的特性のIPU/IPD規定値から、等価抵抗値が以下のように算出されます。

計算例） LVCMOS 33の場合





Ipuが最大になるのはVIN = 0Vの時				
	VIN	V_delta	Ipu(uA)	R_pu(KΩ)
LVCMOS33_max	0	3.465	309	11.21
LVCMOS33_min	0	3.135	309	10.15
Ipuが最小になるのはVIN = 0.7 x VCCIOの時				
	VIN	V_delta	Ipu(uA)	R_pu(KΩ)
LVCMOS33_max	2.4255	1.0395	30	34.65
LVCMOS33_min	2.1945	0.9405	30	31.35

Ipdが最大になるのはVIN = VCCIOの時				
	VIN	V_delta	Ipu(uA)	R_pu(KΩ)
LVCMOS33_max	3.465	3.465	305	11.36
LVCMOS33_min	3.135	3.135	305	10.28
Ipdが最小になるのはVIN = VIL_maxの時				
	VIN	V_delta	Ipu(uA)	R_pu(KΩ)
LVCMOS33_max	0.7	0.8	30	26.67
LVCMOS33_min	0.7	0.8	30	26.67

LVCMOS33_max/min (FPGA-DS-02032-2.5より抜粋)

Standard	V_{CCIO} (V)		
	Min.	Typ.	Max.
LVCMOS 3.3	3.135	3.3	3.465

Ipu/Ipd (FPGA-DS-02032-2.5より抜粋)

I_{PU}	I/O Active Pull-up Current	$0 < V_{IN} < 0.7\ V_{CCIO}$	–30	—	-309	µA
I_{PD}	I/O Active Pull-down Current	V_{IL} (MAX) < V_{IN} < V_{CCIO}	30	—	305	µA

VIL_max (FPGA-DS-02032-2.5より抜粋)

Input/Output Standard	V_{IL}	
	Min. (V)[3]	Max. (V)
LVCMOS 3.3 LVTTL	-0.3	0.8

LATTICE SEMICONDUCTOR

2-6. プルアップ / プルダウンの抵抗値

前ページの計算式に従い、それぞれの電圧で計算した結果が以下の表です。

	内部プルアップ		内部プルダウン	
	MIN	MAX	MIN	MAX
LVSMO33(VCCIO=3.3V)	10.15KΩ	34.7KΩ	10.3KΩ	26.7K
LVSMO25(VCCIO=2.5V)	7.7KΩ	26.3KΩ	7.8KΩ	23.3KΩ
LVSMO18(VCCIO=1.8V)	5.5KΩ	18.9KΩ	5.6KΩ	20KΩ

従って、内部プル処理の論理レベルと反対のレベルにする必要がある場合は、以下の値を推奨します（LVCMOS, LVTTL など）。

	外部プルアップ推奨値	外部プルダウン推奨値
LVSMO33(VCCIO=3.3V)	5.8KΩ以下	3.47KΩ以下
LVSMO25(VCCIO=2.5V)	3.1KΩ以下	3.2KΩ以下
LVSMO18(VCCIO=1.8V)	3.0KΩ以下	3.0KΩ以下

内部処理が無い専用ピンにつける外部処理の抵抗値としては3.0kΩ以下を推奨します。

或いはフェールセーフ的な観点や設計要件によって、内部プル処理と同じレベルで外部プル処理を行う場合も同様です。

2-7. Dual-function I/Oのプルアップ / プルダウン

(1) **未書き込み**XO3Lデバイス

SDM_PORT: **PROGRAMN**
JTAG_PORT **Enabled**
: **Enabled**
I2C: **Enabled**
Slave SPI : Disabled

	Blank/Erase Device			
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	I/O	ユーザ定義	弱いPull-up	
DONE	I/O	ユーザ定義	弱いPull-up	
MCLK/CCLK	SSPI	入力	弱いPull-up	
SN	SSPI	入力	弱いPull-up	Pull-up
SI/SPISI	SSPI	入力	なし	Pull-up/down
SO/SOSPI	SSPI	出力	なし	Pull-up/down
CSSPIN	I/O	ユーザ定義	弱いPull-down	
SCL	I2C	双方向	なし	up/down
SDA	I2C	双方向	なし	up/down
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	Pull-up
JTAGENB	I/O	ユーザ定義	弱いPull-down	

(2) **コンフィグ兼用ピンの設定をデフォルトで生成**したファイルが内部Flashに書き込まれたXO3Lデバイス

SDM_PORT: Disabled
JTAG_PORT: **Enabled**
I2C: Disabled
Slave SPI : Enabled
Master SPI : Disabled

	User Default Pattern in Flash			
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	I/O	ユーザ定義	弱いPull-down	Pull-up
INITN	I/O	ユーザ定義	弱いPull-down	
DONE	I/O	ユーザ定義	弱いPull-down	
MCLK/CCLK	I/O	ユーザ定義	弱いPull-down	
SN	I/O	ユーザ定義	弱いPull-down	Pull-up
SI/SPISI	I/O	ユーザ定義	弱いPull-down	
SO/SOSPI	I/O	ユーザ定義	弱いPull-down	
CSSPIN	I/O	ユーザ定義	弱いPull-down	
SCL	I/O	ユーザ定義	弱いPull-down	
SDA	I/O	ユーザ定義	弱いPull-down	
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	Pull-up
JTAGENB	I/O	ユーザ定義	弱いPull-down	

青枠はコンフィグモードで動作するピンを示しています。
赤字は外部pull-up/downが必要なピンを示しています。

2-7. Dual-function I/Oのプルアップ / プルダウン

(3-1) **コンフィグ兼用ピンの設定を変更**して生成したファイルが
内部Flashに書き込まれたXO3Lデバイス例3

SDM_PORT: **PROGRAMN**
JTAG_PORT: **Enabled**
I2C: Disabled
Slave SPI : **Enabled**
Master SPI : Disabled

	User Default Pattern in Flash			
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	I/O	ユーザ定義	弱いPull-down	
DONE	I/O	ユーザ定義	弱いPull-down	
MCLK/CCLK	SSPI	入力	弱いPull-up	
SN	SSPI	入力	弱いPull-up	Pull-up
SI/SPISI	SSPI	入力	なし	Pull-up/down
SO/SOSPI	SSPI	出力	なし	Pull-up/down
CSSPIN	I/O	ユーザ定義	弱いPull-down	
SCL	I/O	ユーザ定義	弱いPull-down	
SDA	I/O	ユーザ定義	弱いPull-down	
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	Pull-up
JTAGENB	I/O	ユーザ定義	弱いPull-down	

青枠はコンフィグモードで動作するピンを示しています。
赤字は外部pull-up/downが必要なピンを示しています。

(3-2) **コンフィグ兼用ピンの設定を変更**して生成したファイルが
内部Flashに書き込まれたXO3Lデバイス例4

SDM_PORT: **PROGRAMN**
JTAG_PORT: **Enabled**
I2C: Disabled
Slave SPI : Disabled
Master SPI : **Enabled**

	User Default Pattern in Flash			
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	I/O	ユーザ定義	弱いPull-down	
DONE	I/O	ユーザ定義	弱いPull-down	
MCLK/CCLK	SSPI	出力	弱いPull-up	
SN	SSPI	入力	なし	Pull-up
SI/SISPI	SSPI	出力	なし	Pull-up/down
SO/SPISO	SSPI	入力	なし	Pull-up/down
CSSPIN	I/O	出力	なし	Pull-up/down
SCL	I/O	ユーザ定義	弱いPull-down	
SDA	I/O	ユーザ定義	弱いPull-down	
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	Pull-up
JTAGENB	I/O	ユーザ定義	弱いPull-down	

※デュアルブートまたは外部ブートモードに設定されている場合、
MCLK/CCLKピンはマスタクロック(MCLK)として機能します。
これらのモードを使用する際は、1Kの外付けプルアップ抵抗を推奨します。

2-7. Dual-function I/Oのプルアップ / プルダウン

SDM_PORT **PROGRAMN_DONE**
: **Enabled**
JTAG_POR **Enabled**
T: Disabled
I2C: Disabled

	User Pattern in Flash [User Selection (Not Default)]			
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	I/O	ユーザ定義	弱いPull-down	
DONE	DONE	双方向	弱いPull-up	Pull-up
MCLK/CCLK	I/O	ユーザ定義	弱いPull-down	
SN	I/O	ユーザ定義	弱いPull-down	Pull-up
SI/SPISI	I/O	ユーザ定義	弱いPull-down	
SO/SOSPI	I/O	ユーザ定義	弱いPull-down	
CSSPIN	I/O	ユーザ定義	弱いPull-down	
SCL	I2C	双方向	なし	Pull-up
SDA	I2C	双方向	なし	Pull-up
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	Pull-up
JTAGENB	I/O	ユーザ定義	弱いPull-down	

SDM_PORT **PROGRAMN_DONE_INITN**
: **Disabled**
JTAG_POR Disabled
T: Disabled
I2C: Disabled

	ser Pattern in Flash [User Selection (Not Default			
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	INITN	双方向	弱いPull-up	Pull-up
DONE	DONE	双方向	弱いPull-up	Pull-up
MCLK/CCLK	I/O	ユーザ定義	弱いPull-down	
SN	I/O	ユーザ定義	弱いPull-down	Pull-up
SI/SPISI	I/O	ユーザ定義	弱いPull-down	
SO/SOSPI	I/O	ユーザ定義	弱いPull-down	
CSSPIN	I/O	ユーザ定義	弱いPull-down	
SCL	I/O	ユーザ定義	弱いPull-down	
SDA	I/O	ユーザ定義	弱いPull-down	
TDI	I/O	ユーザ定義	弱いPull-down	
TDO	I/O	ユーザ定義	弱いPull-down	
TCK	I/O	ユーザ定義	弱いPull-down	
TMS	I/O	ユーザ定義	弱いPull-down	
JTAGENB	JTAGENB	入力	なし	Pull-down

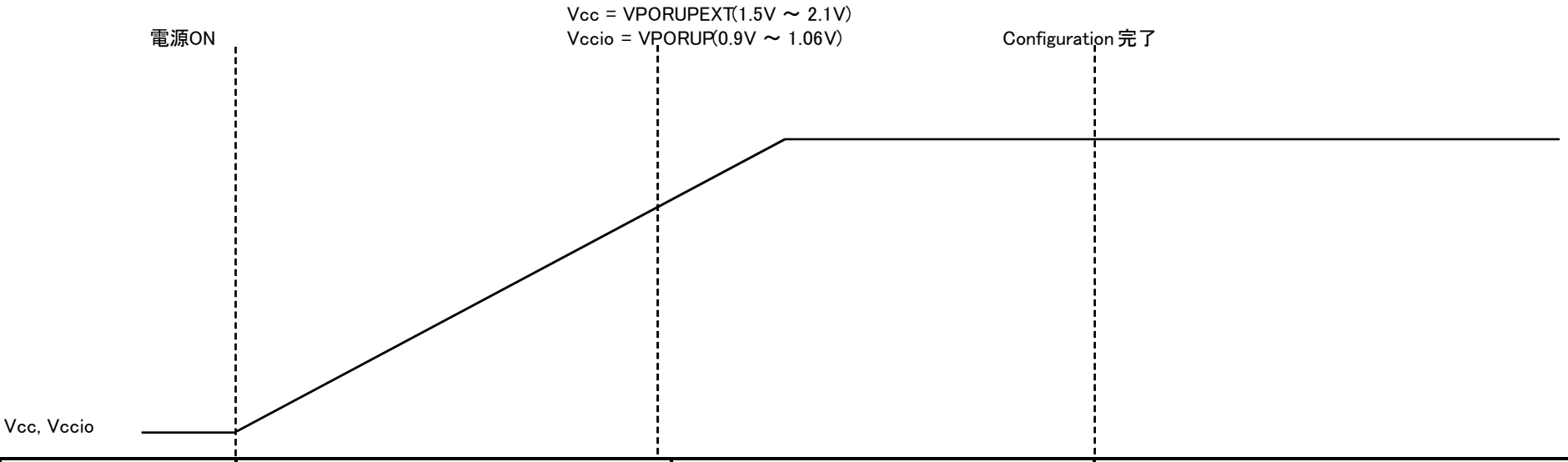
青枠はコンフィグモードで動作するピンを示しています。
赤字は外部pull-up/downが必要なピンを示しています。

青枠はコンフィグモードで動作するピンを示しています。
赤字は外部pull-up/downが必要なピンを示しています。

注意事項

JTAG_PORTをDISABLEにしたデータを書き込んだ場合、JTAGENBを外部からHighにできなければJTAGからの書込みが出来なくなるので注意が必要です。
JTAG_PORTをDISABLEにする場合には、JTAGENBピンは0Ω抵抗をGND間に配置し、かつプルアップ抵抗を実装出来るようにしておき、
万が一の時はJTAGポートをコンフィグに使用できるようにしておくことを推奨します。

2-8. Power-ON 時のI/Oの挙動



	電源ON～VPORUPまでの期間	Configuration 中	Configuration 完了後
コンフィグ兼用ピン状態	Blank/Erase Device (1) 未書き込みXO3L デバイスの 状態 (p 15)	(1)の状態 (p15) (2), (3-1), (3-2),(3-3),(3-4)の状態 (p15-p17)	開発ツール"Lattice Diamond"で設定している状態
通常I/Oピン状態	Hiz, Pull-none	Hiz, 内部プルダウン	開発ツール"Lattice Diamond"で設定している状態

■注意事項

・Vccは単調増加である必要があります。

・XO3Lデバイス起動前/起動時にI/Oに電圧が印加されると、0 < VIN < VIH(MAX)の条件下では最大1mA/ピンの電流が流れる可能性があります。データシート"Hot Socketing Specifications"をご参照下さい。

2-9. ドライブ能力について

Input/Output Standard	V_{IL}		V_{IH}		V_{OL} Max. (V)	V_{OH} Min. (V)	I_{OL} Max.[4] (mA)	I_{OH} Max.[4] (mA)
	Min. (V)[3]	Max. (V)	Min. (V)	Max. (V)				
LVCMOS 3.3 LVTTL	-0.3	0.8	2.0	3.6	0.4	V_{CCIO} - 0.4	4	-4
							8	-8
							12	-12
							16	-16
					0.2	V_{CCIO} - 0.2	0.1	-0.1

＊XO3L DataSheet（sysIO Single-Ended DC Electrical Characteristics）より抜粋

- 上記の表のように、XO3Lのドライブ電流値は可変させることが可能です。設定したI/Fによって、設定できる値は異なりますので、データシートで御確認ください。
- XO3LのI/Oバッファーのドライブ可能電流は以下のような制約があります。

「The average DC current drawn by I/Os between GND connections, or between the last GND in an I/O bank and the end of an I/O bank, as shown in the logic signal connections table shall not exceed n * 8mA, where n is the number of I/Os between bank GND connections or between the last GND in a bank and the end of a bank.」

BankのGND間にあるI/O、もしくはI/O Bank内にある最後のGNDからI/O Bankの端までにあるI/Oの本数において、(その本数)×8mAのドライブ電流を超えてはいけない

- 例えば、XO3L-1300のピンリストを見ますと右のようになっております。
  赤枠を見ますと、GND、GND間のI/Oの本数が9本となっております。
  よって、8mA×9本＝72mAとなり、9本のI/Oは合計で最大72mAまでドライブすることができます。
  （1本当たりの最大は16mAとなります。）

- 次に青枠をご覧下さい。GNDからBANK端のI/Oまでの本数を数えますと4本になっております。
  よって、8mA×4本＝32mAとなり、この4本のI/Oは合計で最大32mAまでドライブすることができます。
  例えば、この場合、No.120 [PR2D]のI/Oが16mAドライブする場合には、残り3本は合計16mAまでしかドライブすることができません。

PAD	Pin Function	Bank
1	PL2A	3
⋮		
63	GND	–
64	PB11D	2
65	NC	–
66	PB11A	2
67	PB11B	2
68	PB15A	2
69	PB15B	2
70	PB15C	2
71	PB15D	2
72	PB18A	2
73	PB18B	2
74	NC	–
75	GND	–
⋮		
117	GND	–
118	NC	–
119	VCCIO1	1
120	PR2D	1
121	PR2C	1
122	PR2B	1
123	NC	–
124	PR2A	1
125	VCC	–
126	PT17D	0
⋮		

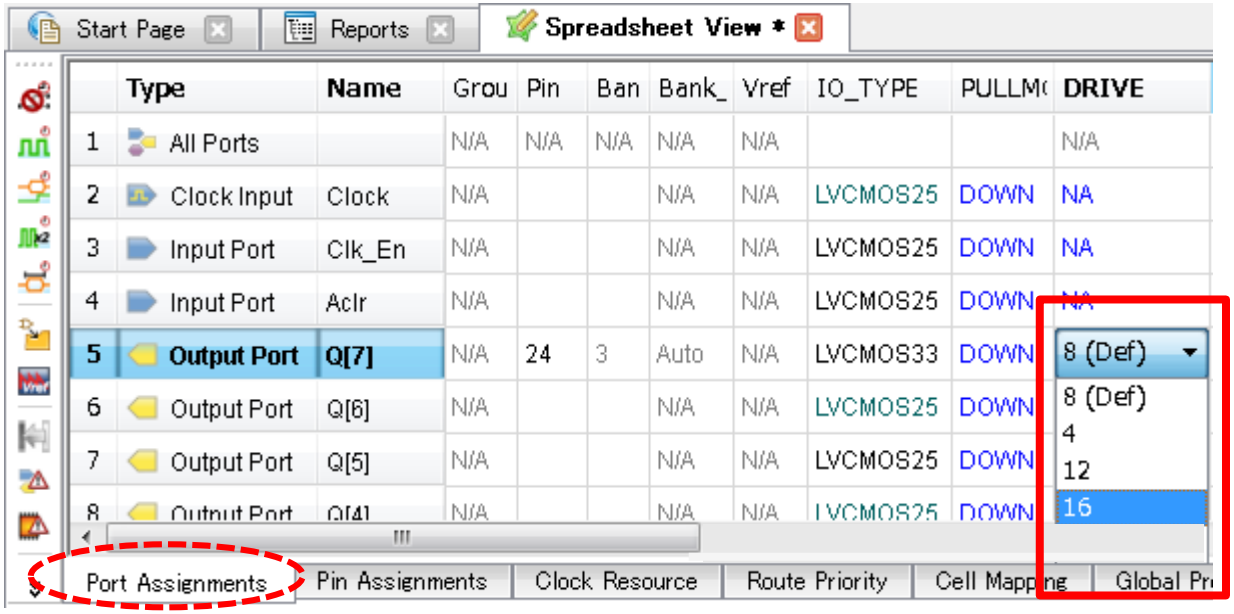
MachXO3L-1300ピンリスト

2-9. ドライブ能力について

・各バッファごとにサポートしているドライブ電流は、以下の通りです。

Drive Strength (mA)	I/O Type					
	LVCMOS12	LVCMOS15	LVCMOS18	LVCMOS25	LVCMOS33	LVTTL33
2	YES					
4		YES	YES	YES	YES	YES
6	YES					
8		YES	YES	YES	YES	YES
12			YES	YES	YES	YES
16				YES	YES	YES

・ DiamondのSpreadsheetView、もしくはlpfファイルにて ドライブ能力の設定が可能です。

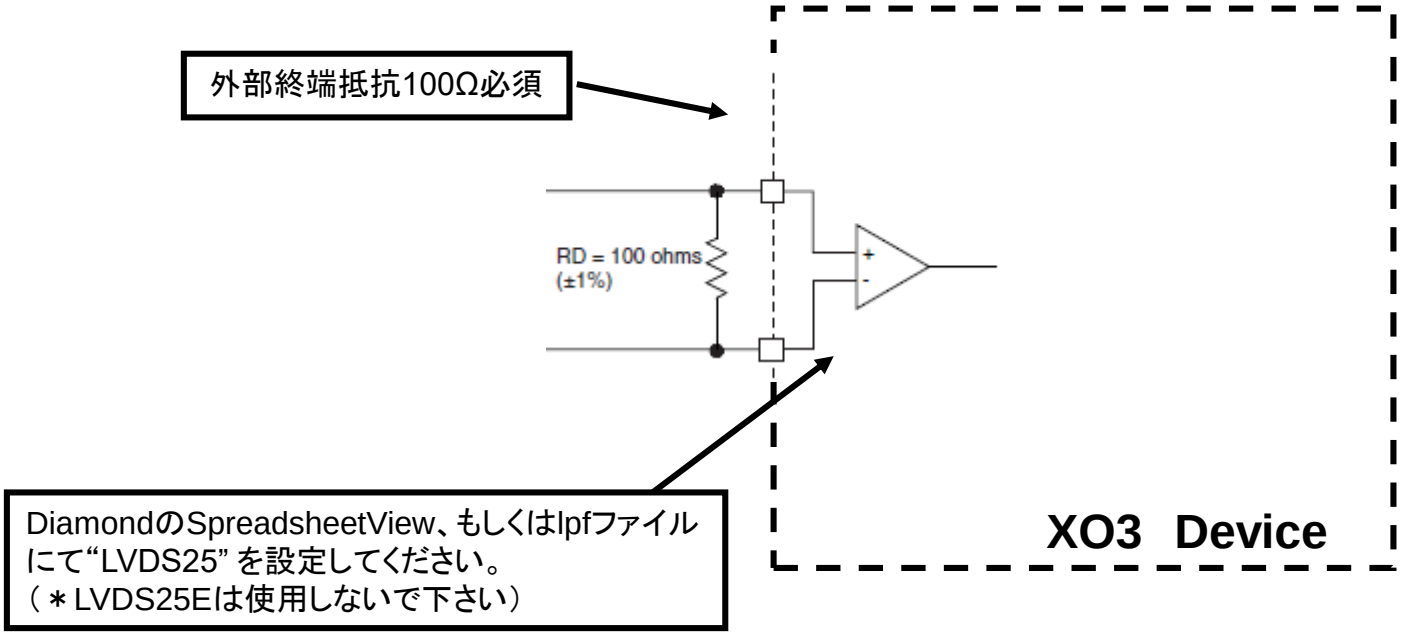


2-10. 差動LVDS I/F対応について

■差動LVDS入力について

- 差動LVDS入力はTop,Bottom,Right,Left全てのバンクで使用可能です。
- 使用するI/Oは必ず差動ペアにしてください。
  ＜例＞右のピンリストのPL2A,/PL2Bのような差動ペアをご使用ください。
  DiamondのSpreadsheetViewではTrue側をアサインしてください。
- 差動LVDS入力で使用する場合、**外部に終端抵抗100Ωが必ず必要**になります。(**Bank2 のみ内部終端抵抗あり**)
- **差動LVDS入力としてアサインされた場合、内部Pull-upが無効となります。**
  その為、ケーブルが外れるようなアプリケーションの場合には、Floating防止の為、外部でフェイルセーフ処理が必要になります。
- **ギアリングロジックを使用したLVDSの出力はTopバンクのA/Bペア、入力はBottom バンクのA/Bペアのみ対応**しております。

PAD	Pin/Ball	Bank	Dual Function	Differential
1	PL2A	3	L_GPLLT_FB	True_OF_PL2B
2	NC	–	–	–
3	PL2B	3	L_GPLLC_FB	Comp_OF_PL2A
4	NC	–	–	–
5	PL2C	3	L_GPLLT_IN	True_OF_PL2D
6	PL2D	3	L_GPLLC_IN	Comp_OF_PL2C
7	NC	–	–	–
8	PL3A	3	PCLKT3_2	True_OF_PL3B
9	PL3B	3	PCLKC3_2	Comp_OF_PL3A



2-10. 差動LVDS I/F対応について

■差動LVDS出力について

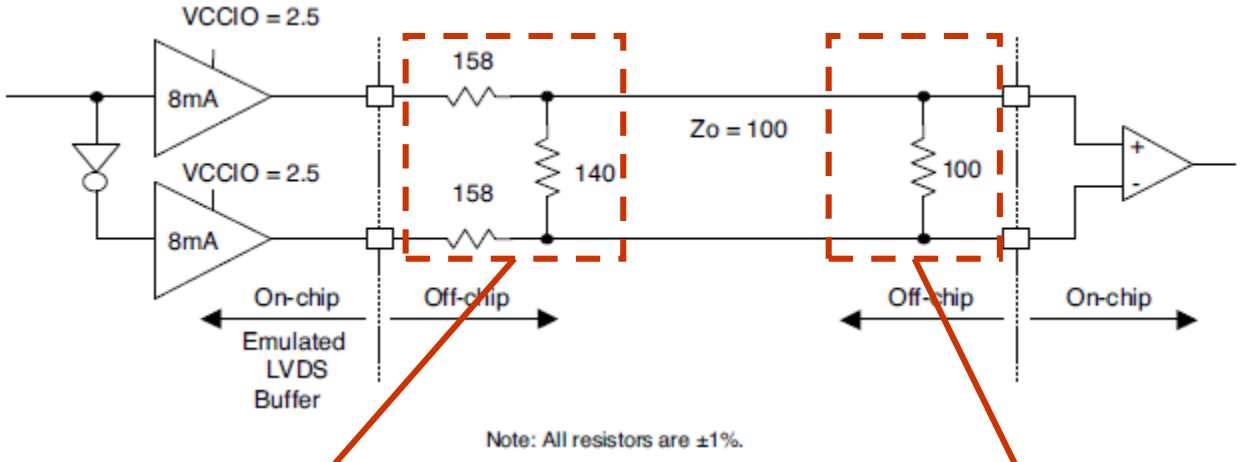
差動LVDS出力は**真のLVDS**と**擬似LVDS**の2つが存在します。

PAD	Pin/Ball	Bank	Dual Function	Differential	High Speed
1	PL2A	3	L_GPLLT_FB	True_OF_PL2B	–
			⋮		
128	PT17C	0	INITN	True_OF_PT17D	–
129	PT17B	0	–	Comp_OF_PT17A	**TRUE**
130	NC	–	–	–	–
131	PT17A	0	–	True_OF_PT17B	**TRUE**
132	PT16D	0	–	Comp_OF_PT16C	–
133	PT16C	0	–	True_OF_PT16D	–

- 真のLVDS出力
  - TopBank（Bank 0）バンクのみ対応しております。ピンリストで確認した場合 High Speedの項目に”**TRUE**”の記述があるI/Oが真のLVDS対応I/Oです。 使用するI/Oは、差動入力と同じく差動ペアにして下さい。
  - 真のLVDSで使用する場合、VCCIOには3.3V もしくは2.5Vを印加する必要がございます。DiamondのSpreadsheetView、もしくはlpfファイルにて I/O Typeを “**LVDS25**”に設定してください。
  - 外付け抵抗は必要ありません。（終端抵抗のみ必要）

- 擬似LVDS出力（Emulated LVDS）
  - Top,Bottom,Left,Right全てのバンクで擬似LVDS出力として使用できます。
  - 使用するI/Oは、差動入力と同じく差動ペアにして下さい。（真のLVDSと違い ”TRUE”の記述がありませんが問題ございません）
  - 擬似LVDSで使用する場合、VCCIOには2.5Vを印加する必要がございます。 必然的に、LVDSを使用するこのバンクは2.5Vインターフェイスでしか使用 できませんのでご注意ください。
  - 開発ツール上では、SpreadsheetView、もしくはlpfファイルにてI/O Typeを “**LVDS25E**”に 設定してください。ドライブ電流は8mAにしてください。
  - 外付け抵抗が必要になります。詳細は次ページをご覧下さい。

2-12. 差動LVDS I/F対応について



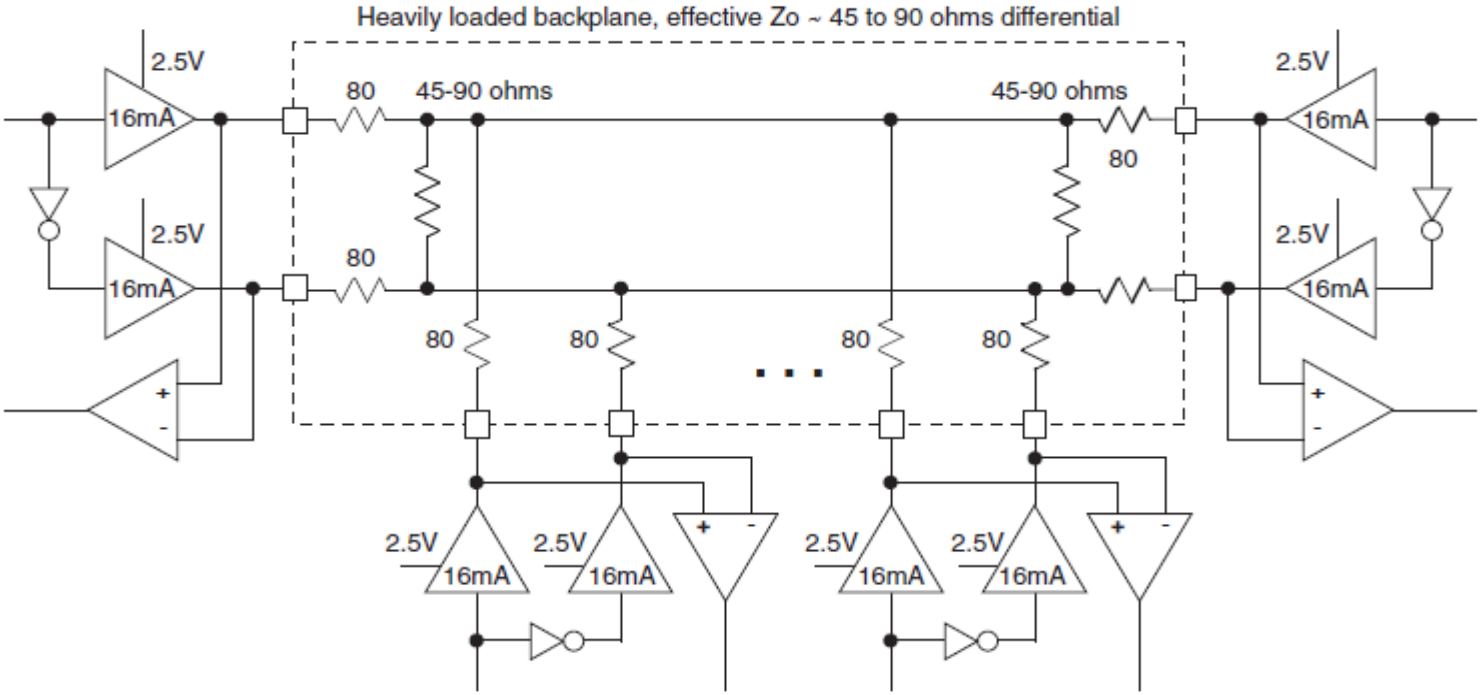
この外付け抵抗は擬似LVDSのときのみ必要となります。真のLVDSの時には必要ありません。

この終端抵抗は真のLVDSでも、擬似LVDSでも必要になります。
(Bank2には終端抵抗が内蔵しているため外付けの終端抵抗は不要です。)

2-13. その他差動 I/Fについて

■差動BLVDSブロック図

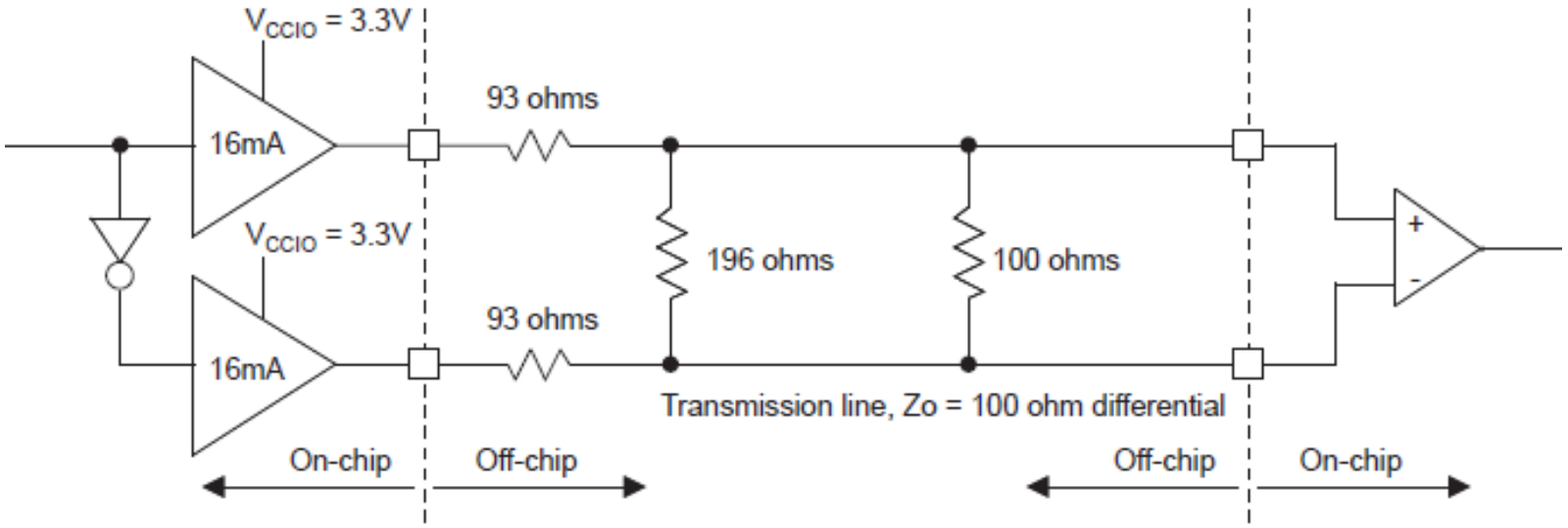
＊詳細はデータシートをご覧下さい。



2-14. その他差動 I/Fについて

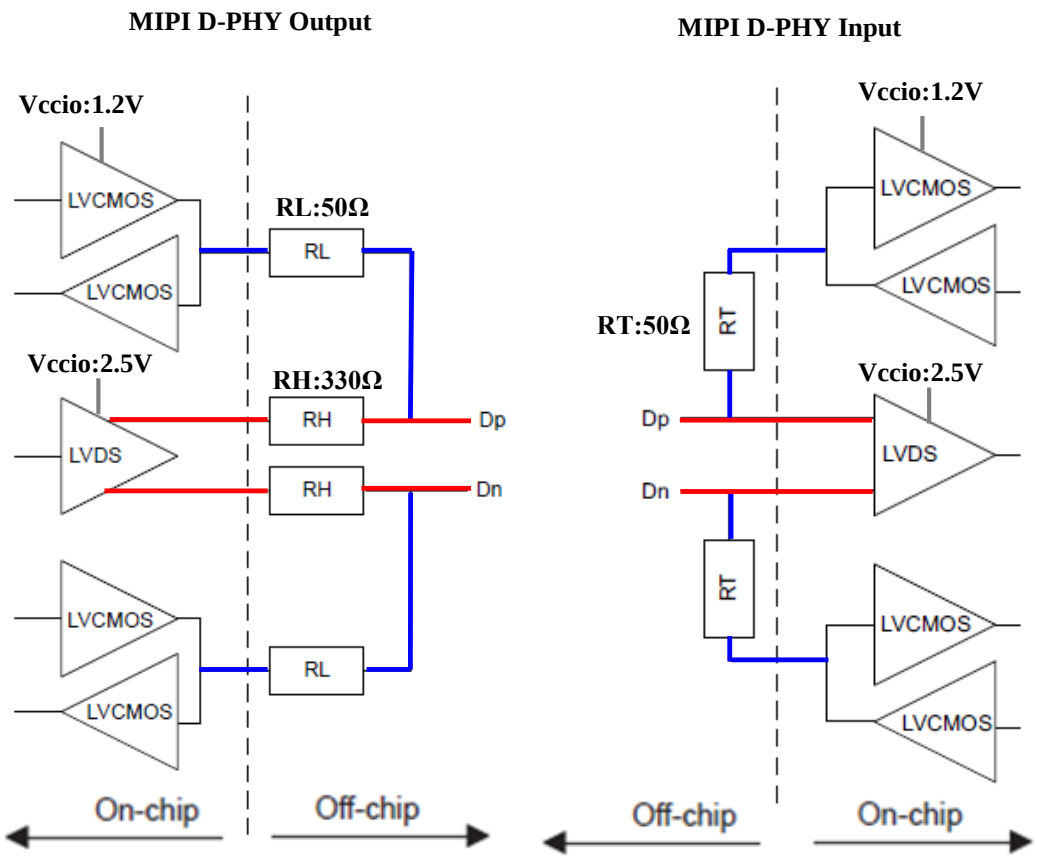
■差動LVPECLブロック図

＊詳細はデータシートをご覧下さい。



2-15. その他差動 I/Fについて

■MIPIブロック図



【各信号線について】

青:LPモード時に使用するLVCMOS信号

赤:HSモード時に使用するLVDS信号

【SpreadSheetView上でのI/O Type設定】

・Tx側

青:LVCMOS12

赤:LVDS25E

・Rx側

青:LVCMOS12

赤:LVDS

【補足】

LPモードを使用する際は、左図のように LVCMOS12 BufferとLVDS25E（Rx側はLVDS） Bufferをwired-OR接続します。

HSモードのみ使用される場合は、LVCMOS12 Bufferをwired-OR接続をせずに、LVDS25E(Rx側は、LVDS) Bufferのみを使用するため、回路を簡略化することが可能です。

2-16. 同時スイッチングによるノイズの影響

【SSO】
一般的にCPLD、FPGAにおいて同時にスイッチングする出力ピン及び、双方向ピンを一箇所にかためてピンアサインをすると、出力ピンが同時スイッチングする事による瞬時電流の変動でグラウンド・バウンスが発生し、回路が誤動作を起こす恐れがあります。

SSOノイズ対策として以下の項目をご検討下さい。

■SSOノイズを考慮した設計方法

・出力ピンを同一I/Oバンク、一箇所にかためない。
・出力ピンのSlew RateをSlowに設定する。(Diamondにて設定可能)
・出力先の負荷容量を小さくする。
・SSO AnalyzerによるSSOノイズ発生有無の確認。

SSO Analyzerのユーザマニュアルにつきましては、以下URLにございます。
http://www.tecstar.macnica.co.jp/product/lattice/LatticeSupportHP/manual/LatticeKKManual/Diamond_UG_Joriginal/D2.2/UGJ-D20_SSOanalyzer_v22.pdf

2-11. DDR関連の処理、対応について

■ギアリングロジック
プログラマブルI/O（PIO）セルに組み込まれているハードマクロです。
高速汎用DDRインターフェイスや、7:1LVDSのシリパラ/パラシリに使用されます。

MachXO3Lデバイスでは、I/Oバンクの位置に応じて4種類のギアリング比を設定できます。
(詳細はTN1281 p.1 Table1 に記載がございます)

■ギアリングロジックが使用できるBankについて(XO3Lすべて)

Gearing Logic	Definition	Gearing Ratio	Left	Right	Bottom	Top
DDR x1[1]	GDDR	1:2 or 2:1	Yes	Yes	Yes	Yes
Input DDR x2	GDDR	1:4	—	—	Yes	—
Input DDR x4	GDDR	1:8	—	—	Yes	—
Input DDR 7:1	GDDR	1:7	—	—	Yes	—
Output DDR x2	GDDR	4:1	—	—	—	Yes
Output DDR x4	GDDR	8:1	—	—	—	Yes
Output DDR 7:1	GDDR	7:1	—	—	—	Yes

上記表で“Yes”と記載されているBankにてギアリングロジックを使用することが可能です。
DDRx1は全ての規模のMachXO3デバイスで利用可能です。

XO3Lのコンフィグレーションについて

3-1. Dual-function I/Oについて

Dual-function I/Oは、下表の処理を行うことによりUser I/Oとして使用する事が可能です。

ピン名	方向	機能
JTAGENB	I	DiamondのSpreadsheetViewにて JATAG_PORT の設定を“DISABLE”にした場合、JTAGENBピンのHigh/Lowの制御によりJTAG専用ピンを汎用I/Oとして切り替えて使用することが可能です。 Low :TDI, TDO, TMS, TCK は汎用I/Oとして機能します。 High :TDI, TDO, TMS, TCK はJTAG専用ピンとして機能します。 ※JTAG_PORTの設定を“ENABLE”に設定している場合、JTAGENBピンは汎用I/Oとなります。
PROGRAMN	I	PROGRAMNに印加される信号がHighからLowに遷移すると、デバイスがコンフィグレーションモードになります。 デバイスのコンフィグレーション中には、PROGRAMNピンをトグルしないでください。（常時はPull-up しておきます。）
INITN	I/O	SRAMのコンフィグレーション中にLowが出力されると、SRAMの初期化中であることを表し、またHighになるとデバイスがコンフィグレーション・データの受け入れ準備ができたことを表します。 また、INITNピンを外部からLowに保持することで、デバイスはコンフィグレーション・モードにはなりません。 コンフィグレーションの開始後は、INITNはビットストリーム・エラーの表示に使用されます。 コンフィグレーション中に何らかのエラーが検出されるとINITNピンはLowになり、その後にDONEもLowのままになり、デバイスがウェイクアップしません。
DONE	I/O	電源の再投入またはPROGRAMNピンのトグルによって、デバイス・コンフィグレーションを起動すると、DONEピンはコンフィグレーション中にLowになり、コンフィグレーションが正常に完了するとHighに戻ります。 ※デバイスを初めてプログラムするとき、またはデバイスを新しいパターンでプログラムするときは、初期化中にLowにならず、LowからHighへの遷移が発生しません。
MCLK/CCLK	I/O	スレーブSPI（SSPI）でコンフィグレーションするためのクロック入力、またはSPIおよびSPIモードでコンフィグレーションするためのクロック出力です。
SN	I	スレーブSPIのLowアクティブなチップ・セレクト入力。
CSSPIN	I/O	マスタSPIのLowアクティブなチップセレクト出力。
SI/SISPI	I/O	スレーブSPIシリアルデータ入力およびマスタSPIシリアルデータ出力。
SO/SPISO	I/O	マスタSPIシリアルデータ入力およびスレーブSPIシリアルデータ出力。
SCL	I/O	スレーブI2Cクロック入力およびマスタI2Cクロック出力。
SDA	I/O	スレーブI2Cデータ入力およびマスタI2Cデータ出力。

3-2. Dual-function I/Oを通常I/Oとして使用する方法

■ JTAGEN

DiamondのGlobal Preferencesより、JTAG_PORTを”ENABLE”(Default)にすることで通常 IOとして使用可能です。DISABLEにした場合、JTAGENBを外部からHighにできなければJTAGからの書込みが出来なくなるので注意が必要です。そのため、DISABLEにする場合には、JTAGENBピンは0Ω抵抗をGND間に配置し、かつプルアップ抵抗を実装出来るようにしておき、万が一の時はJTAGポートをコンフィグに使用できるようにしておくことを推奨します。p.38に推奨回路の記載がございます。

■ TDI, TDO, TMS, TCK

DiamondのGlobal Preferencesより、JTAG_PORTを”DISABLE”に設定し、JTAGENをLowにすることで通常IOとして使用可能です。JTAGENがHighの時には、TDI/TDO/TMS/TCKはコンフィグ専用ピンになります。

■ PROGRAMN, INITN, DONE

DiamondのGlobal Preferencesより、SDM_PORTを”DISABLE”(Default)に設定していただくことでPROGRAMN / INITN / DONE のピンは通常IOとして使用可能です。

■ MCLK/CCLK, SN, SI/SPISI, SO/SOSPI, CSSPIN

DiamondのGlobal Preferencesより、SLAVE_SPI_PORT ・ MASTER_SPI_PORTを”DISABLE”(Default)に設定していただくことでMCLK/CCLK SN SI/SPISI SO/SOSPI CSSPINのピンは通常IOとして使用可能です。

■ SCL , SDA

DiamondのGlobal Preferencesより、I2C_PORTを”DISABLE”(Default)に設定していただくことでSCL / SDAのピンは通常IOとして使用可能です。

3-4. 注意事項

① JTAGインタフェースを設けることを推奨します。
TCKは2.2KΩ で外部プルダウン、TMSは2.2KΩ で外部プルアップすることを推奨します。

② JTAGインターフェイス未使用を選択した場合（JTAG_PORT=DISABLE）、JTAGENピンは0Ω抵抗をGND間に配置し、かつプルアップ抵抗を実装出来るようにしておき、万が一の時はJTAGポートをコンフィグに使用できるようにしておくことを推奨します。

③ PROGRAMN,INITN,DONEピンを有効にすることを推奨します。
Vccio0(と同タイミングで立ち上がる電源)に2.2kΩ – 4.7kΩでプルアップしてください。

④ PROGRAMNピンは再コンフィグレーション時にトグルする以外の目的には使用しないでください。
電源立ち上がり後トグルする場合は、コンフィグレーション完了を示すDONEがアサートされた後、数十～数百msec以上の十分な時間を確保します。DONEがLowの状態でPROGRAMNをトグルしてはいけません。
また、電源投入時にはPROGRAMNをLow固定にしてはいけません。電源投入時にPROGRAMNがLowに固定されていますとコンフィグレーションに失敗してしまう可能性があります。

3-4. 注意事項

⑤ 電源起動時、SNピンをLowにしないでください。
コンフィグレーションに失敗してしまう可能性があります。
SNピンはVccio2(と同タイミングで立ち上がる電源)に2.2kΩ - 4.7kΩでプルアップしてください。

⑥Dual functionピンはできるだけユーザI/Oとして使用しないことを推奨します。特にPROGRAMNについては、ユーザIOとして使用する場合でも、電源起動時にはPROGRAMNとしての機能が有効になるのでユーザーI/Oとして使用しないことを強く推奨いたします。

3-5. その他 I/Oポート処理全般

① PLLに用いるクロック入力信号は、GPLL ピンを使用します。
プライマリクロック用にはPCLKピンを使用します。

② 未使用の汎用IOにつきましては内部でプルダウンされたHi-zとなっていますので全てオープンにします。

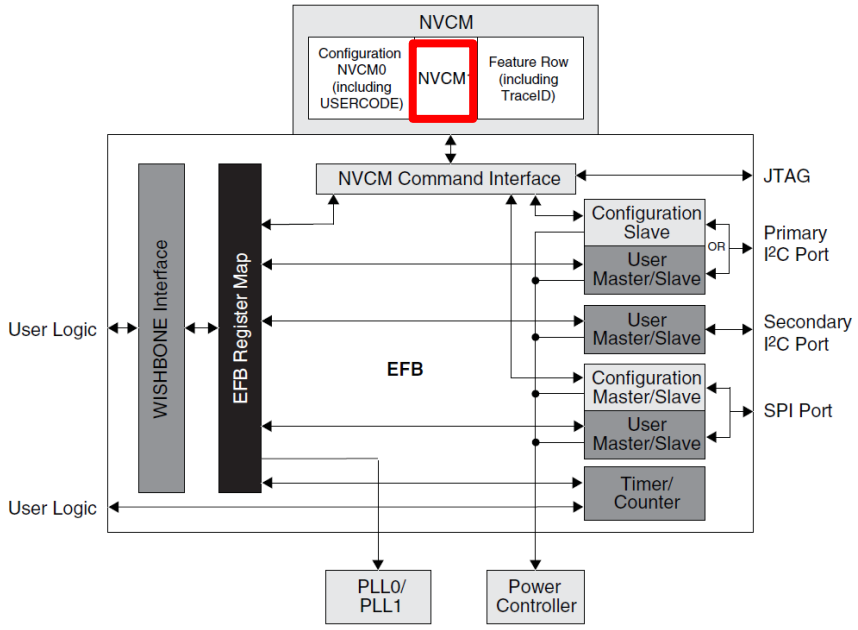
④ 5Vトレラントには対応しておりません。

3-6. XO2とXO3Lデバイスの違いについて

以下の様に、XO3Lでは、UFM(User Flash Memory)の代わりに**2回**まで書き込む事が可能なNVCM(Non-Volatile Configuration Memory)を搭載しております。
尚、XO3LにはUFM(※User Flash Memory)はございません。

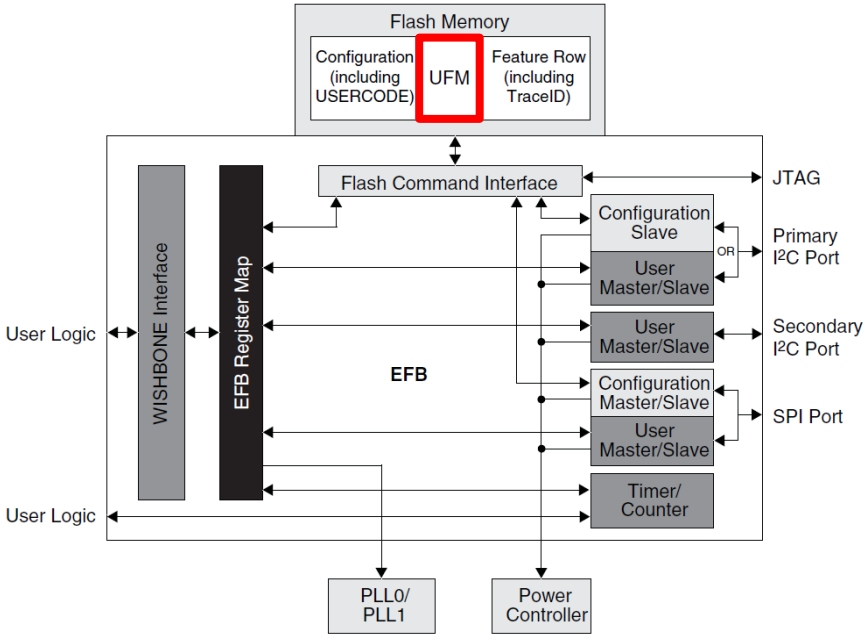
MachXO3L

Embedded Function Block (EFB)



MachXO2

Embedded Function Block (EFB)



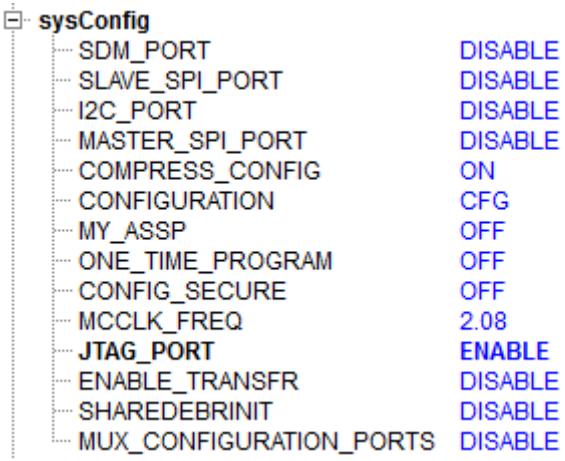
3-7. Global Preference Settingについて①

sysConfig	設定項目	内容
SDM PORT	DISABLE(Default) PROGRAMN PROGRAMN_DONE PROGRAMN_DONE_INITN	SDMモードの際の専用コンフィグレーションピンの選択です。 PROGRAMNピンのみ有効 PROGRAMN、DONEピンのみ有効 PROGARMN、ININT、DONEピンのみ有効
SLAVE_SPI_PORT	DISABLE(Default) ENABLE	外部SlaveSPIポートを利用して、内蔵Flashにプログラムまたはリードする際に有効にします。
I2C _PORT	DISABLE(Default) ENABLE	I2Cによるコンフィグレーションをアクセスする際にはENABLEにします。 DISENABLEの場合、専用ピンSDA/SCKはユーザーI/Oとして使用できます。
MASTAR_SPI_PORT	DISABLE(Default) ENABLE EFB_USER	外部からSPI経由でBitstreamファイルをSRAMへコンフィグレーションする際にENABLEにします。DISENABLEの場合専用ピンはユーザーI/Oとして使用出来ます。 また、EFBを利用してMasterSPIを構成する場合にはEFB_USERを選択します。
COMPRESS_CONFIG	ON(Default) OFF	ONの場合、Bitstream ファイルを圧縮します。ソフトウエアは、圧縮したBitstreamファイルを生成します。
CONFIGURATION	CFG(Default) EXTERNAL	CFGに設定した場合、EBRの初期値等を含めたコンフィグレーションBitstreamファイルを内蔵Flashに格納します。EXTERNALに設定した場合、外部メモリにEBRの初期値を含めたbitstreamファイルを格納します。
MY_ASSP	OFF(Default) ON	ONに設定した場合JTAGのデバイスIDCODEをユーザ側のカスタムコードに変更することが出来ます。
ONE_TIME_PROGRAM	OFF(Default) NVMEM NVMEM_SRAM	NVMEM→ NVCMだけリードバック不可設定 NVMEM_SRAM→NVCMとSRAMのリードバック不可設定
CONFIG_SECURE	OFF(Default) ON	ONの場合、sysCONFIGやJTAGポート等からのリードバックを防ぎます。 尚、この場合においてもUSERCODEエリアはリード可能です。 OFFの場合、リードバックが可能となります。
MCCLK_FREQ	2.08(Default) ~133	マスタクロックの周波数を設定できます。Default2.08MHzとなっております。

※ Diamond3.1現在

3-8. Global Preference Settingについて②

sysConfig	設定項目	内容
JTAGPORT	ENABLE(Default) DISABLE	ENABLEの場合、JTAG専用ピン（TDI/TDO/TMS/TCK）が有効になります。専用ピンJTAGENBはユーザーI/Oとなります。 DISABLEの場合、JTAG専用ピンはユーザーI/Oとして有効になります。 専用ピンJTAGENBが有効となり、JTAG専用ピン(TDI/TDO/TMS/TCK)はユーザーI/Oとして使用可能です。JTAGを有効にする場合にはJTAGENBにHighを入力します。
ENABLE_TRANSFR	DISABLE(Default) ENABLE	ENABLEの場合、TRANSFR機能を有効にします。ピンの現在の論理値（データおよびトライステート）を保持することが出来ます。（※コンフィグレーション中）
SHAREDEBRINT	DISABLE(Default) ENABLE	ENABLEに設定すると、複数のEBRsで構成されたメモリに同じ初期化ファイルを共有可能にします。これは、共通の初期化値コピーのみを保存することで、ビットストリームのサイズを減少させることが出来ます。
MUX_CONFIGURATION_PORT	DISABLE(Default) ENABLE	全てのコンフィギュレーション専用ポートをユーザーIO追加のために、無効にすることができます。

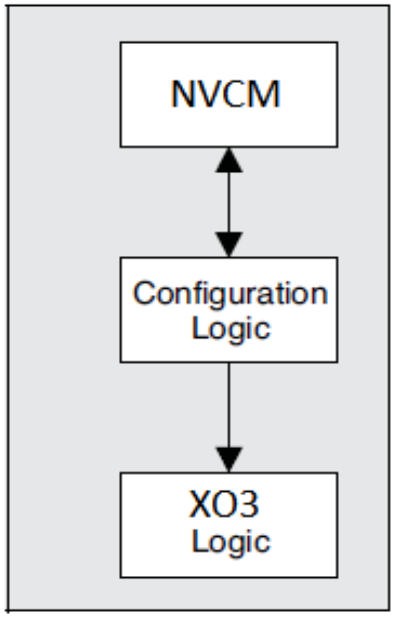


左記の様にDiamond Spreadsheet View上のGlobal Preferenceにて設定が出来ます。

※ Diamond3.1現在

4-1. SDM Modeについて

SDM Modeは、内部にFLASH,NVCMを内蔵しているデバイスのみの機能です。
FPGAの外部にコンフィギュレーションのための不揮発性メモリを使わずに、内蔵のフラッシュROMからコンフィギュレーションを実行します。



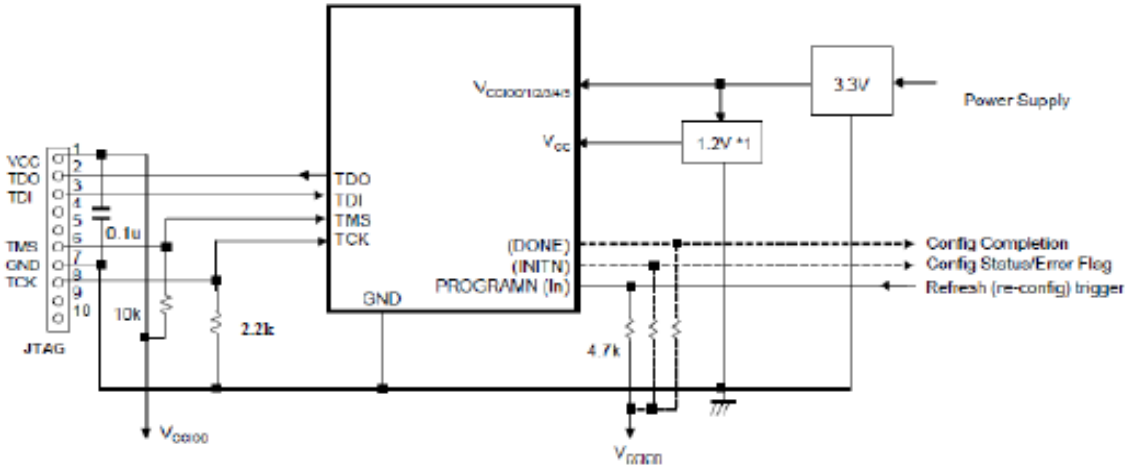
Self Downloadコンフィグレーションモードの利点は以下です。

- Speed : XO3Lは数ms以内に起動します。
- Security: コンフィグレーションデータが内部で扱われるため、外部から読み出される心配がございません。
- Reduced Cost: MachXO3Lのプログラムのために外付けのROMを購入する必要が無くなります。
- Reduced Board Space : 外部ROM分の省スペースが見込めます。

4-2. JTAG Mode について

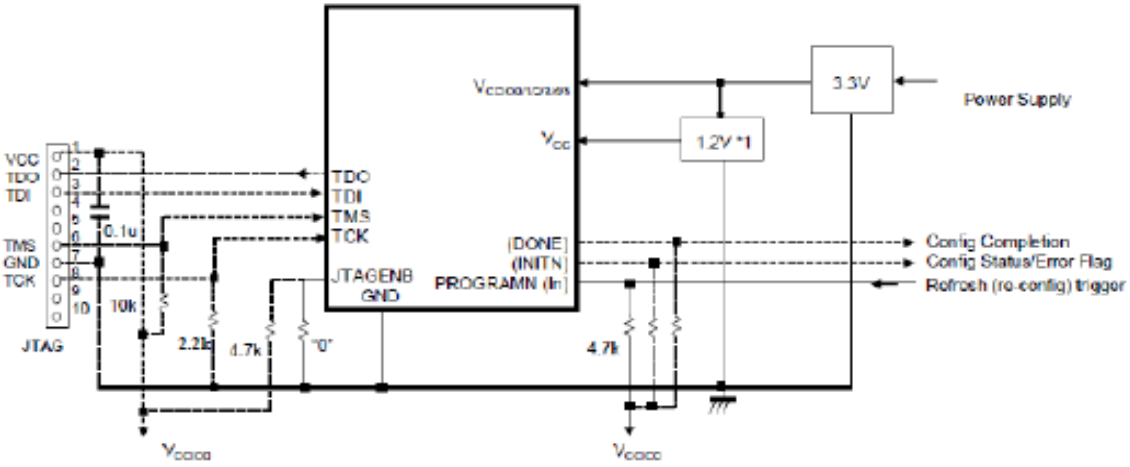
基板上のJTAG用コネクタとFPGAのJTAG専用ピンを接続し、Diamond Programmerと専用ダウンロードケーブルを用いて、FPGAをコンフィギュレーションできます。また、外部の汎用SPI Flashに対してもFPGA経由でプログラミングすることができます。

・JTAG _PORT = ENABLE　　XO3L-"E"(Vcc=1.2V Type)



左図は、XO3Lの"E"(コア電源1.2V)を使用し、Vccioが全て3.3Vで使用する場合の例

・JTAG _PORT = DISABLE　　XO3L-"E"(Vcc=1.2V Type)



<再度ダウンロードを行う場合>

JTAGENBとGNDをつなぐ

0Ω抵抗を外す。

＝>

JTAGENBがHighとなり、

TDO/TDI/TMS/TCKは

専用ピンとなります。

4-3. MSPI Modeについて

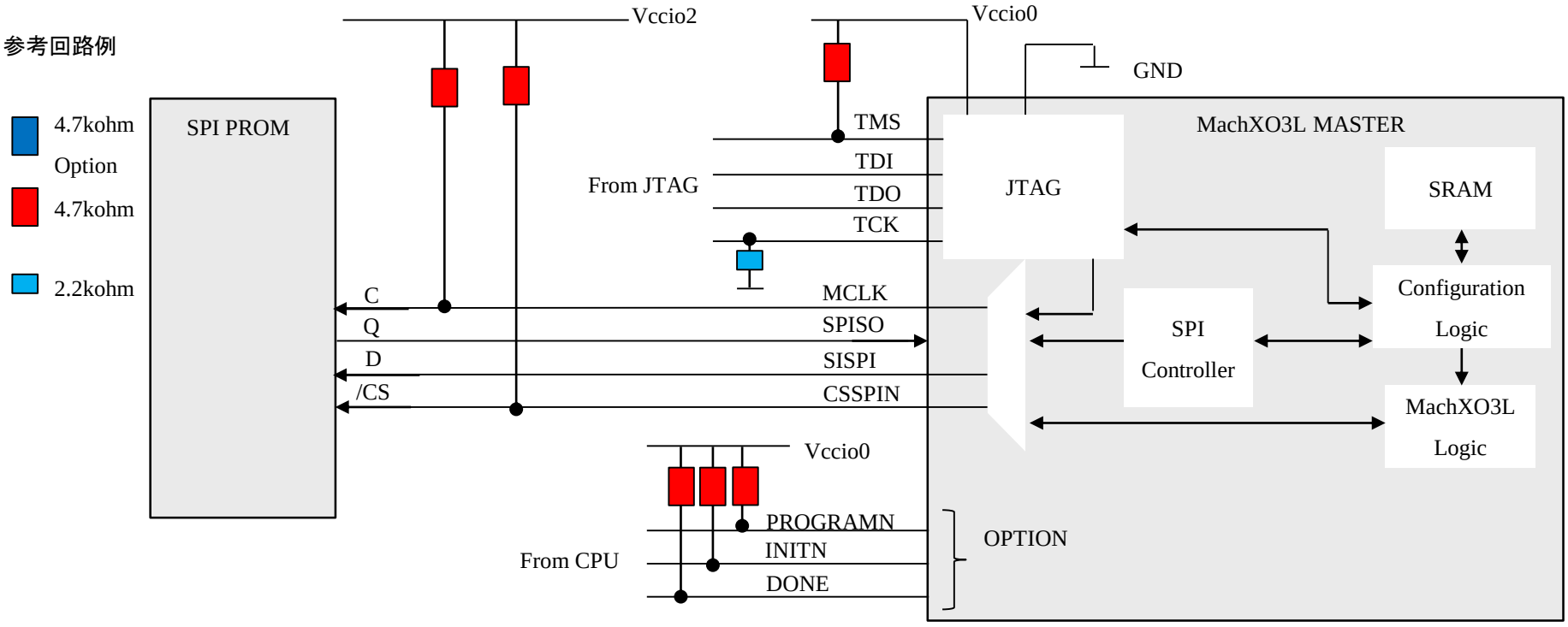
サードパーティの汎用SPI Flashを用いて、FPGAがMasterとなりコンフィギュレーションを実行するModeです。

1. 外部SPI FlashメモリにBITSTREAMファイルの書き込みを行います。
2. DiamondのSpreadsheetView上で”MASTER_SPI_PORT”を”ENABLE”、CONFIGURATIONを”EXTERNAL”に設定し生成したJEDECファイルをXO3Lに書き込みます。
3. 電源を再投入またはPROGRAMNピンをトグルすることでXO3LはSPI Flashメモリからコンフィグレーションを行います。

※下図SPI Flashメモリのピン名はベンダにより異なります。

※プルアップ/プルダウンは外部デバイスに依存します。

※SPI PROMの電源とMCLK,CSSPINは、Vccio2でプルアップしてください。



4-4. SSPI Modeについて

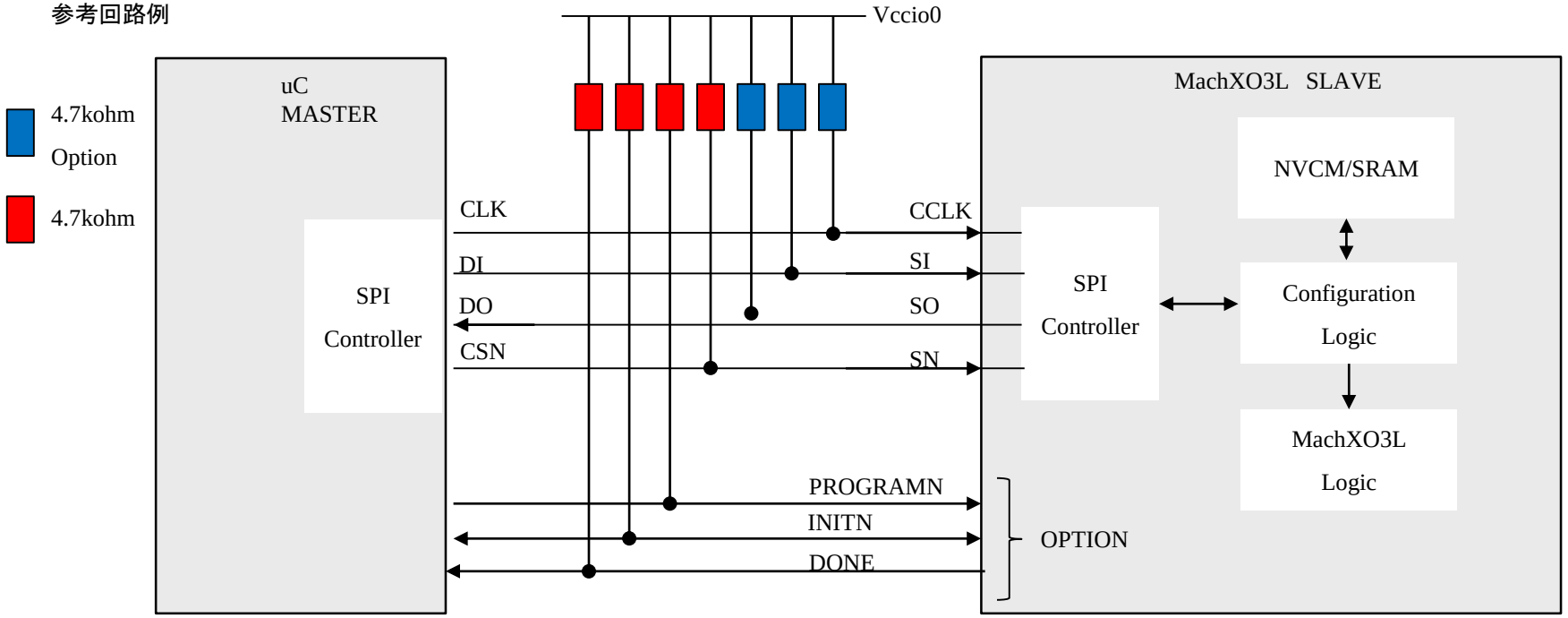
スレーブSPIインターフェースを用いて、外部マスター（CPUやCPLDなど）がFPGAに対してデータを送信することでコンフィギュレーションを実行するModeです。

・コントローラ(MCUなど)からSSPIを介して（Offline/Transparent Modeで）SRAM/NVCM/Feature ROWを書き換えることが可能です。

・プルアップ/プルダウンは外部デバイスに依存しますが、特にCCLK/CSNはノイズに留意してください。

1. DiamondのSpreadsheetViewにてSLAVE_SPI_PORTを”ENABLE”（Default “DISABLE”）に設定しXO3Lに書き込みます。
   （未書き込みのXO3LはSLAVE_SPI_PORTが”ENABLE”になっている状態と同様です。）
2. SPI MasterからXO3LのNVCM/SRAMにコンフィグレーションデータの書き込みを行います。
3. PROGRAMNピンをトグルするか、SSPIポートからREFRESHコマンドを与えることで、XO3Lの再コンフィグレーションを行います。
   尚、CPU側のLatticeからSSPI Embedded Cソースが用意されておりますのでご利用下さい。

参考回路例



4-5. I2C Modeについて

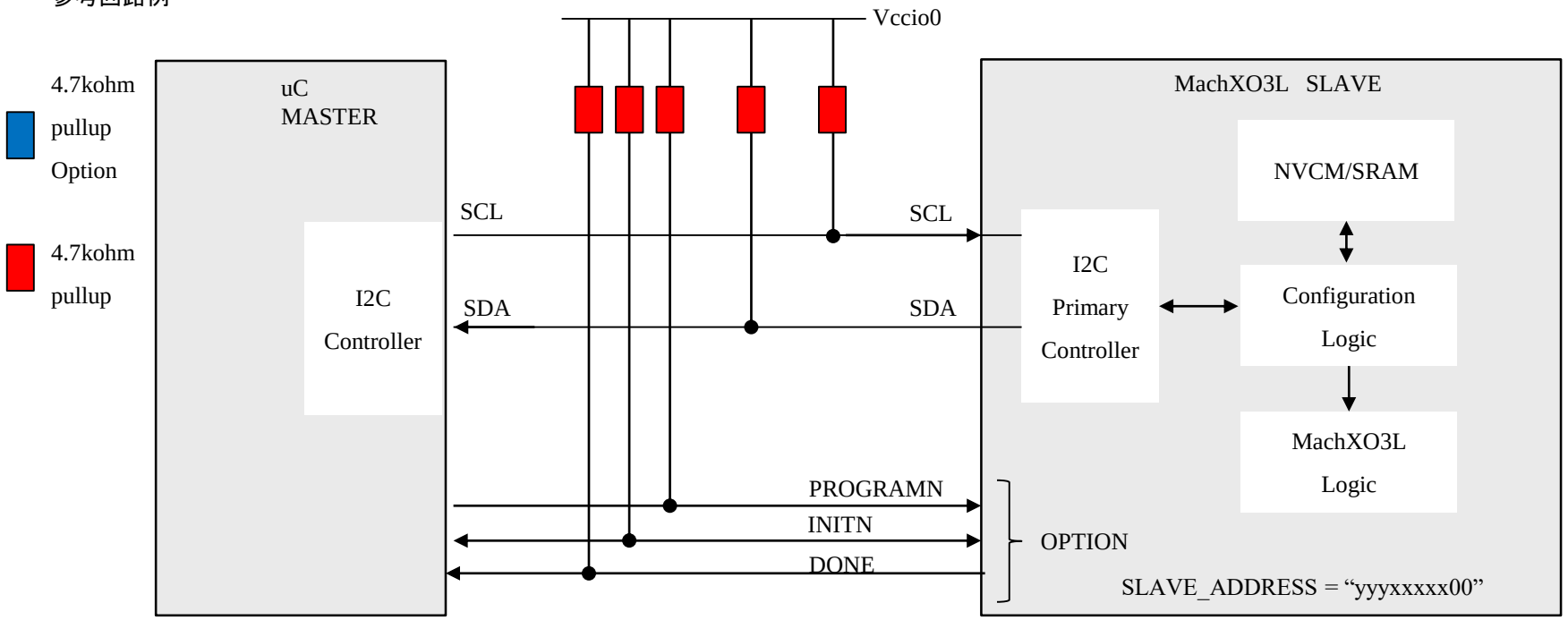
コントローラ(MCUなど)からI2C Primaryを介して（Offline/Transparent Modeで）SRAM/NVCM/Feature ROWを書き換えることが可能です。

・I2C(10bit/7bit Addressモード), 400kHzまで対応。

・プルアップ/プルダウンは外部デバイスに依存します。

1. DiamondのSpreadsheetViewにてI2C_PORTを”ENABLE”（Default “DISABLE”）に設定しXO3Lに書き込みます。
   （未書き込みのXO3LはI2C_PORTが”ENABLE”になっている状態と同様です。）
2. I2C MasterからXO3LのNVCM/SRAMにコンフィグレーションデータの書き込みを行います。
3. PROGRAMNピンをトグルするか、I2CポートからREFRESHコマンドを与えることで、XO3Lの再コンフィグレーションを行います。
   尚、CPU側のLatticeからI2C Embedded Cソースが用意されておりますのでご利用下さい。

参考回路例



4-6. Dual Boot Modeについて

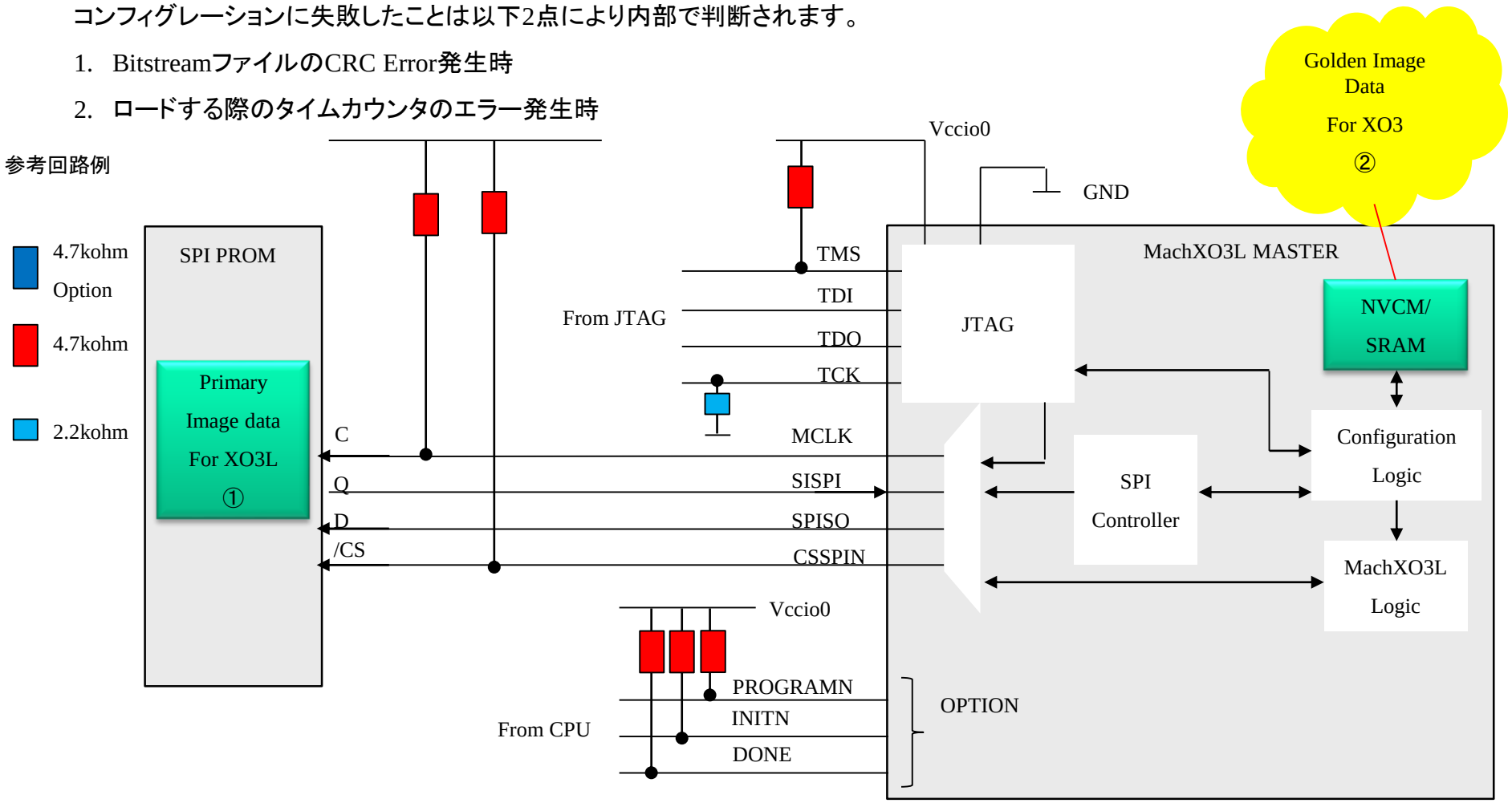
Dual Boot ModeはMaster SPIとSDM Modeの両方を使用したコンフィギュレーションの信頼性を高めるためのソリューションです。

まず、XO3Lは外部のSPI FlashからPrimary Image dataにてコンフィグレーションを行います。

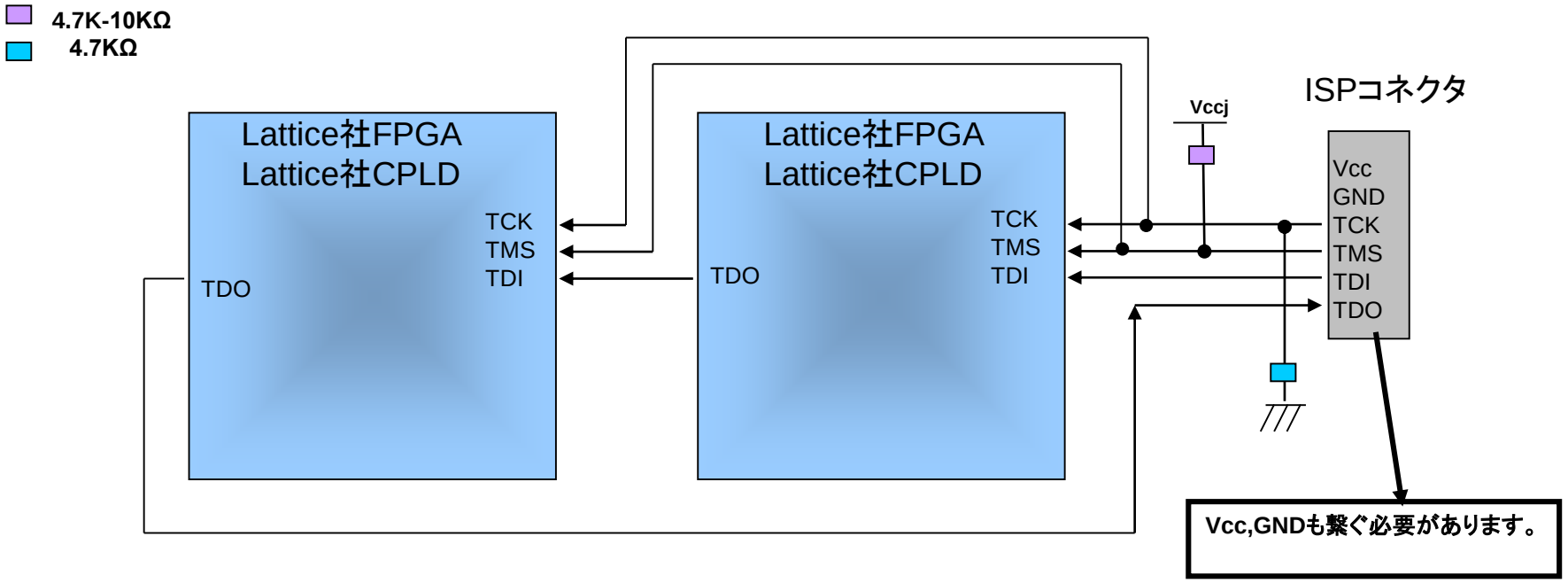
万が一、コンフィグレーションが失敗した場合には、内部のNVCMからGolden Image Dataにてコンフィグレーションを開始します。

コンフィグレーションに失敗したことは以下2点により内部で判断されます。

1. BitstreamファイルのCRC Error発生時
2. ロードする際のタイムカウンタのエラー発生時



4-7.参考回路⑤JTAG回路のチェイン構成例



- 5個以上のデバイスをチェインする場合、もしくは配線長が1mを超える場合には TCK、TMSの信号がJTAGコネクタより遠くなるほど弱くなり、ノイズがのってしまう 恐れがありますのでデバイス5個毎にバッファを1つ追加して下さい。
- トレースが長いJTAGチェーンは、可能であればTDI、TDO（シリアルライン）にそれぞれ Damping抵抗（0 ohm）を付加してください。
  ①デバッグの際、抵抗を外せば、JTAGチェーンを容易に分けられます。
  ②反射等によるノイズを抑えたい場合、抵抗値を変えればよいです。
- その他、詳細につきましては、弊社作成のマニュアル「JTAG基板設計時資料」をご覧下さい。
http://www.tecstar.macnica.co.jp/product/lattice/LatticeSupportHP/manual/pdf/d_01_JTAG_Board_Design_rev1.1.pdf

4-8. バージョン管理

Revision:	Date:	Author:	Modify or Add:
1.0	2014/08/29	ishigaki	Initial
2.0	2016/01/06	ishigaki	P14「(1)未書き込みXO3デバイス」INITN・DONEの内部処理をPull-downからPull-upへ変更
3.0	2019/05/08	Fudo	「4-3. MSPI Modeについて」の参考回路例を修正
4.0	2020/07/03	Fudo	P13-14 内部Pull up/downの抵抗値に関して計算例を追加 P13-14 内部処理が無い専用ピンにつける外部処理の抵抗値を「3.0kΩ以下を推奨」に変更 P33　SNピンの外部処理に関する注意事項を追加
5.0	2021/10/26	Katsube	P15-17 PROGRAMNピン/SNピンの外部処理Pull-upを追加 P18　POR解除前の通常I/O状態をHiz, Pull-noneへ修正