

Lattice-XO2基板設計時資料



- ・本資料は、Lattice社XO2の基板設計時の注意事項、使用時の注意事項をまとめたものです。実際の動作等詳細、最終の確認は、別途データシート、テクニカルノートを参照頂けるようお願い申し上げます。
- ・Lattice社データシートと本資料との間に差異があった場合には、Lattice社データシートを正としお取り扱い下さい。



1. 電源ピンの処理

1-1. 電源ピン説明	5
1-2. 注意事項	6

2. I/Oピンの処理

2-1. I/O Bank の構成	8
2-2. クロック専用ピン、PLL専用ピン	9
2-3 対応可能なI/OのI/F一覧 ~シングルエンドI/O~	10
2-4 対応可能なI/OのI/F一覧 ~差動I/O~	11
2-5. サポートする標準入力I/Fについて	12
2-6. プルアップ / プルダウンの抵抗値	13
2-7. Dual-Purpose I/Oのプルアップ / プルダウン	14
2-8. Power-ON 時のI/Oの挙動	17
2-9. ドライブ能力について	18- 19
2-10. 差動LVDS I/F対応について	20 - 22
2-11. その他差動 I/Fについて	23 - 24
2-12. 同時スイッチングによるノイズの影響	25
2-13. DDR関連の処理、対応について	26

3. CONFIGピンの処理

3-1. Dual-Purpose I/Oについて	28 - 30
3-4. 注意事項	31
3-5. その他 I/Oポート処理全般	32
3-6. 参考回路①SDMモード	33 - 37

4. まとめ

4-1. バージョン管理	38
--------------	-------	----

XO2の電源ピンについて

ピン名	電圧 (V)	備考
Vcc(専用ピン)	1.2 (±5%)	ZE / HE デバイス コア用電源
	2.5 / 3.3 (±5%)	HCデバイス コア用電源
GND(専用ピン)	-	グランドピン
VCCIO(専用ピン)	1.2/1.5/1.8/2.5/3.3 (±5%)	各バンク毎のI/O電源 使用するインターフェースによってバンク毎に入力する電源を決定します

注:①ZE/HEデバイスでVCCIOが1.2Vの場合、或いはHCデバイスでVCCIOが2.5V / 3.3Vでコアと同じ場合はVCCと同じ電源にそれぞれ接続する

②未使用I/OバンクのVCCIOはVCCに接続する

③I/Oバンク0はコンフィグレーション関連ピンを含むバンク

■ 電源シーケンス制御

デバイス起動につきましては問題ありませんが、Vccioを先に立ち上げないと不定ドライブをしてしまう可能性がありますのでご注意ください。

特に、VCCIO2 につきましては必ずVCC / VCCIO0 と同時か、その前に立ち上げてください。

■ 電源のランプレートは下記の条件を満たしてください。

電源	条件	ランプレート
Vcc	0 ~ 最少有効電圧	0.01 ~ 100mV/μsec
Vccio0	0 ~ 最少有効電圧	0.01 ~ 10mV/μsec

注：この表の値はキャラクタライズの最悪値をもとに決定しているが保証値ではない

※ 電源のランプレートは単調増加である必要があります。

■ 電源オン・オフ(パワーサイクリング)時などの残留電圧。

デバイスが動作中にVCC電源が瞬断などで一時的に低下した場合、或いは意図的にオフとオンの操作/制御(パワーサイクリング)をする場合の要件です。電源が復帰した後の動作(再コンフィグレーション)を確実にするため、Vccは以下を満たすことを推奨いたします。

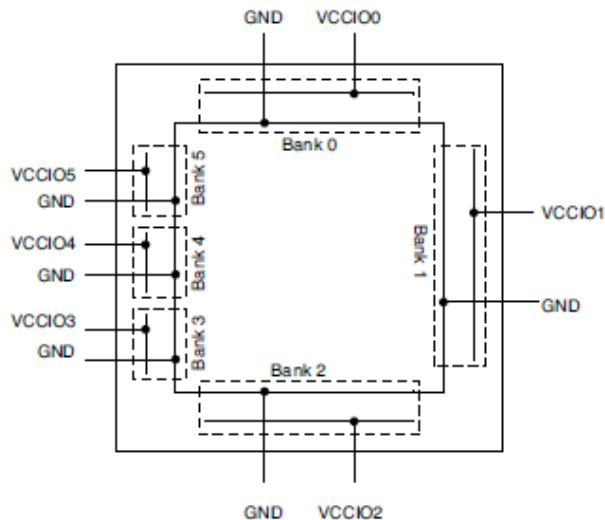
時間 : 1usec 以上

最低残留電圧値: 0.6V 以下

XO2のI/O Bankの概念及び 汎用I/Oについて

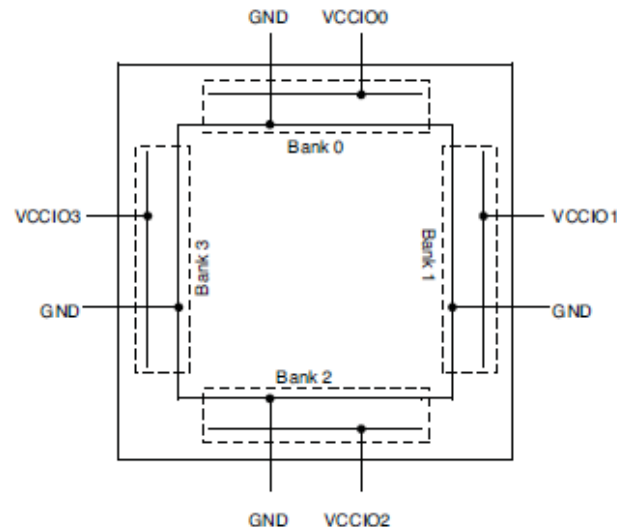
MachXO2-2000、MachXO2-4000

および MachXO2-7000 のバンク 構造



MachXO2-256、MachXO2-640

および MachXO2-1200 のバンク 構造



- ・各バンクにVCCIOを1つずつ持っています。
- ・True LVDS出力に関してはTopBank[Bank 0]のみ対応可能です。
- ・LVDS入力に関してはすべてのBankで対応可能です。
(ギアリングロジックを使用する場合、LVDS送信はTopBank[Bank 0]、LVDS受信はBottomBank[Bank 2] のA/Bペアでのみ対応可能です。
ギアリングロジックの詳細はp 26に記載があります。)
- ・外部抵抗により、LVDS、LVPECL等のエミュレーションは可能です。

ピン名	説明
[LOC]_GPLL[T,C]_IN	GPLLへのクロック入力ピン。PLL未使用時は通常I/Oとして使用可能。
[LOC]_GPLL[T,C]_FB	GPLLへのフィードバック入力ピン。PLL未使用時は通常I/Oとして使用可能。
PCLK[T,C]_[n:0]	Globalクロック入力ピン。クロックピンとして使用しない場合、通常I/Oとして使用可能。

※上記のピンは未使用時はOPENで構いません

[LOC]・・・PLLのロケーション(L, R)

[T/C]・・・T(True)、C(Complement) 差動のP/N

○注意事項

シングルエンドのクロックは、必ずT側のピンにアサインしてください。

規格	バンク0(Top)	バンク1	バンク2(Bottom)	バンク3-5
シングルエンドI/O	-	-	PCI33 ※1	-
	LVTTL33	LVTTL33	LVTTL33	LVTTL33
	LVC MOS33	LVC MOS33	LVC MOS33	LVC MOS33
	LVC MOS25	LVC MOS25	LVC MOS25	LVC MOS25
	LVC MOS18	LVC MOS18	LVC MOS18	LVC MOS18
	LVC MOS15	LVC MOS15	LVC MOS15	LVC MOS15
	LVC MOS12	LVC MOS12	LVC MOS12	LVC MOS12
	SSTL25 ※2	SSTL25 ※2	SSTL25 ※2	SSTL25 ※2
	SSTL18 ※2	SSTL18 ※2	SSTL18 ※2	SSTL18 ※2
	HSTL18 ※2	HSTL18 ※2	HSTL18 ※2	HSTL18 ※2

1. PCI33 は MachXO2-640U と MachXO2-1200/U、MachXO2-2000/U、MachXO2-4000、MachXO2-7000 デバイスのBottomバンクでのみ対応しています。
2. SSTL Class II と HSTL Class II は入力にのみ対応しています。

2-4 対応可能なI/OのI/F一覧 ～差動I/O～

規格	バンク0(Top)	バンク1	バンク2(Bottom)	バンク3-5
差動I/O	LVDS出力 ※1	-	-	-
	LVPECL33E ※2	LVPECL33E ※2	LVPECL33E ※2	LVPECL33E ※2
	MLVDS25E ※2	MLVDS25E ※2	MLVDS25E ※2	MLVDS25E ※2
	BLVDS25E ※2	BLVDS25E ※2	BLVDS25E ※2	BLVDS25E ※2
	RSDS25E ※2	RSDS25E ※2	RSDS25E ※2	RSDS25E ※2
	LVDS25E ※2	LVDS25E ※2	LVDS25E ※2	LVDS25E ※2
	SSTL25D 出力	SSTL25D 出力	SSTL25D 出力	SSTL25D 出力
	SSTL18D 出力	SSTL18D 出力	SSTL18D 出力	SSTL18D 出力
	HSTL18D 出力	HSTL18D 出力	HSTL18D 出力	HSTL18D 出力
	LVTTTL33D 出力	LVTTTL33D 出力	LVTTTL33D 出力	LVTTTL33D 出力
	LVCMOS33D 出力	LVCMOS33D 出力	LVCMOS33D 出力	LVCMOS33D 出力
	LVCMOS25D 出力	LVCMOS25D 出力	LVCMOS25D 出力	LVCMOS25D 出力
	LVCMOS18D 出力	LVCMOS18D 出力	LVCMOS18D 出力	LVCMOS18D 出力
	LVCMOS15D 出力	LVCMOS15D 出力	LVCMOS15D 出力	LVCMOS15D 出力
	LVCMOS12D 出力	LVCMOS12D 出力	LVCMOS12D 出力	LVCMOS12D 出力
	LVDS 入力	LVDS 入力	LVDS 入力 ※3	LVDS 入力
	LVPECL33 入力	LVPECL33 入力	LVPECL33 入力	LVPECL33 入力
	MLVDS25 入力	MLVDS25 入力	MLVDS25 入力	MLVDS25 入力
	BLVDS25 入力	BLVDS25 入力	BLVDS25 入力	BLVDS25 入力
	RSDS25 入力	RSDS25 入力	RSDS25 入力	RSDS25 入力
	SSTL25D 入力	SSTL25D 入力	SSTL25D 入力	SSTL25D 入力
	SSTL18D 入力	SSTL18D 入力	SSTL18D 入力	SSTL18D 入力
	HSTL18D 入力	HSTL18D 入力	HSTL18D 入力	HSTL18D 入力
	LVTTTL33D 入力	LVTTTL33D 入力	LVTTTL33D 入力	LVTTTL33D 入力
	LVCMOS33D 入力	LVCMOS33D 入力	LVCMOS33D 入力	LVCMOS33D 入力
	LVCMOS25D 入力	LVCMOS25D 入力	LVCMOS25D 入力	LVCMOS25D 入力
	LVCMOS18D 入力	LVCMOS18D 入力	LVCMOS18D 入力	LVCMOS18D 入力
	LVCMOS15D 入力	LVCMOS15D 入力	LVCMOS15D 入力	LVCMOS15D 入力
	LVCMOS12D 入力	LVCMOS12D 入力	LVCMOS12D 入力	LVCMOS12D 入力

1. 真の LVDS 出力は MachXO2-640U、MachXO2-1200/U、MachXO2-2000/U、MachXO2-4000、MachXO2-7000 の Top バンク で対応しています。
2. エミュレート 出力規格は 規格名の後ろに“E”がついています。
3. 7:1LVDSの入力はBottom バンクでのみ対応しております。

■ LVCMOS 及び LVTTTL I/O タイプの電圧混在への対応

V _{CCIO}	Inputs					Outputs				
	1.2V	1.5V	1.8V	2.5V	3.3V	1.2V	1.5V	1.8V	2.5V	3.3V
1.2V	YES	YES ⁶				YES				
1.5V	YES ¹	YES	YES ⁶	YES ⁶	YES ⁶		YES			
1.8V	YES ¹	YES ⁵	YES	YES ⁶	YES ⁶			YES		
2.5V	YES ¹	YES ^{2,5,7}	YES ^{3,5,7}	YES	YES ⁶				YES	
3.3V	YES ¹	YES ^{2,5,7}	YES ^{3,5,7}	YES ^{4,5,7}	YES					YES

- ・ 5Vトレラント入力はサポートしていません。
- ・ XO2デバイスの入力バッファは、Mixed Voltage対応となっており、V_{CCIO},V_{REFI}に依存せず、入力I/Fをとることが可能です。 (Mixed Voltageの使用方法につきましてはp32に記載がございます。)
 ※ SSTLxx、HSTL18、PCI33をのぞく
 ※ V_{CCIO}=1.2Vの場合をのぞく

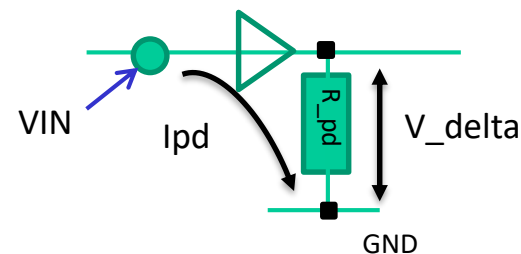
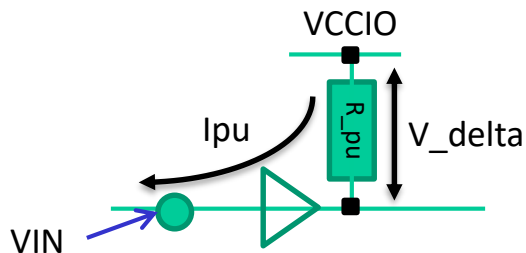
■ 差動入力規格の電圧混在への対応

V _{CCIO}	Differential Inputs					
	LVDS, LVPECL33, MLVDS25, BLVDS25, RSDS25	SSTL25D	SSTD18D, HSTL18D	LVTTTL33D, LVCMOS33D	LVCMOS25D, LVCMOS15D, LVCMOS12D	LVCMOS18D
1.2V						
1.5V						
1.8V			YES			YES
2.5V	YES	YES	YES		YES	YES
3.3V	YES	YES	YES	YES	YES	YES

2-6. プルアップ / プルダウンの抵抗値

MachXO2ではデバイスの動作モードやコンフィグレーション状態に関わらず、“内部で弱いプルアップ/プルダウン”状態では、DC電気的特性のIPU/IPD規定値から、等価抵抗値が以下のように算出されます。

計算例) LVC MOS 33の場合



Ipuが最大になるのはVIN = 0Vの時				
	VIN	V_delta	Ipu(uA)	R_pu(KΩ)
LVC MOS33_max	0	3.6	309	11.65
LVC MOS33_min	0	3.135	309	10.15
Ipuが最小になるのはVIN = 0.7 x VCCIOの時				
	VIN	V_delta	Ipu(uA)	R_pu(KΩ)
LVC MOS33_max	2.52	1.08	30	36
LVC MOS33_min	2.1945	0.9405	30	31.35

Ipdが最大になるのはVIN = VCCIOの時				
	VIN	V_delta	Ipd(uA)	R_pd(KΩ)
LVC MOS33_max	3.6	3.6	305	11.80
LVC MOS33_min	3.135	3.135	305	10.28
Ipdが最小になるのはVIN = VIL_maxの時				
	VIN	V_delta	Ipd(uA)	R_pd(KΩ)
LVC MOS33_max	0.8	0.8	30	26.67
LVC MOS33_min	0.8	0.8	30	26.67

LVC MOS33_max/min (FPGA-DS-02056 Version 3.4, June 2019より抜粋)

Standard	Vccio (V)		
	Min.	Typ.	Max.
LVC MOS 3.3	3.135	3.3	3.6

Ipu/Ipd (FPGA-DS-02056 Version 3.4, June 2019より抜粋)

Ipu	I/O Active Pull-up Current	$0 < V_{IN} < 0.7 V_{CCIO}$	-30	-	-309	μA
Ipd	I/O Active Pull-down Current	$V_{IL} (MAX) < V_{IN} < V_{CCIO}$	30	-	305	μA

VIL_max (FPGA-DS-02056 Version 3.4, June 2019より抜粋)

Input/Output Standard	VIL	
	Min. (V) ³	Max. (V)
LVC MOS 3.3 LVTTTL	-0.3	0.8

前ページの計算式に従い、それぞれの電圧で計算した結果が以下の表です。

	内部プルアップ		内部プルダウン	
	MIN	MAX	MIN	MAX
LVSMO33(VCCIO=3.3V)	10.15K Ω	36K Ω	10.3K Ω	26.7K Ω
LVSMO25(VCCIO=2.5V)	7.7K Ω	26.3K Ω	7.8K Ω	23.3K Ω
LVSMO18(VCCIO=1.8V)	5.5K Ω	18.9K Ω	5.6K Ω	20K Ω

従って、**内部プル処理の論理レベルと反対のレベルにする必要がある場合**は、以下の値を推奨します (LVCMOS, LVTTTL など)。

	外部プルアップ推奨値	外部プルダウン推奨値
LVSMO33(VCCIO=3.3V)	5.8K Ω 以下	3.47K Ω 以下
LVSMO25(VCCIO=2.5V)	3.1K Ω 以下	3.2K Ω 以下
LVSMO18(VCCIO=1.8V)	3.0K Ω 以下	3.0K Ω 以下

内部処理が無い専用ピンにつける外部処理の抵抗値としては3.0k Ω 以下を推奨します。
 或いはフェールセーフ的な観点や設計要件によって、内部プル処理と同じレベルで外部プル処理を行う場合も同様です。

(1) 未書き込みXO2デバイス

SDM_PORT: **PROGRAMN**
 JTAG_PORT: **Enabled**
 I2C: **Enabled**
 Slave SPI : **Enabled**
 Master SPI : Disabled

Blank/Erase Device				
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	I/O	ユーザ定義	弱いPull-up	
DONE	I/O	ユーザ定義	弱いPull-up	
MCLK/CCLK	SSPI	入力	弱いPull-up	
SN	SSPI	入力	弱いPull-up	Pull-up
SI/SPISI	SSPI	入力	なし	Pull-up/down
SO/SOSPI	SSPI	出力	なし	Pull-up/down
CSSPIN	I/O	ユーザ定義	弱いPull-up	
SCL	I2C	双方向	なし	up/down
SDA	I2C	双方向	なし	up/down
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	
JTAGENB	I/O	ユーザ定義	弱いPull-down	

(2) コンフィグ兼用ピンの設定をデフォルトで生成したファイルが内部Flashに書き込まれたXO2デバイス

(Diamond2.0の場合)
 SDM_PORT: Disabled
 JTAG_PORT: **Enabled**
 I2C: Disabled
 Slave SPI : Disabled
 Master SPI : Disabled

User Default Pattern in Flash				
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	I/O	ユーザ定義	弱いPull-down	Pull-up
INITN	I/O	ユーザ定義	弱いPull-down	
DONE	I/O	ユーザ定義	弱いPull-down	
MCLK/CCLK	I/O	ユーザ定義	弱いPull-down	
SN	I/O	ユーザ定義	弱いPull-down	Pull-up
SI/SPISI	I/O	ユーザ定義	弱いPull-down	
SO/SOSPI	I/O	ユーザ定義	弱いPull-down	
CSSPIN	I/O	ユーザ定義	弱いPull-down	
SCL	I/O	ユーザ定義	弱いPull-down	
SDA	I/O	ユーザ定義	弱いPull-down	
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	
JTAGENB	I/O	ユーザ定義	弱いPull-down	

青枠はコンフィグモードで動作するピンを示しています。
赤字は外部pull-up/downが必要なピンを示しています。

(3-1) **コンフィグ兼用ピンの設定を変更**して生成したファイルが
内部Flashに書き込まれたXO2デバイス例1

SDM_PORT: **PROGRAMN**
 JTAG_PORT: **Enabled**
 I2C: Disabled
 Slave SPI : **Enabled**
 Master SPI : Disabled

User Default Pattern in Flash				
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	I/O	ユーザ定義	弱いPull-down	
DONE	I/O	ユーザ定義	弱いPull-down	
MCLK/CCLK	SSPI	入力	弱いPull-up	
SN	SSPI	入力	弱いPull-up	Pull-up
SI/SPISI	SSPI	入力	なし	Pull-up/down
SO/SOSPI	SSPI	出力	なし	Pull-up/down
CSSPIN	I/O	ユーザ定義	弱いPull-down	
SCL	I/O	ユーザ定義	弱いPull-down	
SDA	I/O	ユーザ定義	弱いPull-down	
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	
JTAGENB	I/O	ユーザ定義	弱いPull-down	

青枠はコンフィグモードで動作するピンを示しています。
赤字は外部pull-up/downが必要なピンを示しています。

(3-2) **コンフィグ兼用ピンの設定を変更**して生成したファイルが
内部Flashに書き込まれたXO2デバイス例1

SDM_PORT: **PROGRAMN**
 JTAG_PORT: **Enabled**
 I2C: Disabled
 Slave SPI : Disabled
 Master SPI : **Enabled**

User Default Pattern in Flash				
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	I/O	ユーザ定義	弱いPull-down	
DONE	I/O	ユーザ定義	弱いPull-down	
MCLK/CCLK	SSPI	出力	弱いPull-up	
SN	SSPI	入力	なし	Pull-up
SI/SISPI	SSPI	出力	なし	Pull-up/down
SO/SPISO	SSPI	入力	なし	Pull-up/down
CSSPIN	I/O	出力	なし	Pull-up/down
SCL	I/O	ユーザ定義	弱いPull-down	
SDA	I/O	ユーザ定義	弱いPull-down	
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	
JTAGENB	I/O	ユーザ定義	弱いPull-down	

※デュアルブートまたは外部ブートモードに設定されている場合、
 MCLK/CCLKピンはマスタクロック(MCLK)として機能します。
 これらのモードを使用する際は、1Kの外付けプルアップ抵抗を推奨します。

(3-3) **コンフィグ兼用ピンの設定を変更**して生成したファイルが
内部Flashに書き込まれたXO2デバイス例2

SDM_PORT **PROGRAMN_DONE**
: **Enabled**
JTAG_POR **Enabled**
T: Disabled
I2C: Disabled

User Pattern in Flash [User Selection (Not Default)]				
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	I/O	ユーザ定義	弱いPull-down	
DONE	DONE	双方向	弱いPull-up	
MCLK/CCLK	I/O	ユーザ定義	弱いPull-down	
SN	I/O	ユーザ定義	弱いPull-down	Pull-up
SI/SPISI	I/O	ユーザ定義	弱いPull-down	
SO/SOSPI	I/O	ユーザ定義	弱いPull-down	
CSSPIN	I/O	ユーザ定義	弱いPull-down	
SCL	I2C	双方向	なし	Pull-up
SDA	I2C	双方向	なし	Pull-up
TDI	TDI	入力	弱いPull-up	
TDO	TDO	出力	弱いPull-up	
TCK	TCK	入力	なし	Pull-down
TMS	TMS	入力	弱いPull-up	
JTAGENB	I/O	ユーザ定義	弱いPull-down	

青枠はコンフィグモードで動作するピンを示しています。
赤字は外部pull-up/downが必要なピンを示しています。

(3-4) **コンフィグ兼用ピンの設定を変更**して生成したファイルが
内部Flashに書き込まれたXO2デバイス例3

SDM_PORT **PROGRAMN_DONE_INITN**
: **Disabled**
JTAG_POR Disabled
T: Disabled
I2C: Disabled

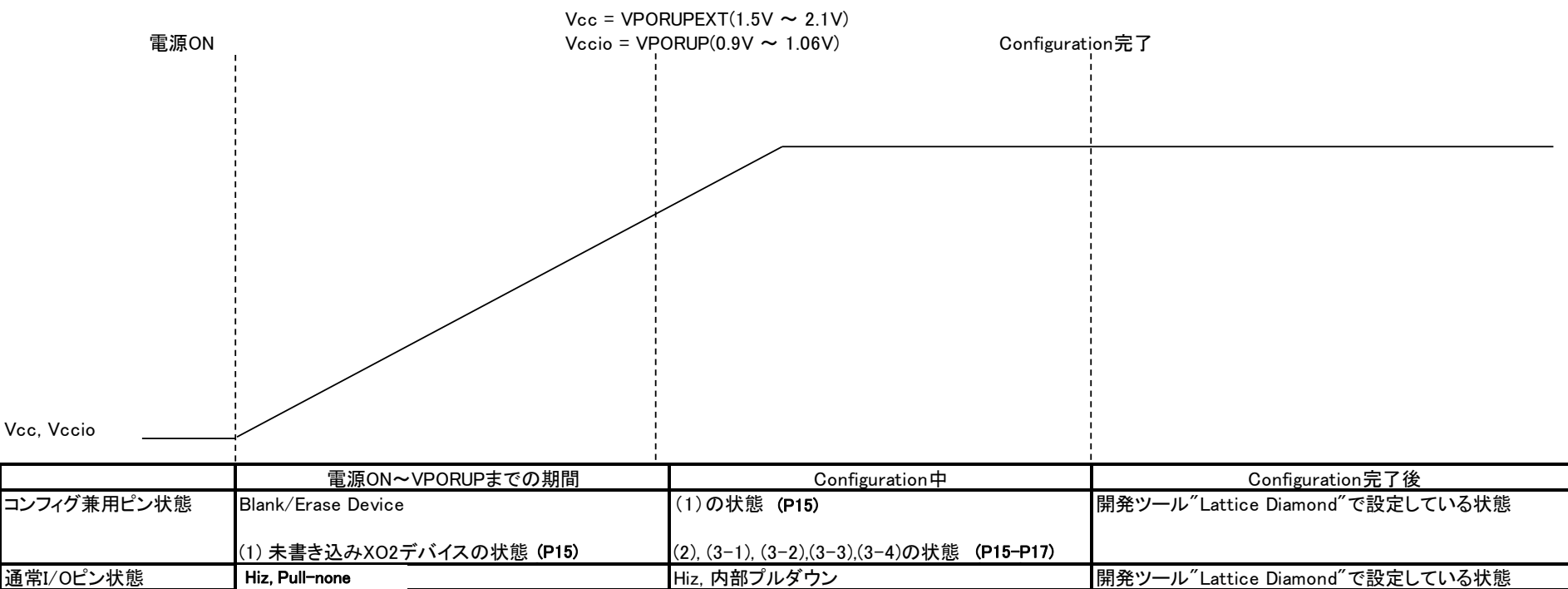
User Pattern in Flash [User Selection (Not Default)]				
ピン名	機能	方向	内部処理	外部処理
PROGRAMN	PROGRAMN	入力	弱いPull-up	Pull-up
INITN	INITN	双方向	弱いPull-up	
DONE	DONE	双方向	弱いPull-up	
MCLK/CCLK	I/O	ユーザ定義	弱いPull-down	
SN	I/O	ユーザ定義	弱いPull-down	Pull-up
SI/SPISI	I/O	ユーザ定義	弱いPull-down	
SO/SOSPI	I/O	ユーザ定義	弱いPull-down	
CSSPIN	I/O	ユーザ定義	弱いPull-down	
SCL	I/O	ユーザ定義	弱いPull-down	
SDA	I/O	ユーザ定義	弱いPull-down	
TDI	I/O	ユーザ定義	弱いPull-down	
TDO	I/O	ユーザ定義	弱いPull-down	
TCK	I/O	ユーザ定義	弱いPull-down	
TMS	I/O	ユーザ定義	弱いPull-down	
JTAGENB	JTAGENB	入力	なし	Pull-down

注意事項

JTAG_PORTをDISABLEにしたデータを書き込んだ場合、JTAGENBを外部からHighにできなければJTAGからの書込みが出来なくなるので注意が必要です。

JTAG_PORTをDISABLEにする場合には、JTAGENBピンは0Ω抵抗をGND間に配置し、かつプルアップ抵抗を実装出来るようにしておき、

万が一の際はJTAGポートをコンフィグに使用できるようにしておくことを推奨します。



■ 注意事項

- ・Vccは単調増加である必要があります。
- ・XO2デバイス起動前/起動時にI/Oに電圧が印加されると、 $0 < V_{IN} < V_{IH}(\text{MAX})$ の条件下では最大1mA/ピンの電流が流れる可能性があります。データシート“Hot Socketing Specifications”をご参照下さい。

2-9. ドライブ能力について

Input/Output Standard	V _{IL}		V _{IH}		V _{OL} Max. (V)	V _{OH} Min. (V)	I _{OL} Max. ⁴ (mA)	I _{OH} Max. ⁴ (mA)
	Min. (V) ³	Max. (V)	Min. (V)	Max. (V)				
LVCMOS 3.3 LVTTTL	-0.3	0.8	2.0	3.6	0.4	V _{CCIO} - 0.4	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
					0.2	V _{CCIO} - 0.2	0.1	-0.1

* XO2 DataSheet (sysIO Single-Ended DC Electrical Characteristics) より抜粋

- 上記の表のように、XO2のドライブ電流値は可変させることが可能です。設定したI/Fによって、設定できる値は異なりますので、データシートで御確認ください。
- XO2のI/Oバッファのドライブ可能電流は以下のような制約があります。

「The average DC current drawn by I/Os between GND connections, or between the last GND in an I/O bank and the end of an I/O bank, as shown in the logic signal connections table shall not exceed $n \times 8\text{mA}$, where n is the number of I/Os between bank GND connections or between the last GND in a bank and the end of a bank.」

BankのGND間にあるI/O、もしくはI/O Bank内にある最後のGNDからI/O Bankの端までにあるI/Oの本数において、(その本数) × 8mAのドライブ電流を超えてはいけません。

- 例えば、XO2-1200のピンリストを見ますと右のようになっております。
赤枠を見ますと、GND、GND間のI/Oの本数が9本となっております。
よって、8mA × 9本 = 72mAとなり、9本のI/Oは合計で最大72mAまでドライブすることができます。(1本当たりの最大は24mAとなります。)
- 次に青枠をご覧ください。GNDからBANK端のI/Oまでの本数を数えますと4本となっております。
よって、8mA × 4本 = 32mAとなり、この4本のI/Oは合計で最大32mAまでドライブすることができます。
例えば、この場合、No120 [PR2D]のI/Oが20mAドライブする場合には、残り3本は合計12mAまでしかドライブすることができません。

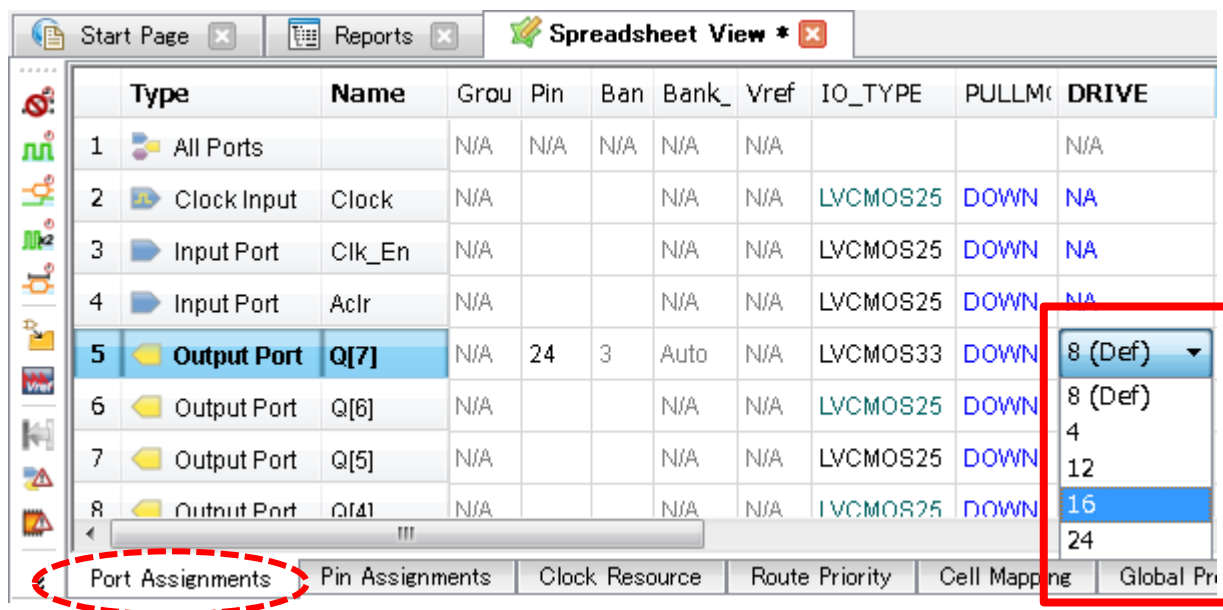
PAD	Pin Function	Bank
1	PL2A	3
	⋮	
63	GND	-
64	PB11D	2
65	NC	-
66	PB11A	2
67	PB11B	2
68	PB15A	2
69	PB15B	2
70	PB15C	2
71	PB15D	2
72	PB18A	2
73	PB18B	2
74	NC	-
75	GND	-
	⋮	
117	GND	-
118	NC	-
119	VCCIO1	1
120	PR2D	1
121	PR2C	1
122	PR2B	1
123	NC	-
124	PR2A	1
125	VCC	-
126	PT17D	0
	⋮	

XO2_1200 ピンリスト
(TQFP144 / CSBGA132 /
TQFP100 / WLCSP25)

2-9. ドライブ能力について

ドライブ強度 (mA)	I/O タイプ					
	LVC MOS12	LVC MOS15	LVC MOS18	LVC MOS25	LVC MOS33	LVTTL33
2	YES					
4		YES	YES	YES	YES	YES
6	YES					
8		YES	YES	YES	YES	YES
12			YES	YES	YES	YES
16				YES	YES	YES
24					YES	YES

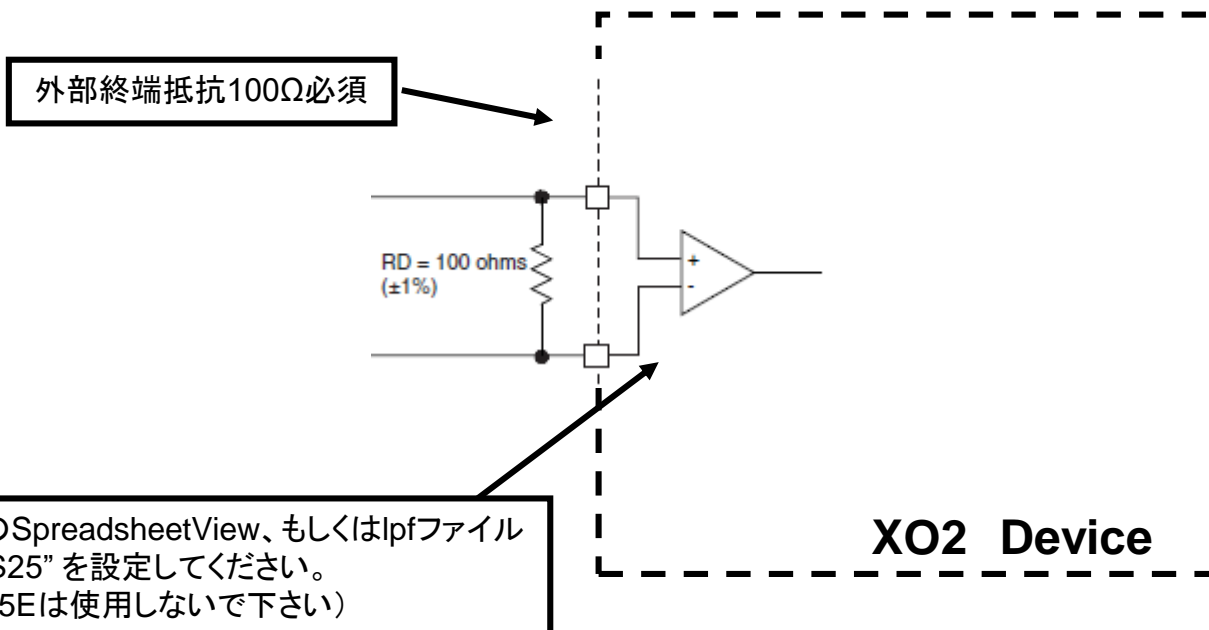
- DiamondのSpreadsheetView、もしくはlpfファイルにてドライブ能力の設定が可能です。



■差動LVDS入力について

- 差動LVDS入力はTop, Bottom, Right, Left全てのバンクで使用可能です。
- 使用するI/Oは必ず差動ペアにしてください。
 <例>右のピンリストのPL2A/PL2Bのような差動ペアをご使用ください。
DiamondのSpreadsheetViewではTrue側をアサインしてください。
- 差動LVDS入力で使用する場合、外部に終端抵抗100Ωが必ず必要になります。(Bank2のみ内部終端抵抗あり)
- **差動LVDS入力としてアサインされた場合、内部Pull-upが無効となります。**
 その為、ケーブルが外れるようなアプリケーションの場合には、Floating防止の為、外部でフェイルセーフ処理が必要になります。
- **ギアリングロジックを使用したLVDSの出力はTopバンクのA/Bペア、入力はBottomバンクのA/Bペアのみ対応しております。**

PAD	Pin/Ball	Bank	Dual Function	Differential
1	PL2A	3	L_GPLL_T_FB	True_OF_PL2B
2	NC	-	-	-
3	PL2B	3	L_GPLL_C_FB	Comp_OF_PL2A
4	NC	-	-	-
5	PL2C	3	L_GPLL_T_IN	True_OF_PL2D
6	PL2D	3	L_GPLL_C_IN	Comp_OF_PL2C
7	NC	-	-	-
8	PL3A	3	PCLKT3_2	True_OF_PL3B
9	PL3B	3	PCLKC3_2	Comp_OF_PL3A



■差動LVDS出力について

差動LVDS出力は真のLVDSと擬似LVDSの2つが存在します。

・ 真のLVDS出力

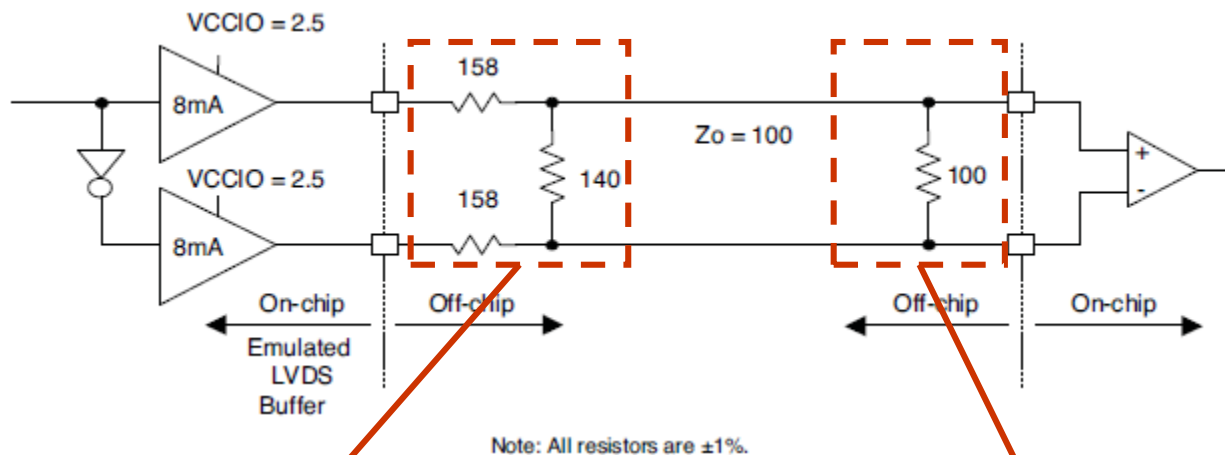
- TopBank (Bank 0)バンクのみ対応しております。ピンリストで確認した場合 High Speedの項目に”TRUE”の記述があるI/Oが真のLVDS対応I/Oです。使用するI/Oは、差動入力と同じく差動ペアにしてください。
- 真のLVDSで使用する場合、VCCIOには3.3V もしくは2.5Vを印加する必要があります。DiamondのSpreadsheetView、もしくはlpfファイルにて I/O Typeを“LVDS25”に設定してください。
- 外付け抵抗は必要ありません。(終端抵抗のみ必要)

PAD	Pin/Ball	Bank	Dual Function	Differential	High Speed
1	PL2A	3	L_GPLLT_FB	True_OF_PL2B	-
				⋮	
128	PT17C	0	INITN	True_OF_PT17D	-
129	PT17B	0	-	Comp_OF_PT17A	TRUE
130	NC	-	-	-	-
131	PT17A	0	-	True_OF_PT17B	TRUE
132	PT16D	0	-	Comp_OF_PT16C	-
133	PT16C	0	-	True_OF_PT16D	-

・ 擬似LVDS出力 (Emulated LVDS)

- Top,Bottom,Left,Right全てのバンクで擬似LVDS出力として使用できます。
- 使用するI/Oは、差動入力と同じく差動ペアにしてください。(真のLVDSと違い ”TRUE”の記述がありませんが問題ございません)
- 擬似LVDSで使用する場合、VCCIOには2.5Vを印加する必要があります。必然的に、LVDSを使用するこのバンクは2.5Vインターフェイスでしか使用できませんのでご注意ください。
- 開発ツール上では、SpreadsheetView、もしくはlpfファイルにてI/O Typeを “LVDS25E”に 設定してください。ドライブ電流は8mAにしてください。
- 外付け抵抗が必要になります。詳細は次ページをご覧ください。

2-10. 差動LVDS I/F対応について

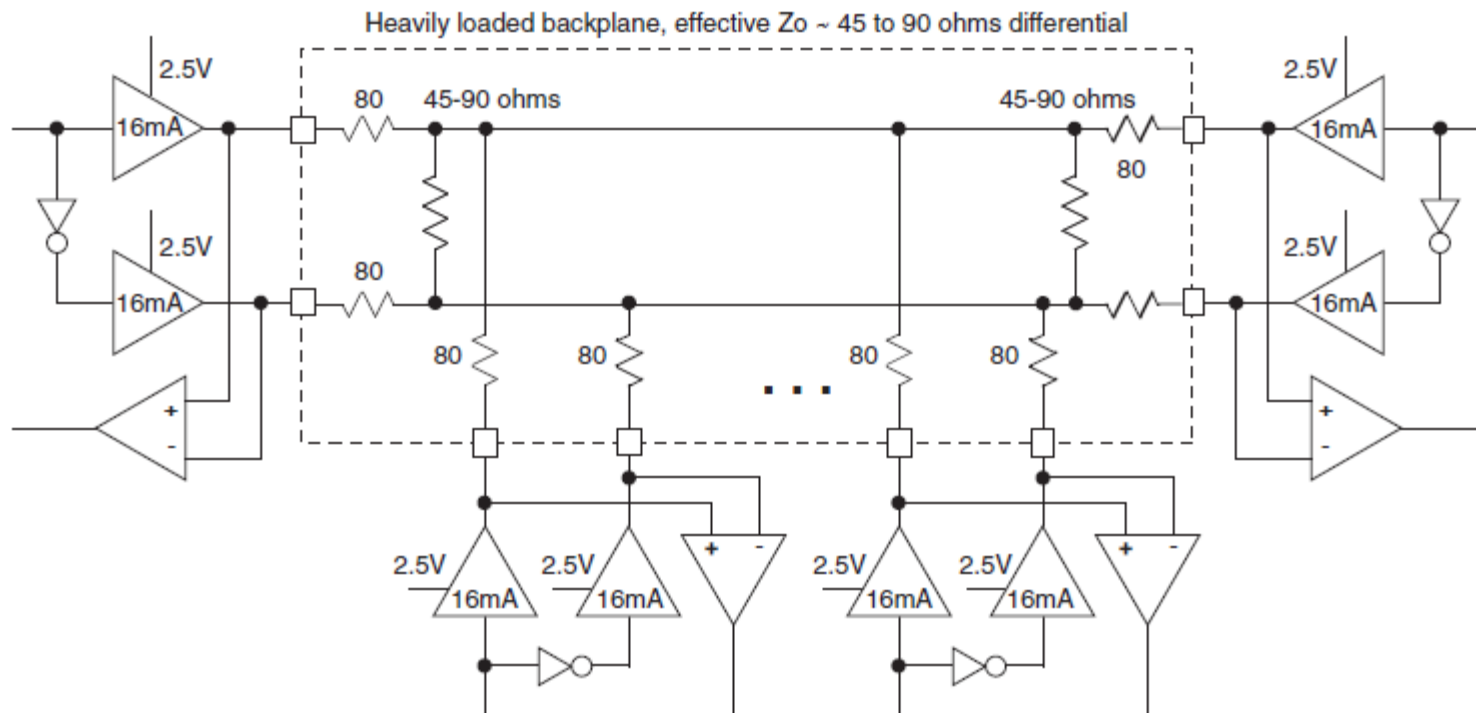


この外付け抵抗は擬似LVDSのときのみ必要となります。真のLVDSの時には必要ありません。

この終端抵抗は真のLVDSでも、擬似LVDSでも必要になります。
(Bank2には終端抵抗が内蔵しているため外付けの終端抵抗は不要です。)

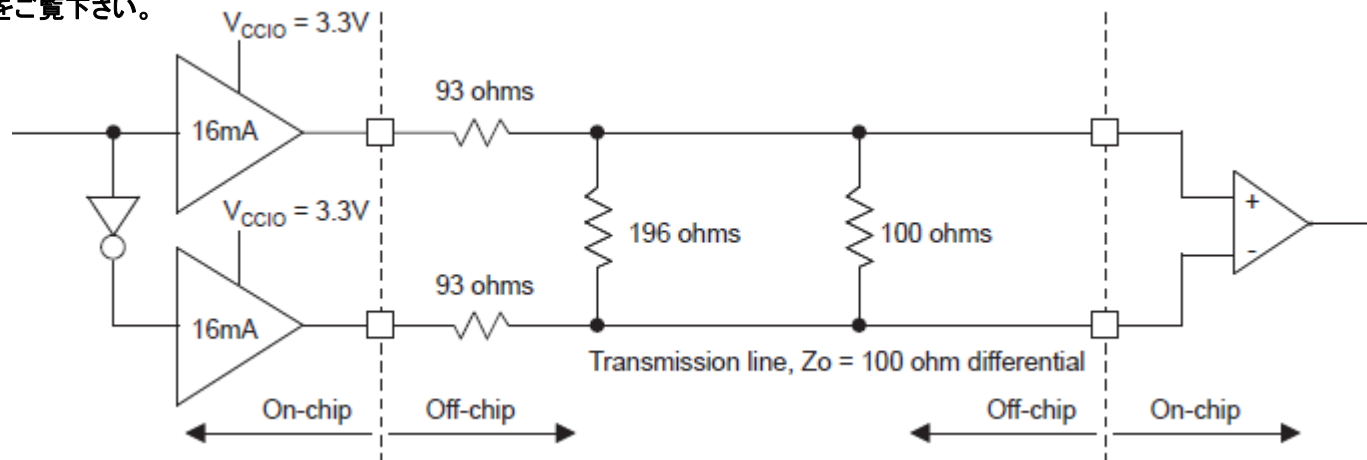
■ 差動BLVDSブロック図

* 詳細はデータシートをご覧ください。



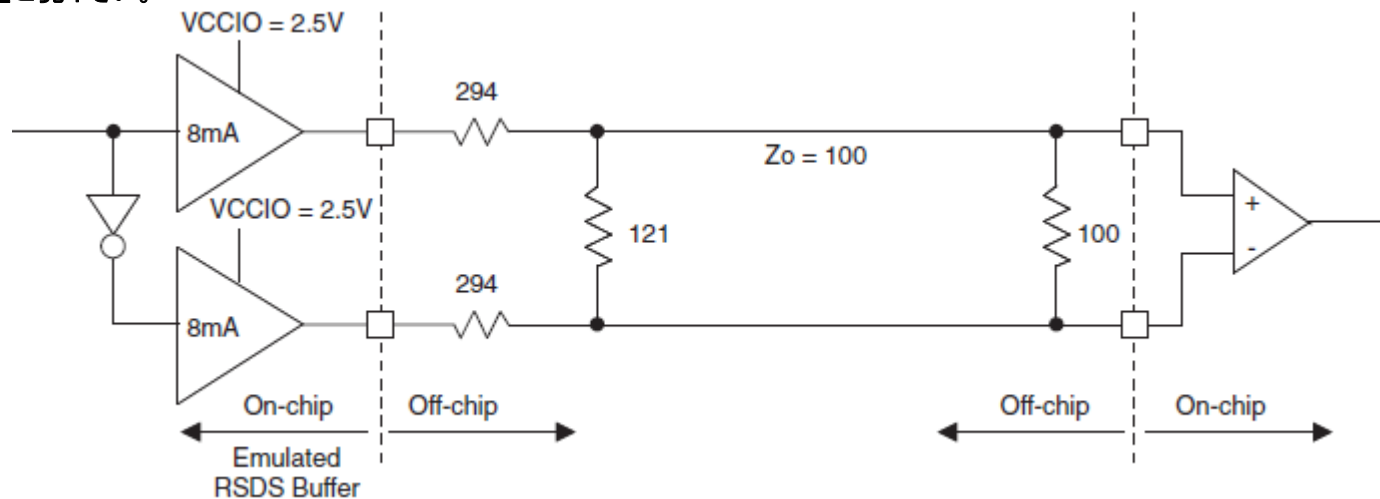
■ 差動LVPECLブロック図

* 詳細はデータシートをご覧ください。



■ 差動RSDSブロック図

* 詳細はデータシートをご覧ください。



【SSO】

一般的にCPLD、FPGAにおいて同時にスイッチングする出力ピン及び、双方向ピンを一箇所にかためてピンアサインをすると、出力ピンが同時スイッチングする事による瞬時電流の変動でグラウンド・バウンスが発生し、回路が誤動作を起こす恐れがあります。

SSOノイズ対策として以下の項目をご検討下さい。

■SSOノイズを考慮した設計方法

- ・出力ピンを同一I/Oバンク、一箇所にかためない。
- ・出力ピンのSlew RateをSlowに設定する。(Diamondにて設定可能)
- ・出力先の負荷容量を小さくする。
- ・SSO AnalyzerによるSSOノイズ発生有無の確認。

SSO Analyzerのユーザマニュアルにつきましては、以下URLにございます。

[http://www.latticesemi.com/documents/JTM01_009%20\(SSO_Analyzer\)_v12.pdf](http://www.latticesemi.com/documents/JTM01_009%20(SSO_Analyzer)_v12.pdf)

■ギアリングロジック

プログラマブルI/O (PIO) セルに組み込まれているハードマクロです。

高速汎用DDRインターフェイスや、7:1LVDSのシリアル/パラシリアルに使用されます。

MachXO2デバイスでは、I/Oバンクの位置と論理規模に応じて4種類のギアリング比を設定できます。

(詳細はTN1203、TN1246に記載がございます)

■ギアリングロジックが使用できるBankについて(MachXO2-640U、1200/U、2000、4000、7000)

Gearing Logic	Definition	Gearing Ratio	Left	Right	Bottom	Top
DDR x1 ¹	GDDR	1:2 or 2:1	Yes	Yes	Yes	Yes
Input DDR x2	GDDR	1:4	—	—	Yes	—
Input DDR x4	GDDR	1:8	—	—	Yes	—
Input DDR 7:1	GDDR	1:7	—	—	Yes	—
Output DDR x2	GDDR	4:1	—	—	—	Yes
Output DDR x4	GDDR	8:1	—	—	—	Yes
Output DDR 7:1	GDDR	7:1	—	—	—	Yes
mem DDR x1	Memory DDR	1:2 or 2:1	—	Yes	—	—

上記表で“Yes”と記載されているBankにてギアリングロジックを使用することが可能です。

DDRx1は全ての規模のMachXO2デバイスで利用可能です。

XO2のコンフィグレーションについて

sysConfigピンのうちConfiguration後にUser I/Oとしても使用できるピンをDual Purposeピンと呼んでいます。次ページの処理を行うことによりUser I/Oとして使用する事が可能です。

ピン名	方向	機能
JTAGENB	I	DiamondのSpreadsheetViewにて JTAG_PORT の設定を“DISABLE”にした場合、JTAGENBピンのHigh/Lowの制御によりJTAG専用ピンを汎用I/Oとして切り替えて使用することが可能です。 Low : TDI, TDO, TMS, TCK は汎用I/Oとして機能します。 High : TDI, TDO, TMS, TCK はJTAG専用ピンとして機能します。 ※JTAG_PORTの設定を“ENABLE”に設定している場合、JTAGENBピンは汎用I/Oとなります。
PROGRAMN	I	PROGRAMNに印加される信号がHighからLowに遷移すると、デバイスがコンフィグレーションモードになります。デバイスのコンフィグレーション中には、PROGRAMNピンをトグルしないでください。（常時はPull-upしておきます。）
INITN	I/O	SRAMのコンフィグレーション中にLowが出力されると、SRAMの初期化中であることを表し、またHighになるとデバイスがコンフィグレーション・データの受け入れ準備ができたことを表します。 また、INITNピンを外部からLowに保持することで、デバイスはコンフィグレーション・モードにはなりません。コンフィグレーションの開始後は、INITNはビットストリーム・エラーの表示に使用されます。コンフィグレーション中に何らかのエラーが検出されるとINITNピンはLowになり、その後にDONEもLowのままになり、デバイスがウェイクアップしません。
DONE	I/O	電源の再投入またはPROGRAMNピンのトグルによって、デバイス・コンフィグレーションを起動すると、DONEピンはコンフィグレーション中にLowになり、コンフィグレーションが正常に完了するとHighに戻ります。 ※デバイスを初めてプログラムするとき、またはデバイスを新しいパターンでプログラムするときは、初期化中にLowにならず、LowからHighへの遷移が発生しません。
MCLK/CCLK	I/O	スレーブSPI(SSPI)でコンフィグレーションするためのクロック入力、またはSPIおよびSPIm モードでコンフィグレーションするためのクロック出力です。
SN	I	スレーブSPIのLowアクティブなチップ・セレクト入力。
CSSPIN	I/O	マスタSPIのLowアクティブなチップセレクト出力。
SI/SISPI	I/O	スレーブSPIシリアルデータ入力およびマスタSPIシリアルデータ出力。
SO/SPISO	I/O	マスタSPIシリアルデータ入力およびスレーブSPIシリアルデータ出力。
SCL	I/O	スレーブI2Cクロック入力およびマスタI2Cクロック出力。
SDA	I/O	スレーブI2Cデータ入力およびマスタI2Cデータ出力。

■ JTAGEN

DiamondのGlobal Preferencesより、JTAG_PORTを”ENABLE”(Default)にすることで通常IOとして使用可能です。

■ TDI / TDO / TMS / TCK

DiamondのGlobal Preferencesより、JTAG_PORTを”DISABLE”に設定し、JTAGENをLowにすることで通常IOとして使用可能です。JTAGENがHighの時には、TDI/TDO/TMS/TCKはコンフィグ専用ピンになります。

■ PROGRAMN / INITN / DONE

DiamondのGlobal Preferencesより、SDM_PORTを”DISABLE”(Default)に設定していただくことでPROGRAMN / INITN / DONE のピンは通常IOとして使用可能です。

■ MCLK/CCLK SN SI/SPISI SO/SOSPI CSSPIN

DiamondのGlobal Preferencesより、SLAVE_SPI_PORT ・ MASTER_SPI_PORT を”DISABLE”(Default)に設定していただくことでMCLK/CCLK SN SI/SPISI SO/SOSPI CSSPIN のピンは通常IOとして使用可能です。

■ SCL / SDA

DiamondのGlobal Preferencesより、I2C_PORTを”DISABLE”(Default)に設定していただくことでSCL / SDAのピンは通常IOとして使用可能です。

各コンフィグピンが使用されるコンフィグモード、I/Oタイプ、内部Pull設定は以下となります。

Pin Name	I/O Type	Mode
PROGRAMN	Input with weak pull-up	sysCONFIG
INITN	Bi-directional open drain with weak pull-up	sysCONFIG
DONE	Bi-directional open drain with weak pull-up	sysCONFIG
MCLK/CCLK	Input or output with weak pull-up	sysCONFIG – SSPI, MSPI
CSSPIN	Output with weak pull-up	sysCONFIG – MSPI
SI/SISPI	Input or output	sysCONFIG – SSPI, MSPI
SO/SPISO	Input or output	sysCONFIG – SSPI, MSPI
SN	Input with weak pull-up	sysCONFIG - SSPI
SCL	Bi-Directional open drain	sysCONFIG - I ² C
SDA	Bi-Directional open drain	sysCONFIG - I ² C
TDI	Input with weak pull-up	JTAG
TDO	Output with weak pull-up	JTAG
TCK	Input	JTAG
TMS	Input with weak pull-up	JTAG
JTAGENB	Input with weak pull-down	JTAG

注1: “Dual-Purpose”ピンの仕様につきましてはp24をご参照ください。

注2: “Weak Pull-up/down”の抵抗値につきましてはp12をご参照ください。

- ① JTAGインタフェースを設けることを推奨します。
TCKは2.2k Ω で外部プルダウン、TMSは2.2k Ω で外部プルアップすることを推奨します。
- ② JTAGインターフェイス未使用を選択した場合(JTAG_PORT=DISABLE)、JTAGENピンは0 Ω 抵抗をGND間に配置し、かつプルアップ抵抗を実装出来るようにしておき、万が一の時はJTAGポートをコンフィグに使用できるようにしておくことを推奨します。
- ③ PROGRAMN,INITN,DONEピンを有効にすることを推奨します。
Vccio0(と同タイミングで立ち上がる電源)に2.2k Ω - 4.7k Ω でプルアップしてください。
- ④ PROGRAMNピンは再コンフィグレーション時にトグルする以外の目的には使用しないでください。
電源立ち上がり後トグルする場合は、コンフィグレーション完了を示すDONEがアサートされた後、数十～数百msec以上の十分な時間を確保します。DONEがLowの状態ではPROGRAMNをトグルしてはいけません。また、電源投入時にはPROGRAMNをLow固定にしてはいけません。電源投入時にPROGRAMNがLowに固定されていますとコンフィグレーションに失敗してしまう可能性があります。

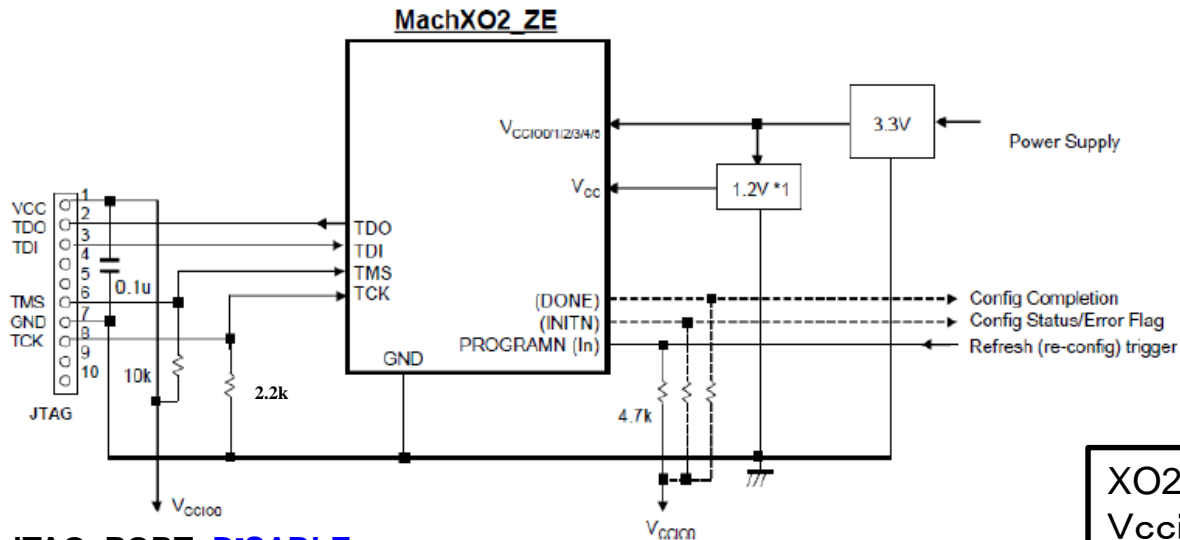
- ⑤ 電源起動時、SNピンをLowにしないでください。
 コンフィグレーションに失敗してしまう可能性があります。
 SNピンはVccio2(と同タイミングで立ち上がる電源)に2.2k Ω - 4.7k Ω でプルアップしてください。
- ⑥ Dual PurposeピンはできるだけユーザI/Oとして使用しないことを推奨します。
- ⑦ PLLを2つ持つXO2デバイス (2000U,4000,7000)に関しましては、On-Chip-Flashに対して Backgroundプログラミング(動作に影響させることなく、Flashに書き込みを行うモード)を行った際、RPLL (Right側PLL)のLockが外れ、PLLから不定周波数のクロックが出力されてしまいますのでご注意ください。
- <回避方法>
- ・Flash書き込みの際、Backgroundプログラミングではなく、Direct Flashプログラミングを使用する
 - ・Backgroundプログラミングを行う際に、装置全体にシステムリセットをかける(この信号でFPGAもリセットがかけられることが前提)
 - ・XO2の該当PLLにリセットを入れて、PLLから不定周波数を出力しないようにする

- ① PLLに用いるクロック入力信号は、GPLLピンを使用します。
プライマリクロック用にはPCLKピンを使用します。
- ② DDR1/DDR2/LPDDR メモリインタフェースでは、DQSピン配置を確認します。
またDQ,DMIはそれぞれ該当するDQSのカバーする範囲(DQSバススパン)に収めます。
差動DQSを使用する場合はDQS#(反転側)パッドには何も信号をアサインしないように注意します。
- ③ 未使用の汎用IOにつきましては内部でプルダウンされたHi-zとなっていますので全てオープンにします。
- ④ 5Vトレラントには対応しておりません。
- ④ Mix Voltageを使用する場合は以下2つの方法があります。
 - Hysterisisを“N/A”に設定します。 内部Pull-upは設定不可です。(Pull-downは可能)
 - Rタイプを用います。(例. LVCMOS25R33 など)
この場合、参照電圧を供給するためにバンク内に少なくとも一本以上の未使用ピンが必要です。

<例.Vccio=3.3Vを入力しているBankに、LVCMOS25を入力する場合>
VREF=1.25Vを入力し、IO_TYPEは”LVCMOS25R33”に設定”する事で、
Vccio=3.3VのBankにLVCMOS25Vを入力することが可能です。

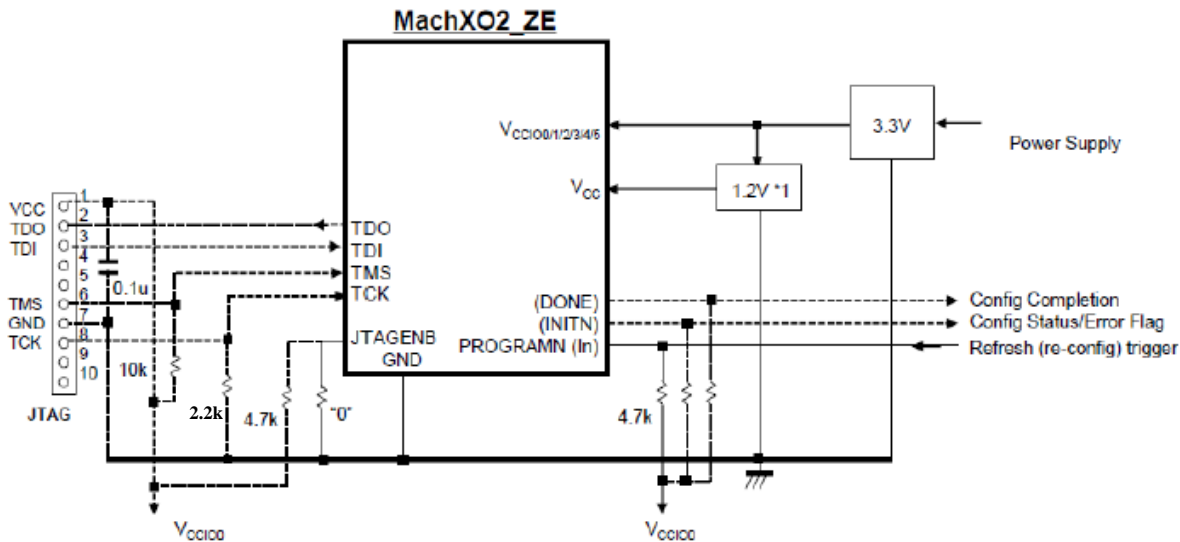
3-6. 参考回路①SDMモード(JTAG_PORT=ENABLE/DISABLE)

・JTAG_PORT=ENABLE

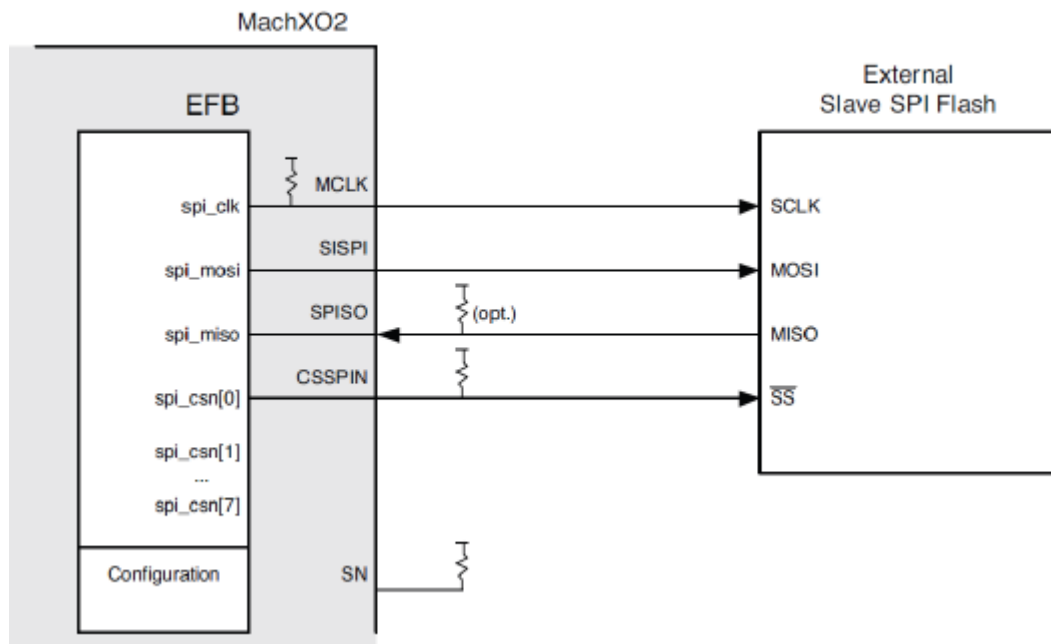


XO2の”ZE”(コア電源1.2V)を使用し、
Vccioが全て3.3Vで使用する場合の例

・JTAG_PORT=DISABLE

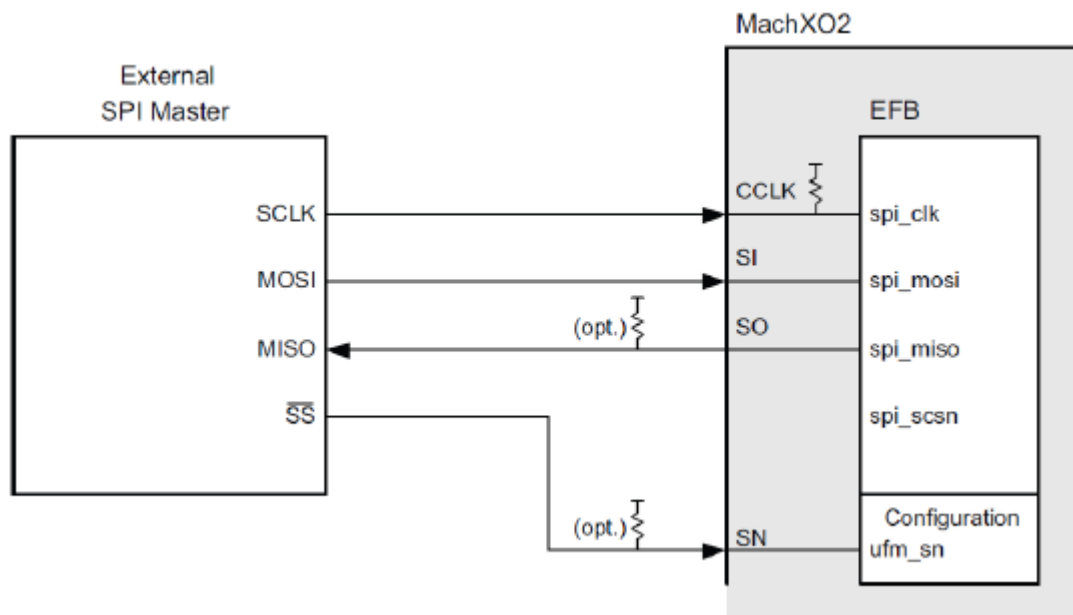


＜再度ダウンロードを行う場合＞
JTAGENBとGNDをつなぐ
0Ω抵抗を外す。
=>
JTAGENBがHighとなり、
TDO / TDI / TMS / TCK は
専用ピンとなる

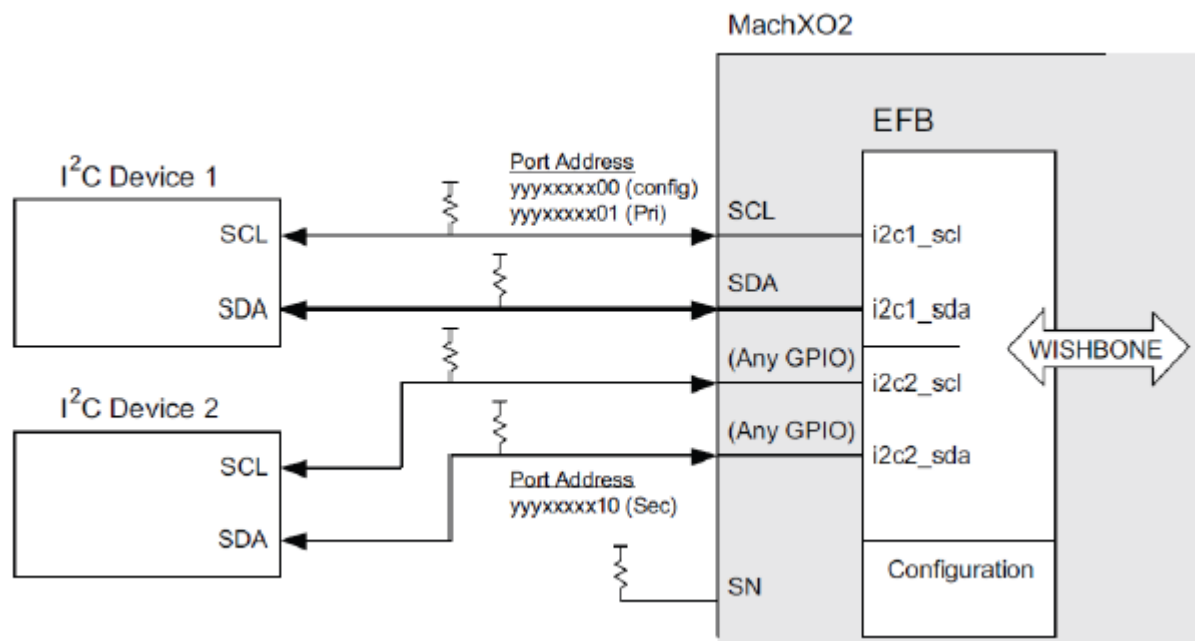


1. SPI FlashメモリにBITSTREAMファイルの書き込みを行います。
(VMsystemを使用し XO2経由でSPI FlashメモリにBITSTREAMファイルを書き込むことも可能です)
2. DiamondのSpreadsheetViewでMASTER_SPI_Portを”Enable”、
CONFIGURATIONを”EXTERNAL”に設定し生成したJEDECファイルをXO2に書き込みます。
3. 電源を再投入、もしくはPROGRAMNピンをトグルすることでXO2はSPI Flashメモリからコンフィグレーションを行います。
(詳細はTN1204に記載がございます)

※ 上図、SPI Flash メモリのピン名はベンダにより異なります。



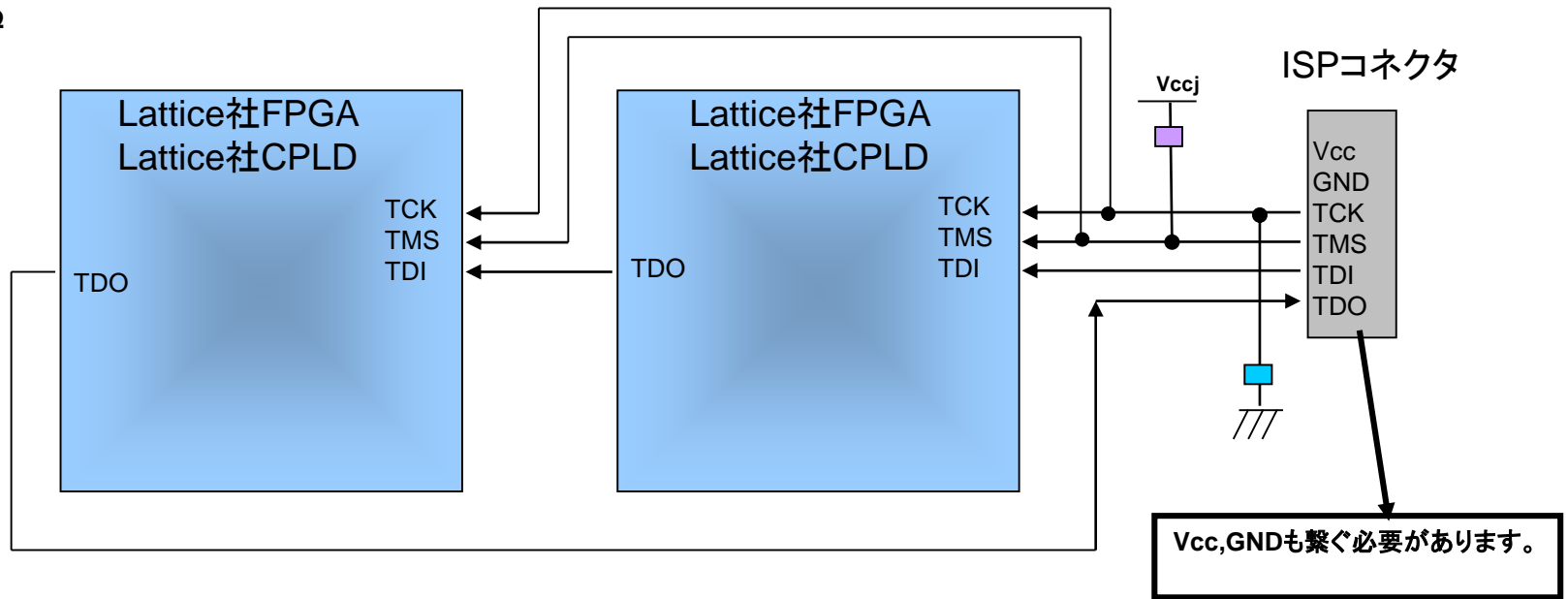
- ・コントローラ(MCUなど)からSSPIを介して(バックグラウンドで)CFMを書き換えが可能です。
 - ・プルアップ/プルダウンはデバイスに依存しますがCCLK/CSNはノイズに留意してください。
1. DiamondのSpreadsheetViewにてSLAVE_SPI_PORTを“ENABLE”に設定しXO2に書込みます。
(未書き込みのXO2はSLAVE_SPI_PORTが”ENABLE”になっている状態と同様です。)
 2. SPI MasterからXO2のCFMにコンフィグレーションデータの書込みを行います。
(詳細はTN1204、TN1246に記載がございます)
 3. PROGRAMNピンをトグルするか、SSPIポートからREFRESHコマンドを与えることで、XO2の再コンフィグレーションを行います。



- ・コントローラ(MCUなど)からI2Cを介して(バックグラウンドで)CFMを書き換えが可能です。
- ・DiamondのSpreadsheetViewにてI2C_PORTを“ENABLE”に設定しXO2に書込みます。(未書き込みのXO2はI2C_PORTが”ENABLE”になっている状態と同様です。)

1. I2C Device からXO2のCFMにコンフィグレーションデータの書込みを行います。
(詳細はTN1204、TN1246に記載がございます)
2. PROGRAMNピンをトグルするか、I2CポートからREFRESHコマンドを与えることで、XO2の再コンフィグレーションを行います。

- 4.7K-10KΩ
- 4.7KΩ



- 5個以上のデバイスをチェーンする場合、もしくは配線長が1mを超える場合にはTCK、TMSの信号がJTAGコネクタより遠くなるほど弱くなり、ノイズがのってしまう恐れがありますのでデバイス5個毎にバッファを1つ追加して下さい。
- トレースが長いJTAGチェーンは、可能であればTDI、TDO(シリアルライン)にそれぞれDamping抵抗(0 ohm)を付加してください。
 - ① デバッグの際、抵抗を外せば、JTAGチェーンを容易に分けられます。
 - ② 反射等によるノイズを抑えたい場合、抵抗値を変えればよいです。
- その他、詳細につきましては、弊社作成のマニュアル「JTAG基板設計時資料」をご覧ください。
http://www.tecstar.macnica.co.jp/product/lattice/LatticeSupportHP/manual/pdf/d_01_JTAG_Board_Design_rev1.1.pdf

4-1. バージョン管理

Revision:	Date:	Author:	Modify or Add:
1	2012/11/27	Komiyama	Initial
2	2013/7/17	Komiyama	P15 MasterSPIの状態を追記
			P31 注意事項を追記
3	2014/7/10	Komiyama	P6 電源シーケンス記述の変更
			P13 Pull-up/downの値変更
			P31 PROGRAMN,INITN,DONEピンのPull-up抵抗値変更
			P32 Flash Background Mode時の注意を追記
4	2015/12/7	Komiyama	P14「(1) 未書き込みXO2デバイス」INITN・DONEの内部処理をPull-downからPull-upへ変更
5	2016/7/26	Ishigaki	P14「(1) 未書き込みXO2デバイス」CSSPINの内部処理をPull-downからPull-upへ変更
6	2020/6/29	Fudo	P13-14 内部Pull up/downの抵抗値に関して計算例を追加 P13-14 内部処理が無い専用ピンにつける外部処理の抵抗値を「3.0kΩ以下を推奨」に変更 P33 SNピンの外部処理に関する注意事項を追加
7	2021/10/26	Katsube	P15-17 PROGRAMNピン/SNピンの外部処理Pull-upを追加 P18 POR解除前の通常I/O状態をHiz, Pull-noneへ修正