

外部メモリー・インターフェイス (EMIF) デザイン & デバッグ ガイドライン

- V シリーズ向け : Stratix[®] V, Arria[®] V, Cyclone[®] V

macnica

株式会社マクニカ アルティマカンパニー

Rev.1.1 2020/12

Agenda

1. はじめに
2. デザインフロー
3. デバッグフロー

Appendix :

- チェックリスト
- パラメーターの確認方法
- Example Design の作成方法
- EMIF Toolkit の使用方法

はじめに

MACNICA

本資料の目的

- メモリー・インターフェースの高速化に伴い、データバリッドウインドウの縮小や信号品質の悪化が課題です
- 仕様要求を満たすための検証やデバッグに費やす時間が増加傾向にあるため、適切な手順でデバイスやボードの設計を行い、かつ、設計段階であらかじめデバッグするための手段を実装することが重要です
- 本資料は“デザインフロー”と“デバッグフロー”を示し、適切な手順で設計を行うことにより不具合混入を防ぐことと、デバッグに必要な仕組みを実装することにより速やかに問題を解決することを目的とします

対象デバイス : Stratix[®] V FPGAs, Arria[®] V FPGAs, Cyclone[®] V FPGAs

対象メモリー規格 : DDR2, DDR3(L)

Summary

デザインフロー 全体を通した確認事項	※ EMIF (External Memory Interface) : DDR2/3 などの高速メモリーを接続するための IF 回路	<input checked="" type="checkbox"/>
JTAG の実装をしたか (実運用状態で JTAG が見れるようにしておく)		<input type="checkbox"/>
メモリーデータシートを基に正しいパラメーターを入力したか		<input type="checkbox"/>
タイミングを満たしていることを確認したか		<input type="checkbox"/>
EMIF ToolKit で温度・電圧が変化してもマージンがあることを確認したか		<input type="checkbox"/>
電源関連の確認事項		
VCC, VCCPGM, VCC_AUX, VCCPD, VCCIO, VCCA_FPLL の電圧を測定できるように設計したか		<input type="checkbox"/>
測定する電源は電圧調整できるよう設計したか		<input type="checkbox"/>
波形関連の確認事項		
FPGA 側とメモリー側の各端子にできるだけ近い箇所に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が確認できるようにしたか		<input type="checkbox"/>
DQ/DQS グループ毎に DQS に対する DQ の Skew がワーストと2番目にワーストになる信号をオシロスコープで確認できるようにしたか		<input type="checkbox"/>
①~③をオシロスコープで測定できるように設計したか		
① : FPGA の入力 CLK と Global Reset		<input type="checkbox"/>
② : FPGA 内で PLL より生成された CLK		
③ : メモリーの入力 CLK		
オシロスコープで確認する信号を Via 観測できるようにしたか (スルーホール推奨)		<input type="checkbox"/>
最低 5G 帯域のアクティブプローブのオシロスコープで波形を確認する		<input type="checkbox"/>

デザインフロー

MACNICA

デザインフロー



デザインフロー

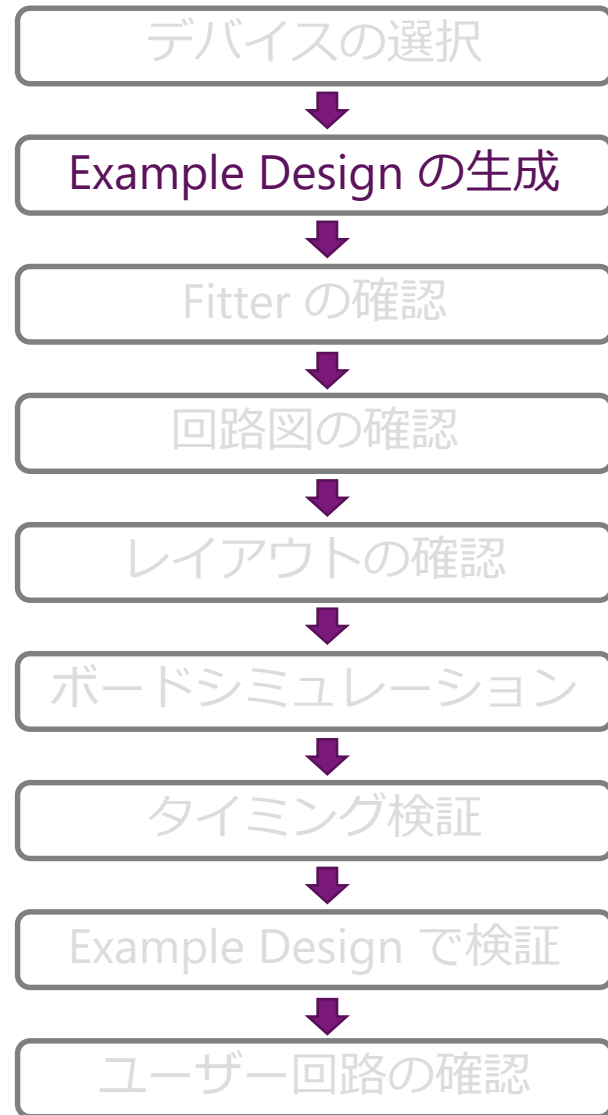


● デバイスの選択

- 所望の EMIF の構成が実装できるか資料と Example Design を併用で確認
 - 参考資料
 - [External Memory Interface Handbook Volume 2: Design Guidelines](#)
“Selecting Your FPGA” で検索
 - [Cyclone V Device Handbook Volume 1: Device Interfaces and Integration](#)
= “[External Memory Interfaces in Cyclone V Devices](#)” の章を参照
 - Example Design は次ページを参照
- 所望の動作周波数をサポートしている FPGA を確認
 - 要求の動作周波数よりも、早いメモリーデバイスが必要な場合があるので注意
 - 可能であれば Spec Estimator で推奨のものより一つ上のスピードグレードのデバイスを選択することを推奨
 - ツール: [EMIF Spec Estimator](#)
 - Hard Memory Controller と Soft Memory Controller があるので違いに注意する
- 参考記事
 - [インテル® FPGA に外部メモリー・コントローラーを実装!](#)

リソース(ピン、DLL、PLL)の制約があるので Example Design を作成して確実に配置できるか確認することを推奨

デザインフロー

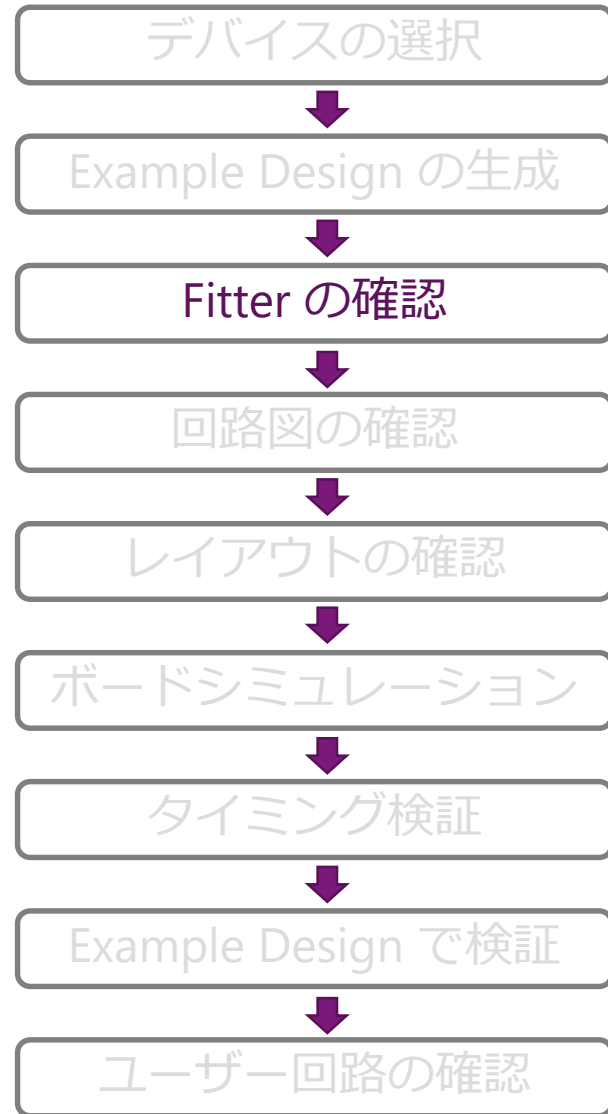


● Example Design の生成と確認

- **正確にメモリーパラメーターを入力**
 - 本資料の Appendix 「[パラメーターの確認方法](#)」ガイドラインを参照
- メモリー構成を確認
- Example Design のシミュレーション（機能確認）
- Example Design (デザイン用)でフルコンパイル完了
- Example Design でタイミング検証

- 以下の2記事を参考に生成/確認
 - [インテル® FPGA で DDR3 メモリ動作！（実践編） \[1/2\]](#)
 - [インテル® FPGA で DDR3 メモリ動作！（実践編） \[2/2\]](#)
- EMIF コア生成時にエラーとなる場合は以下の記事を参照
 - [EMIF コア生成時にエラーとなる場合の対処方法まとめ](#)

デザインフロー



● Fitter の確認

- 全てのユーザー I/O ピンの配置を行いエラーがないか確認
- 特別な理由がない限り、EMIF 配置バンクに他のユーザー I/O を割り当てないことを推奨
- EMIFのピンのアサイン方法は以下の資料を参照
 - [External Memory Interface Handbook Volume 2: Design Guidelines](#)
 - “1.4. Guidelines for UniPHY-based External Memory Interface IP” の章を参照
- Hard Memory Controller の場合
 - 信号によってピン配置が固定されているので注意
 - 配置情報は以下の URL より該当するデバイス型番の Pin-Out ファイルを確認
 - <https://www.intel.com/content/www/us/en/programmable/support/literature/lit-dp.html>
 - “DDR3/DDR2 hard memory PHY” の項目を参照

デザインフロー



● 回路図の確認 1/3

- EMIF Handbook/Schematic Review Worksheets のガイドラインに準拠する
 - [JTAG を実装する \(実運用状態で JTAG が見れるようにする\)](#)
- デバイスやメモリーの種類ごとに処理方法が変わるので注意する (回路図の流用時は特に注意する)
 - Clock は CLK 専用ピンへのアサインが必須
 - Add/Cmd (CKE) の終端処理
 - RZQ の抵抗値
 - フライバイ終端とバランスド配線のデバイス対応の確認
 - [External Memory Interface Handbook Volume 2: Design Guidelines](#)
 - Table25 の表で Leveling 対応デバイス(=フライバイ終端)を確認
 - 終端処理の方法が曖昧な場合は 0Ω 抵抗で、プルアップ/プルダウン可能な状態にしておく
 - [Arria® V /Cyclone® V と DDR3 の回路図確認項目](#)を参照
- 参考資料
 - [External Memory Interface Handbook Volume 2: Design Guidelines](#)
 - “DDR2, DDR3, and DDR4 SDRAM Board Design Guidelines” を参照
 - [Device Schematic Review Worksheets](#)
 - Pin Connection Guidelines
 - [Arria V](#)
 - [Cyclone V](#)

デザインフロー



● 回路図の確認 2/3

○ 電源電圧を確認できるように設計

- VCC, VCCPGM, VCC_AUX, VCCPD, VCCIO, VCCA_FPLL, VREF, VTT (HPSの場合:VCC_HPS, VCCIO_HPS, VCCPLL_HPS, VCCRSTCLK_HPS, VCC_AUX_SHARED, VCCPD_HPS, VREFB[#]NO_HPS) の電圧を測定できるように設計

• FPGA 直下の電源ピン (VIA でのスルーホール)

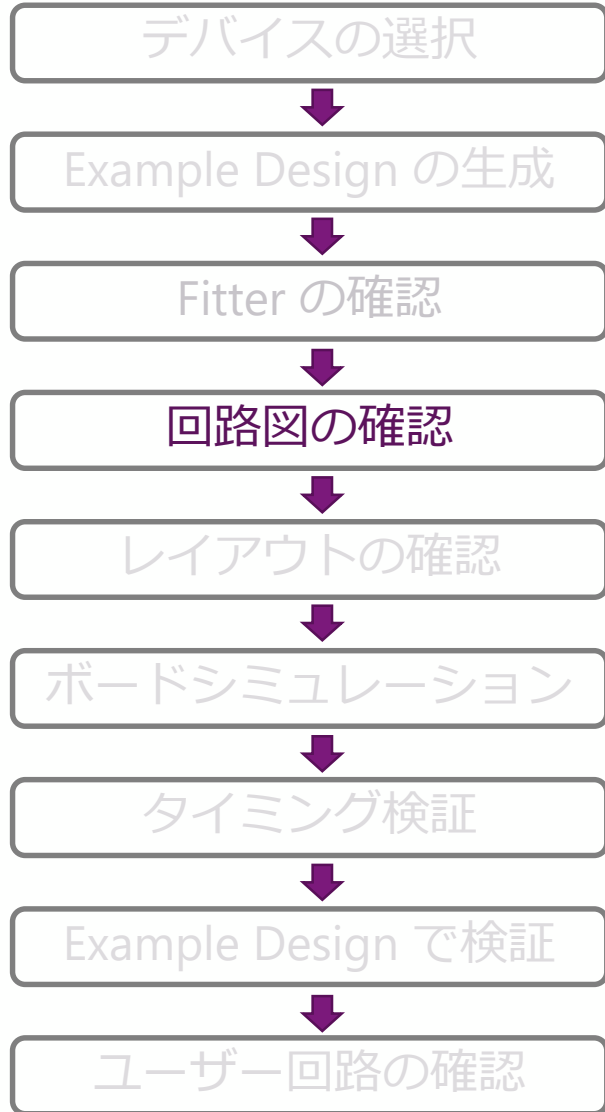
- これらの電源を電圧調整できるように設計

- PM バス付きの電源を使用

- 動作中に電圧許容範囲内であることを確認

	DDR	DDR2	DDR3	DDR4
クロック周波数 [MHz]	100/133/166/200	200/266/333/400	400/533/667/800/933/1066	1066/1200/1333
電源電圧[V]	2.5	1.8	1.5	1.2

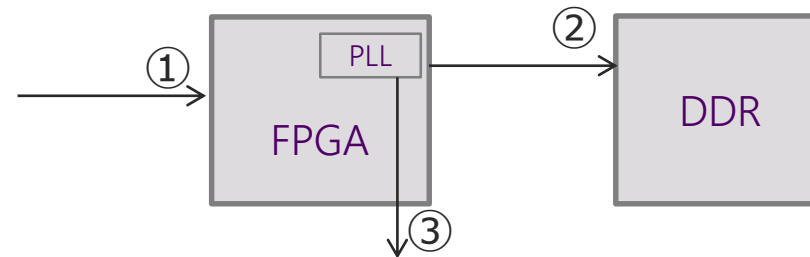
デザインフロー



● 回路図の確認 3/3

○ 各種信号をオシロスコープで確認できるよう設計

- **FPGA 側とメモリー側の各端子の直近に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が確認できるようにする**
 - DQ/DQS グループごとに、DQS に対する DQ の Skew がワーストの信号を確認できるようにする
 - DQ/DQS グループごとに、DQS に対する DQ の Skew が2番目にワーストになる信号を確認できるようにする
 - VIA でのスルーホール
- **重要なクロック信号は 下記 ①～③で測定できるように設計**
 - ① : FPGA の入力 CLK と Global Reset
 - ② : メモリーの入力 CLK (メモリー近端)
 - ③ : FPGA 内で PLL より生成された CLK



デザインフロー

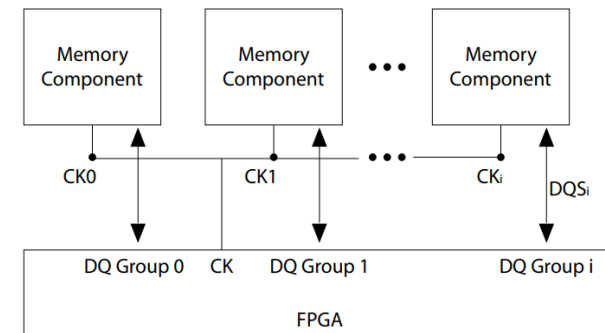


● レイアウトの確認

◦ Handbook に記載のガイドラインに準拠

- Ex1. : 全てのデータ、アドレスコマンドの伝送遅延は ± 50 ps に収める
- Ex2. : クロック、アドレスコマンドはバランスト・ツリー トポロジを採用する(デバイスファミリーによる)
- 可能な限りレイアウト・ガイドラインよりマージンをもって設計することを推奨

Balanced Tree Topology



CK_i = Clock signal propagation delay to device i

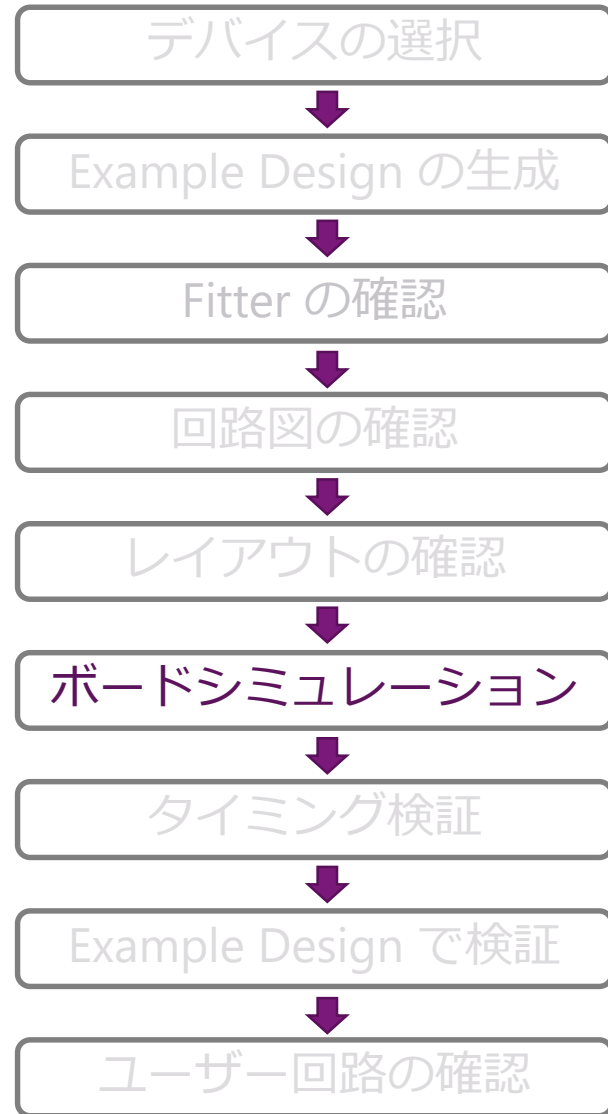
DQS_i = DQ/DQS signals propagation delay to group i

◦ 参考資料

- [External Memory Interface Handbook Volume 2: Design Guidelines](#)

• “DDR2, DDR3, and DDR4 SDRAM Board Design Guidelines” を参照

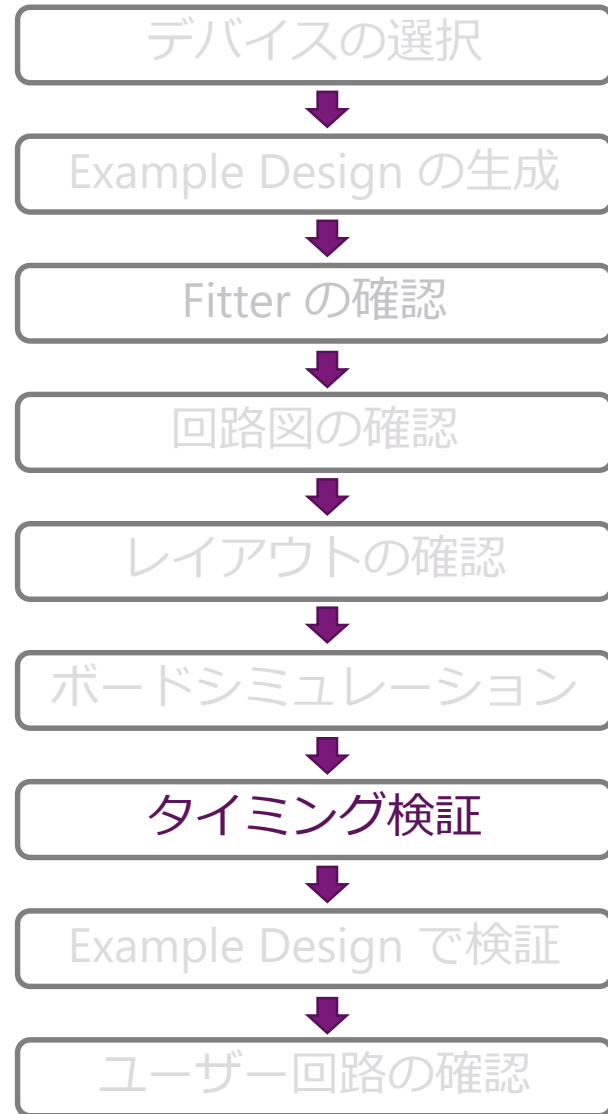
デザインフロー



● ボードシミュレーション

- 信号品質の確認
 - [Channel Signal Integrity Measurement](#) を参照しメモリー関連の信号波形が規定値に収まっていることを確認
- Board Skew Parameter を計算
 - Board Skew 値の計算、入力は必須
 - Board Skew Parameter Tool に基板情報を入力し計算
 - Channel Signal Integrity の評価/計算 はオプション
 - 信号品質に問題がなくシンプルなデザイン (チップセレクト1本) の場合は設定不要 : デフォルト推奨
 - 上記に当てはまらない場合はガイドラインに従い評価し、入力方法を決定すること
- 参考資料・記事
 - [DDR4 Simulation Guidelines](#)
 - HyperLynx® を使用した基板シミュレーションの手順を紹介
 - Arria® 10 + DDR4 を対象にした資料ですが、V シリーズでも適用できる部分が多いです
 - [Board Skew Parameter Tool](#)
 - [Channel Loss Calculation Tool](#)
 - [IBIS ファイルの生成方法](#)

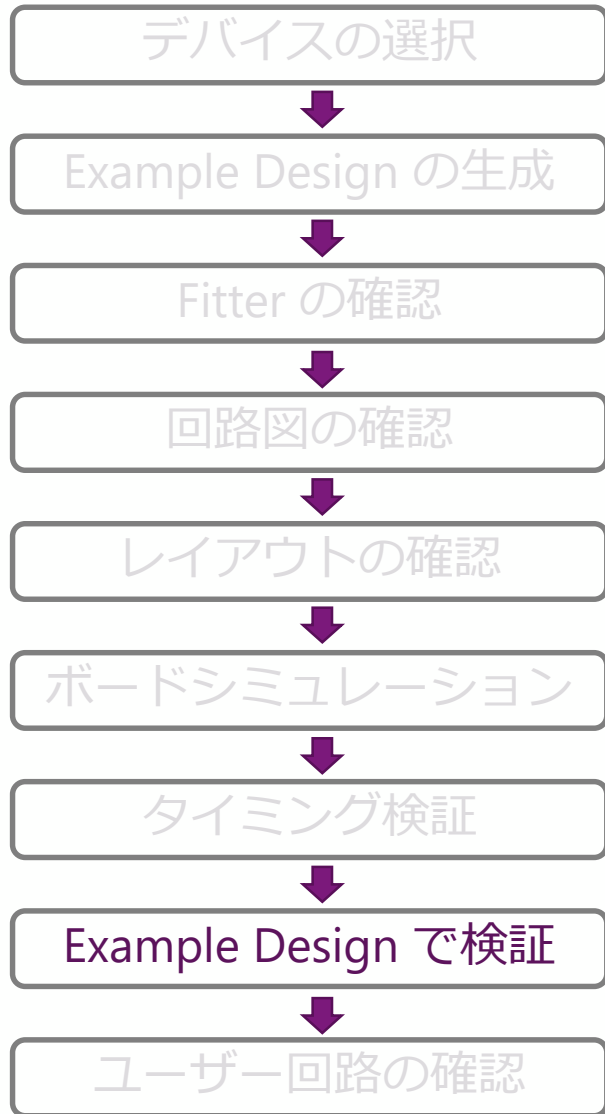
デザインフロー



● タイミング検証

- 正しいメモリーパラメーターになっていることを再確認
- 設定した周波数と実際の周波数が同じことを確認
- SDC ファイルをツールに登録する順番を確認
 - Project に追加するファイルの順番はユーザー SDC を最後に登録
 - メモリー関連の制約を二重にかけていないか確認
 - 必要なパスを False 設定していないか確認
 - EMIF IP 内のパスは False 設定禁止
- Quartus® Prime でタイミングを満たしていることを確認
- 参考資料
 - [External Memory Interface Handbook Volume 2: Design Guidelines](#)
 - “Common Timing Closure Issues ” や “Optimizing Timing” で検索

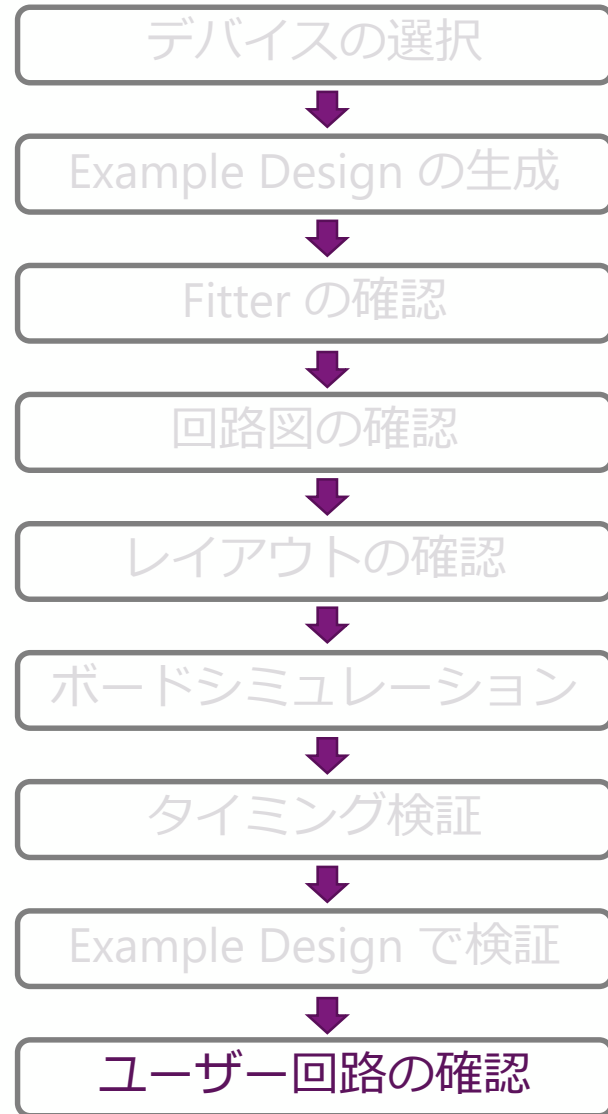
デザインフロー



● Example Design で検証

- 温度・電圧変動によるタイミングマージンの確認
 - EMIF Toolkit を使って検証
 - EMIF Toolkit で Calibration が Fail した場合、[Calibration が Fail した場合](#)を参考にデバッグを行う
- 信号品質を確認
 - Add/Cmd, DQ/DQS
 - FPGA の入力 CLK と Global Reset
 - メモリーの入力 CLK
 - VCC, VCCPGM, VCC_AUX, VCCPD, VCCIO, VCCA_FPLL, VREF, VTT (HPSの場合:VCC_HPS, VCCIO_HPS, VCCPLL_HPS, VCCRSTCLK_HPS, VCC_AUX_SHARED, VCCPD_HPS, VREFB[#]NO_HPS)
- Signal Tap 波形の確認
 - local_cal_success の High を確認
 - キャリブレーション成功の確認
 - drv_status_pass の High を確認
 - リードライトテスト成功の確認

デザインフロー



● ユーザー回路の確認

- キャリブレーション失敗時に自動で再キャリブレーションする回路を実装しておく
- メモリデータを初期化したい場合、ユーザー回路で初期化する
 - EMIF のキャリブレーションはメモリデータを初期化しない
- Signal Tap 波形を確認
 - local_cal_success の High を確認
- 参考資料
 - [External Memory Interface Handbook Volume 3: Reference Material](#)
 - “Timing Diagrams for UniPHY IP” や “External Memory Interface Debug Toolkit” で検索
- EMIF のリード/ライトシーケンスに関する概要や不明点がある場合は以下の記事を参考にする
 - [EMIF リード/ライト・シーケンスの概要とよくある質問/問題まとめ](#)

デバッグフロー

MACNICA

デバッグフロー

デザインフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザー回路の確認



動作周波数がスペック範囲内か?

電源は許容電圧範囲内か?

RefCLK/Reset の波形は規定内か?

メモリー関連の信号波形は規定内か?

ガイドラインの準拠通り処理をしたか?

タイミングを満たしているか?

Example Design で Pass するか?

プロトコル通りのアクセスか?



デバイスの選択



Example Design の生成



Fitter の確認



回路図の確認



レイアウトの確認



ボードシミュレーション



タイミング検証



Example Design で検証



ユーザー回路の確認

デバッグフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザー回路の確認

最低 5G 帯域のオシロスコープで波形を確認

必ずアクティブプローブを使用

● 電源の確認 (p12 参考)

- 動作中のVCC, VCCPGM, VCC_AUX, VCCPD, VCCIO, VCC_FPLL, VTT (VCC_HPS, VCCPD_HPS, VCCIO_HPS, VCCRSTCLK_HPS, VCCPLL_HPS, VCC_AUX_SHARED) の電圧を測定
 - 動作条件内に収まっているか
 - ・ オシロスコープの積算モードで確認
 - ・ オシロスコープのトリガー・モードで電圧の上限値と下限値を確認
- 電源電圧を変更
 - 動作条件の上限値、下限値で確認

● クロック、リセット信号の確認 (p13 参考)

- FPGA への入力クロックとグローバルリセット
- (FPGA から) メモリーへの入力クロック (メモリー近端)
- (FPGA 内で) PLL より生成されたクロック
 - 設定した周波数のクロックが出力されているかどうかテストピンに出力して確認

デバッグフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザー回路の確認

最低 5G 帯域のオシロスコープで波形を確認

必ずアクティブプローブを使用

- **信号品質の確認** ([p13](#), [P15](#) 参考)

- **DQ/DQS, Add/Cmd の波形を確認**

- ボードシミュレーション結果と同じ波形か
- マージンが取れているか

- 参考資料

- [External Memory Interface Handbook Volume 2: Design Guidelines](#)
 - “10.7.1. Signal Integrity Issues” の章を参照

デバッグフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザー回路の確認

● Calibration が Fail した場合

- Fail する Calibration Stage を確認 (次項)
- Calibration Report を取得しレポートを確認
- 再 Calibration を実施し再現性を確認
- 複数基板を使った再現性の確認
- 最新の Quartus[®] Prime を使用して確認
- メモリーを張り替える (優先順位 : 低)
- Stage ごとの確認事項でも原因が特定できない場合
→ [P20 : デバッグフロー](#) に戻って デバッグ を進める

○ 参考資料

- [External Memory Interface Handbook Volume 2: Design Guidelines](#)
 - “10.7.2. Hardware and Calibration Issues” の章を参照
- [External Memory Interface Handbook Volume 3: Reference Material](#)
 - “Timing Diagrams for UniPHY IP” や “External Memory Interface Debug Toolkit” で検索

Calibration ステージ

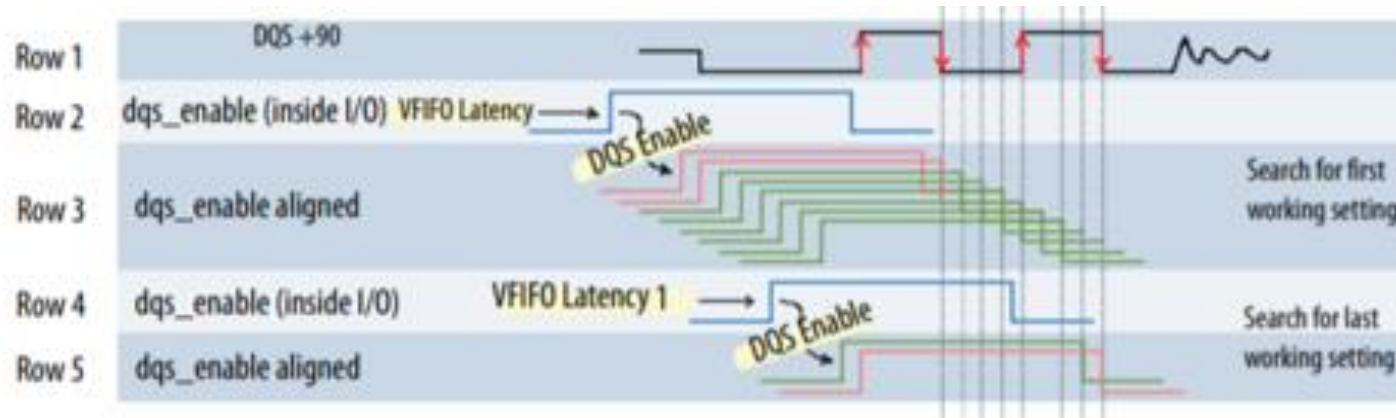
● Calibration は以下のステージを行う

- Read calibration part one
 - DQS enable calibration
 - DQ/DQS centering
- Write calibration part one
 - Leveling
- Write calibration part two
 - DQ/DQS centering
- Read calibration part two
 - Read latency minimization
- 参考資料
 - [External Memory Interface Handbook Volume 3: Reference Material](#)
 - “1.17.2. Calibration Stages” を参照

Read calibration part one

● DQS Enable Calibration

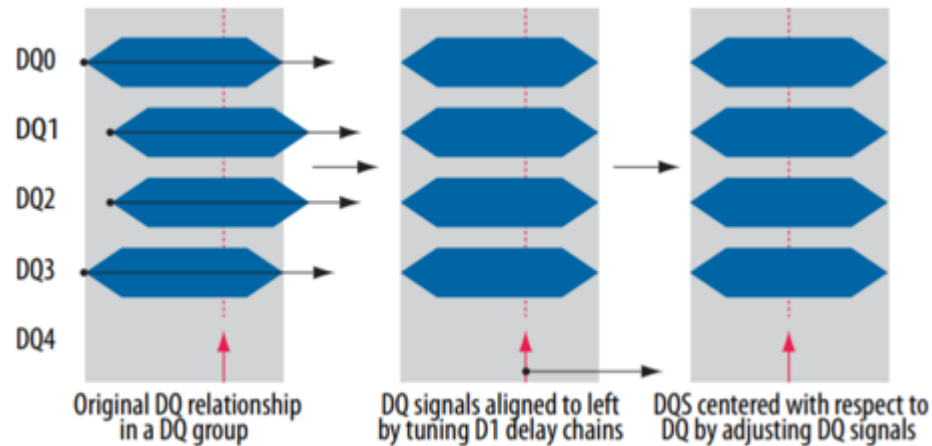
- 目的：Read 動作では DQS をクロックとして使用するが、Preamble によるグリッチを削除するために内部でゲートする。そのゲート信号のタイミングを最適化
- 方法：VFIFO のレイテンシーと内部遅延にて調整
 - すべての DQS について実施



Read calibration part one

● Centering DQ/DQS

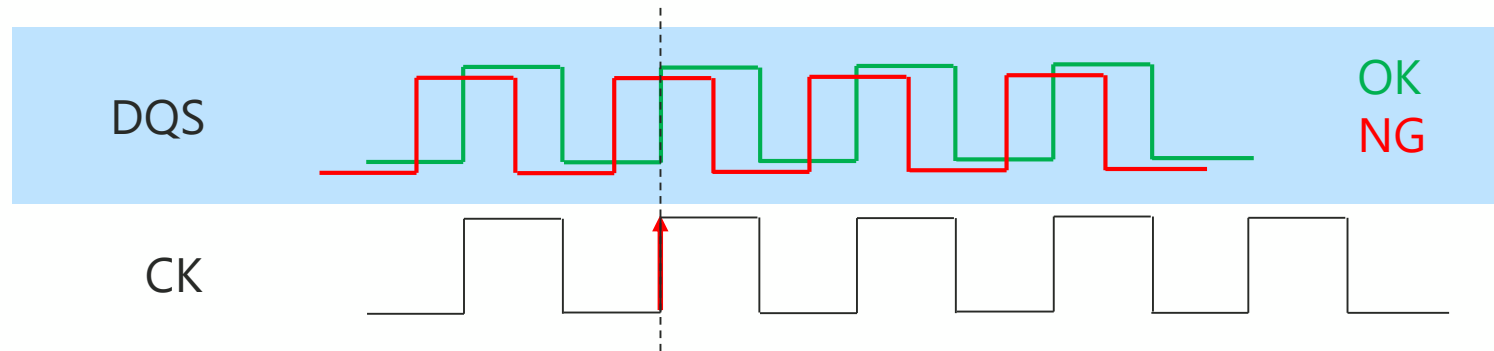
- 目的：DQ ビットの全ビットが最大マージンを確保できるようにする
- 方法：DQS 入力に対して各 DQ ビットの内部遅延を調整する
 - 各 DQ 信号にある D1 delay Chain を使用して位相を調整
 - DQS が全ての DQ 信号の中心エッジになるよう位相を調整



Write Calibration Part One

● Leveling

- 目的：Write 時の DQS を CK クロックに揃える
- 方法：内部クロックで駆動される Write 時の DQS に遅延を加え CK クロックに揃える
 - このステージのアルゴリズムは、メモリープロトコルによって異なる



Write Calibration Part Two

- **DQ/DQS Centering**

- Read calibration の DQ/DQS Centering と同様の手順で Write時を実行
 - Write 時は出力なので D5, D6 の Delay Chain を使用

Read Calibration Part Two

● Read Latency Minimization

- 目的：正しい Read を行うため、Read レイテンシーの最小化を行う
- 方法：FPGA 内部の FIFO (LFIFO) のレイテンシーで調整

デバッグフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザー回路の確認

● Avalon-MM インターフェイス信号の確認

- JTAG ピン経由で Signal Tap を使用して以下の信号を確認

- avl_addr
- avl_rdata
- avl_rdata_valid
- avl_read_req
- avl_ready
- avl_wdata
- avl_write_req
- local_cal_success
- c
- drv_status_test_complete

○ 確認項目

- ユーザー回路から EMIF へのアクセス開始は local_init_done のアサート後
- アドレスの指定が間違っていないか (EMIF はワード単位)
- Burst Length の指定サイズとライトアサート回数的一致
- avl_ready = H になるまで read/write req と avl_address, size の値を保持しているか
- Avalon バス上のリセット系統が統一されているか

● EMIF IP の Calibration Pass/Fail 信号と Traffic Generator の Pass/Fail 信号を確認する

デバッグフロー



- タイミングの問題だと考えられる事象 (Bit エラー)
- 下記のような事象が起きた場合、[タイミングの確認](#)に戻る
 - インプリメントすることにより事象が変化する
 - ボード依存性がある
 - 温度依存性がある
 - 電源投入後、時間経過で事象が変化する
 - Signal Tap を組み込むと事象が変化する
 - モニターピンをつなぐと事象が変化する

最後に

- **メモリーインターフェースの高速化に伴い、ボード設計の厳密化への要求が高まっており、メモリーに関する動作不具合も増加傾向にあります**
- **デバッグに費やす時間の短縮のため、あらかじめデバッグする手段の実装や部品ばらつきによる不安定動作を防止するためにメーカー推奨以上のマージンを確保した設計が重要となります**
- **設計時間の短縮、市場への不良流出の防止のためにガイドラインを守り、不具合のない製品を最短期間で市場に投入させましょう**

Thank you

MACNICA

Appendix

macnica

Appendix

- チェックリスト
- パラメーターの確認方法
- Example Design の作成方法
- EMIF Toolkit の使用方法

Appendix : チェックリスト

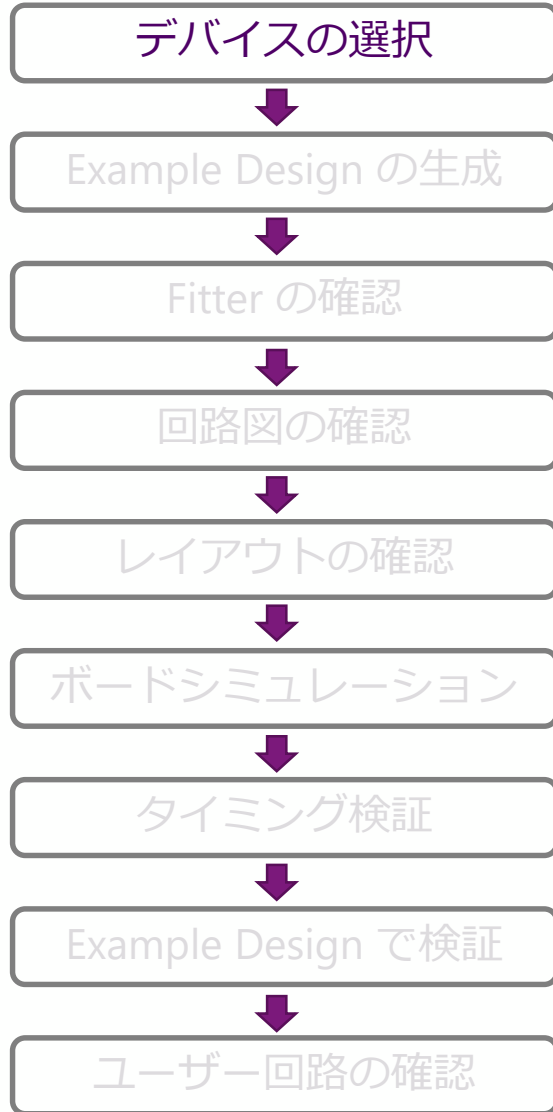
MACNICA

チェックリスト 1/10



- 各デザインフローでのチェックリストを記載
 - この Appendix のチェックリストは本資料で示した項目のチェックリストであり、各項目で示したウェブサイト上のチェックリストが上位チェックリストであるので、ウェブサイト上のチェックリストを必ず確認すること

チェックリスト 2/10



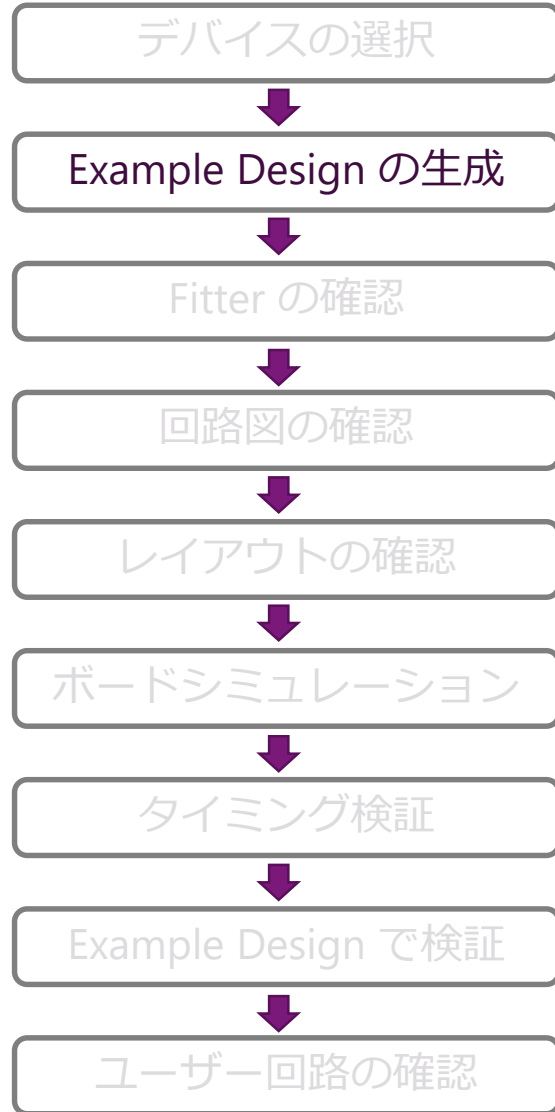
デバイスの選択時のチェックリスト

所望の構成を実装可能なデバイスを選択しているか

動作周波数はサポート範囲内か



チェックリスト 3/10



Example Design で検証時のチェックリスト

所望の構成で Example Design を生成できるか

正確なメモリーパラメーターを入力したか

Example Design での Simulation 方法を確認したか

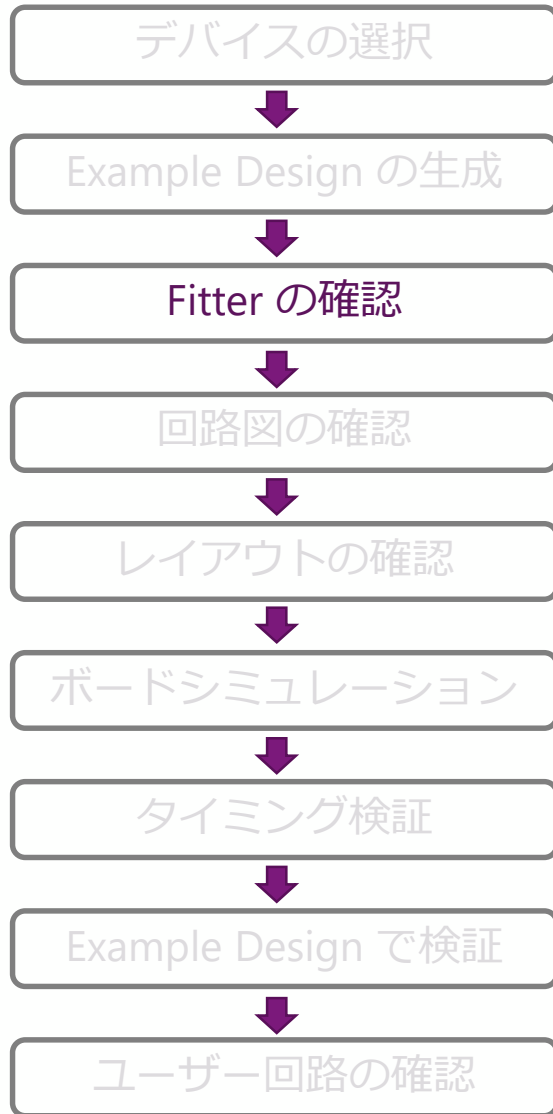
Example Design でコンパイル時に pin_assignments.tcl を実行したか

Example Design でフルコンパイルは成功するか

Example Design でタイミングは満たしているか

注：pin_assignments.tcl は、Analysis & Synthesis 完了後に実行

チェックリスト 4/10



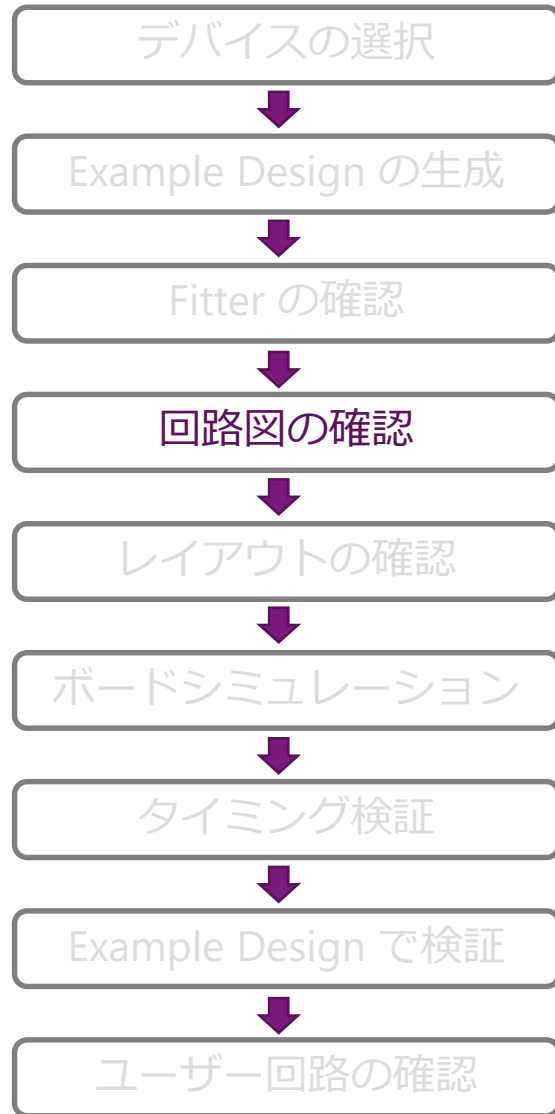
Fitter の確認時のチェックリスト

ユーザー I/O を含めて Fitter エラーがないか確認したか

ピン数に余裕がある場合、EMIF 配置バンクに他のユーザー I/O を割り当てない

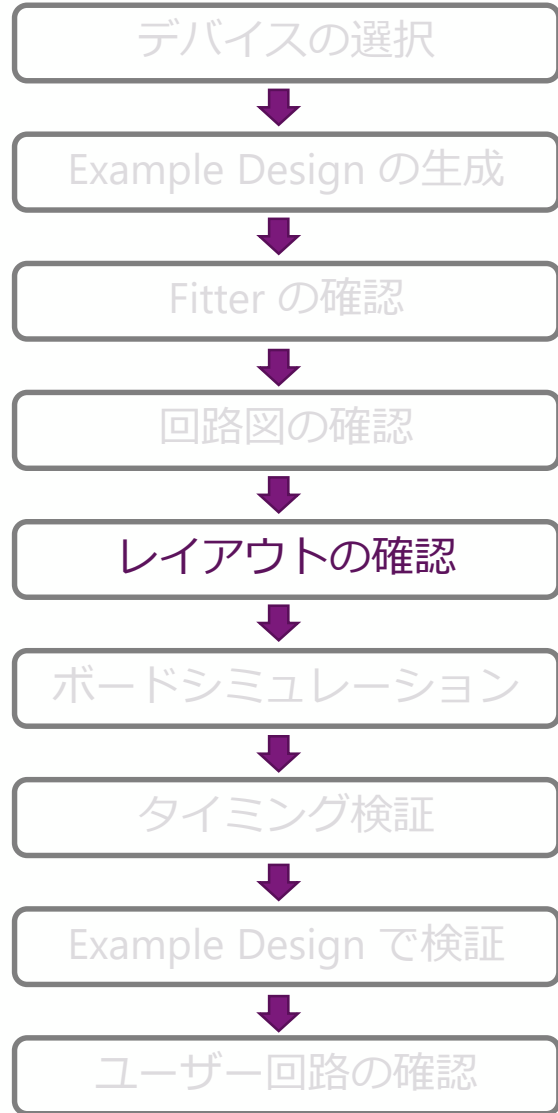


チェックリスト 5/10



回路図の確認時のチェックリスト		<input checked="" type="checkbox"/>
CLK は専用ピンを使っているか		<input type="checkbox"/>
Add/Cmd, CKE, RZQ, Reset の処理方法の確認をしたか		<input type="checkbox"/>
フライバイ終端しているか (フライバイ接続をしている場合)		<input type="checkbox"/>
VCC, VCCPGM, VCC_AUX, VCCPD, VCCIO, VCC_FPLL, VTT の電圧を測定できるように設計し、電圧許容範囲内であることを確認する		<input type="checkbox"/>
電源を電圧調整できるように設計する		<input type="checkbox"/>
FPGA 側とメモリー側の各端子から近い箇所に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が乱れてないこと確認		<input type="checkbox"/>
DQ/DQS グループごとに、DQS に対する DQ の Skew がワーストと2番目にワーストになる信号を確認できるようにする		<input type="checkbox"/>
① : FPGA への入力 CLK と Global Reset ② : FPGA 内で PLL より生成された CLK ③ : メモリーへの入力 CLK ; ①~③を測定できるように設計		<input type="checkbox"/>
EMIF Handbook の Design Guidelines を確認したか		<input type="checkbox"/>
Schematic Review Worksheets を確認したか		<input type="checkbox"/>
Pin Connection Guidelines は確認したか		<input type="checkbox"/>
Arria® V /Cyclone® V と DDR3 の回路図確認項目 を確認したか (該当するデバイスファミリーの場合)		<input type="checkbox"/>

チェックリスト 6/10



レイアウトの確認時のチェックリスト

FPGA → DIMM のトレース長の確認

DQ/DQS 間の Skew 値の確認

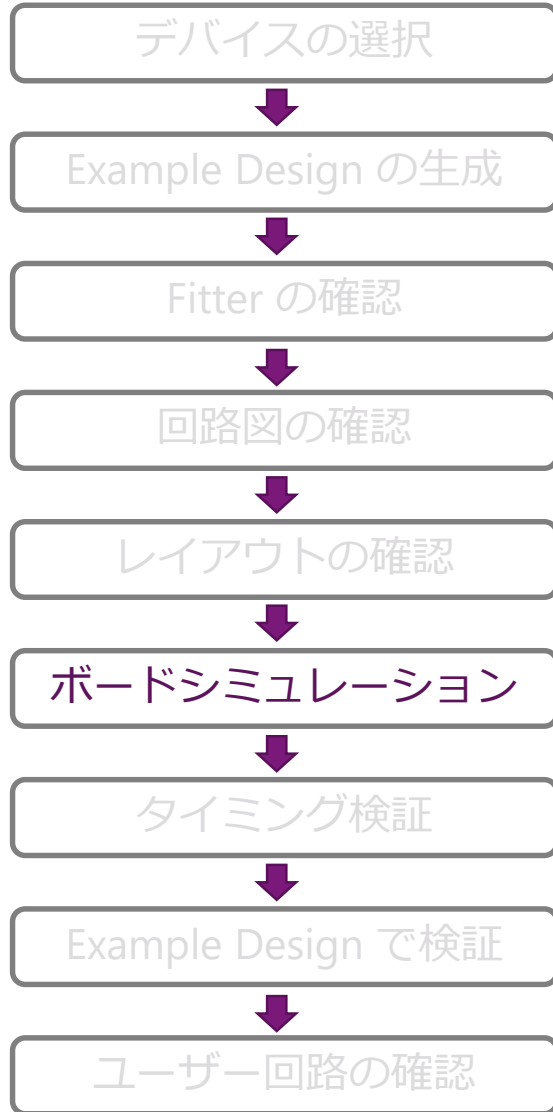
Add/Cmd と mem_clk を比較し時間を確認

伝送遅延は DQ より CK が長い (フライバイポロジの場合)

EMIF Handbook : Design Layout Guidelines を確認したか



チェックリスト 7/10



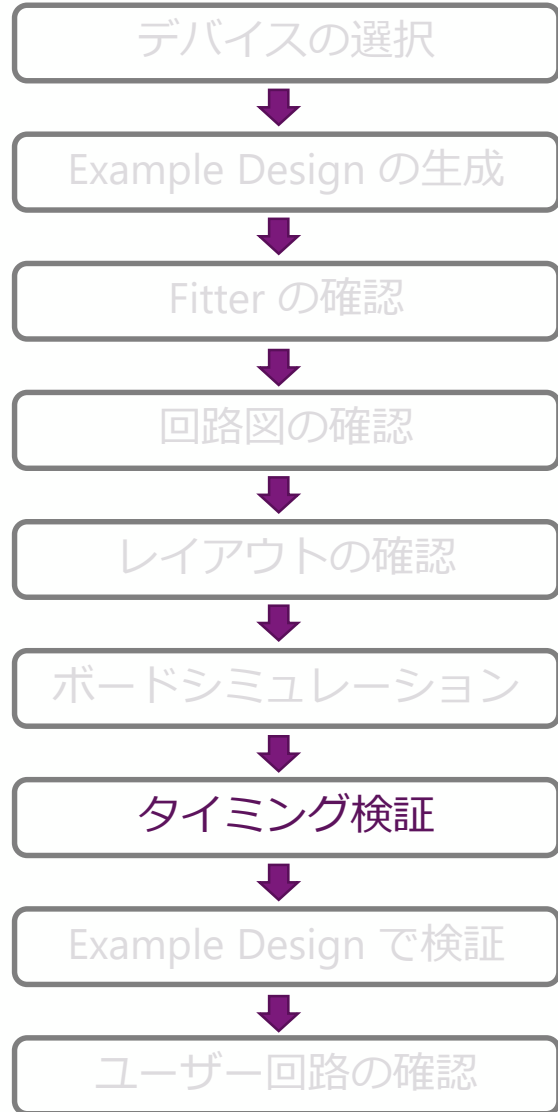
ボードシミュレーション時のチェックリスト

[Channel Signal Integrity Measurement](#) を参照しメモリー関連の信号波形が規定値に収まっていることを確認したか

Board Skew Parameter Tool に基板情報を入力し計算したか



チェックリスト 8/10



タイミング検証時のチェックリスト

タイミングを満たしていることを確認したか



正しいメモリーパラメーターになっていることを再確認する



設定した動作周波数と実際の動作周波数が同じものになっているか確認する



SDC ファイルの順番を確認する

メモリー SDC→ユーザー SDC の順番で登録

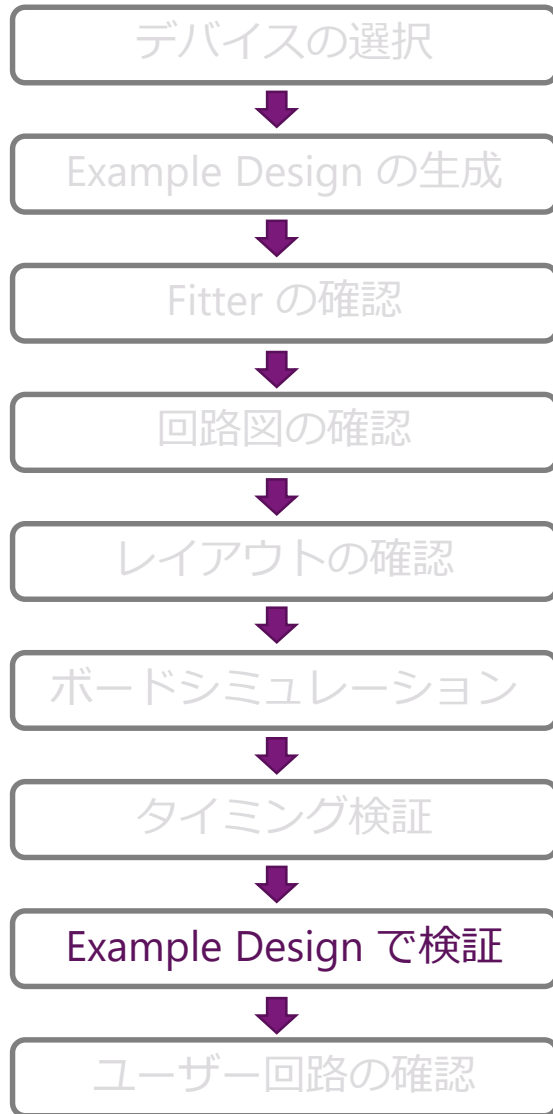
メモリー関連の制約を二重にかけていないか確認



EMIF 内のパスは False 設定禁止



チェックリスト 9/10



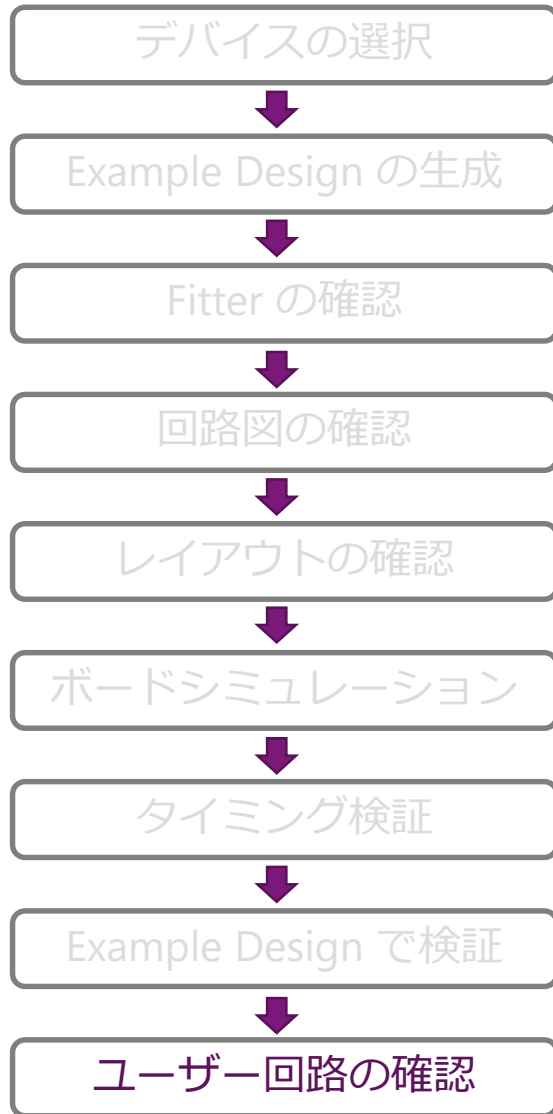
Example Design で検証時のチェックリスト

EMIF ToolKit を使い、温度・電圧変化しても信号品質やマージンがあるか確認する

EMIF ToolKit で Calibration が Fail した場合 [P23](#) の項目を確認する



チェックリスト 10/10



ユーザー回路の確認時のチェックリスト

Avalon-MM のプロトコル通りのアクセスをしているか

キャリブレーション失敗時に自動で再キャリブレーションする回路の構築を推奨

calibration pass の Hi を確認したか




Appendix : パラメーターの確認方法

MACNICA

パラメーターの確認方法 (1/9)

- メモリーパラメーターを確認するための資料
- 例として下記構成での確認方法を記載
 - メモリー型番 : MT41K128M16JT-125:K
 - 動作周波数 : 400 [MHz]
 - $T_{ck} = 1 / 400 \text{ [MHz]} \times 1000 = 2.5 \text{ [ns]}$
 - メモリーベンダーの HP からデータシートを検索
 - 本章では Micron 社のデータシートを引用
 - 型番とデータシートを参照しメモリーの構成を把握
 - 128 Meg x 16
 - DDR3-1066 (7-7-7)
 - Row address : [13:0]
 - Bank address : [2:0]
 - Column address : [9:0]
 - Page size : 2KB



2Gb: x4, x8, x16 DDR3L SDRAM
Description

DDR3L SDRAM

MT41K512M4 – 64 Meg x 4 x 8 banks
MT41K256M8 – 32 Meg x 8 x 8 banks
MT41K128M16 – 16 Meg x 16 x 8 banks

Description

The 1.35V DDR3L SDRAM device is a low-voltage version of the 1.5V DDR3 SDRAM device. Refer to the DDR3 (1.5V) SDRAM data sheet specifications when running in 1.5V compatible mode.

Features

- $V_{DD} = V_{DDQ} = 1.35V$ (1.283–1.45V)
- Backward-compatible to $V_{DD} = V_{DDQ} = 1.5V \pm 0.075V$
- Differential bidirectional data strobe
- 8n-bit prefetch architecture
- Differential clock inputs (CK, CK#)
- 8 internal banks
- Nominal and dynamic on-die termination (ODT) for data, strobe, and mask signals
- Programmable CAS (READ) latency (CL)

- Automatic self refresh (ASR)
- Write leveling
- Multipurpose register
- Output driver calibration

Options	Marking
• Configuration	
– 512 Meg x 4	512M4
– 256 Meg x 8	256M8
– 128 Meg x 16	128M16
• FBGA package (Pb-free) – x4, x8	
– 78-ball (8mm x 10.5mm x 1.2mm) Rev. K	DA
• FBGA package (Pb-free) – x16	
– 96-ball (8mm x 14mm x 1.2mm) Rev. K	JT
• Timing – cycle time	
– 1.07ns @ CL = 13 (DDR3-1866)	-107
– 1.25ns @ CL = 11 (DDR3-1600)	-125
– 1.5ns @ CL = 9 (DDR3-1333)	-15E
– 1.875ns @ CL = 7 (DDR3-1066)	-187E
• Operating temperature	
– Commercial (0°C ≤ T _C ≤ +95°C)	None
– Industrial (–40°C ≤ T _C ≤ +95°C)	IT
• Revision	:K

Table 1: Key Timing Parameters

Speed Grade	Data Rate (MT/s)	Target 'RCD-'RP-CL	'RCD (ns)	'RP (ns)	CL (ns)
-107 ^{1, 2, 3}	1866	13-13-13	13.91	13.91	13.91
-125 ^{1, 2}	1600	11-11-11	13.75	13.75	13.75
-15E ¹	1333	9-9-9	13.5	13.5	13.5
-187E	1066	7-7-7	13.1	13.1	13.1

Table 2: Addressing

Parameter	512 Meg x 4	256 Meg x 8	128 Meg x 16
Configuration	64 Meg x 4 x 8 banks	32 Meg x 8 x 8 banks	16 Meg x 16 x 8 banks
Refresh count	8K	8K	8K
Row address	32K A[14:0]	32K A[14:0]	16K A[13:0]
Bank address	8 BA[2:0]	8 BA[2:0]	8 BA[2:0]
Column address	2K A[11, 9:0]	1K A[9:0]	1K A[9:0]

パラメーターの確認方法 (2/9)

PHY Settings	Memory Parameters	Memory Timing
Apply timing parameters from the manufacturer data sheet Apply device presets from the preset list on the right.		
tIS (base):	140	ps
tIH (base):	210	ps
tDS (base):	40	ps
tDH (base):	110	ps
tDQSQ:	150	ps
tQH:	0.38	cycles
tDQSCK:	300	ps
tDQSS:	0.25	cycles
tQSH:	0.38	cycles
tDSH:	0.2	cycles
tDSS:	0.2	cycles
tINIT:	500	us
tMRD:	4	cycles
tRAS:	37.5	ns
tRCD:	13.125	ns
tRP:	13.125	ns
tREFI:	7.8	us
tRFC:	160.0	ns
tWR:	10.0	ns
tWTR:	4	cycles
tFAW:	50.0	ns
tRRD:	10.0	ns
tRTP:	10.0	ns

- MT41K128M16JT-125:K @DDR3-1066 (7-7-7)
- 該当のメモリー型番のデータシートを参照しパラメーターを確認する
 - 「Memory Parameters」 「Memory Timing」 タブの設定を確認
- メモリーの型番のスピードグレードによってパラメーターの参照箇所が変わる
 - Ex : メモリーの型番が MT41K128M16JT-125:K の場合
 - メモリーのスピードグレードはDDR3-1066 (7-7-7) なので1066 品を参照
 - 参照箇所は動作周波数によらない
 - 動作周波数が 300 [MHz] でも 400 [MHz] でも今回の場合 1066 品を参照
- 動作周波数によって値が変わり計算が必要な箇所もある
 - tWTR, tFAW, tRRD, Cas Latency, Write Cas Latency...etc
 - GUI 上の単位とデータシートの単位に間違いがないか確認
- スピードグレードによって参照する AC レベルの箇所が変わる

- https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd01032014_56.html

Memory Initialization Options	
Mirror Addressing: 1 per chip select:	0
<input type="checkbox"/> Address and command parity	
Mode Register 0	
Read Burst Type:	Sequential
DLL precharge power down:	DLL off
Memory CAS latency setting:	7
Mode Register 1	
Output drive strength setting:	RZQ/6
Memory additive CAS latency setting:	Disabled
ODT Rtt nominal value:	ODT Disabled
Mode Register 2	
Auto selfrefresh method:	Manual
Selfrefresh temperature:	Normal
Memory write CAS latency setting:	6
Dynamic ODT (Rtt_WR) value:	Dynamic ODT off

パラメーターの確認方法 (3/9)

PHY Settings Memory Parameters Memory Timing E

Apply memory parameters from the manufacturer data sheet
Apply device presets from the preset list on the right.

Memory vendor: Micron

Memory format: Discrete Device

Memory device speed grade: 533.333 MHz

Total interface width: 16

DQ/DQS group size: 8

Number of DQS groups: 2

Number of chip selects: 1

Number of clocks: 1

Row address width: 14

Column address width: 10

Bank-address width: 3

Enable DM pins

Memory Initialization Options

Mirror Addressing: 1 per chip select: 0

Address and command parity

Mode Register 0

Read Burst Type: Sequential

DLL precharge power down: DLL off

Memory CAS latency setting: 6

Mode Register 1

Output drive strength setting: RZQ/6

Memory additive CAS latency setting: Disabled

ODT Rtt nominal value: ODT Disabled

Mode Register 2

Auto selfrefresh method: Manual

Selfrefresh temperature: Normal

Memory write CAS latency setting: 5

Dynamic ODT (Rtt_WR) value: Dynamic ODT off

● メモリー型番 : MT41K128M16JT-125:K

メモリーデバイスのスピードグレードを選択する
今回は DDR3-1066 のため 533.333MHz を選択

Table 2: Addressing

Parameter	512 Meg x 4	256 Meg x 8	128 Meg x 16
Configuration	64 Meg x 4 x 8 banks	32 Meg x 8 x 8 banks	16 Meg x 16 x 8 banks
Refresh count	8K	8K	8K
Row address	32K A[14:0]	32K A[14:0]	16K A[13:0]
Bank address	8 BA[2:0]	8 BA[2:0]	8 BA[2:0]
Column address	2K A[11, 9:0]	1K A[9:0]	1K A[9:0]

Ex. 動作周波数 : 400 [MHz] tCK = 2.5 [ns] Speed bin = -187E

tCK = 2.5 [ns] なので Min 2.5 < tCK (2.5) < Max 3.3

Memory CAS Latency (CL) = 6
Memory write CAS Latency (CWL) = 5

Table 71: DDR3L-1066 Speed Bins

DDR3L-1066 Speed Bin			-187E		-187		Unit	Notes
CL-tRCD-tRP			7-7-7		8-8-8			
Parameter		Symbol	Min	Max	Min	Max		
CL = 5	CWL = 5	tCK (AVG)	3.0	3.3	3.0	3.3	ns	2
	CWL = 6	tCK (AVG)	Reserved		Reserved		ns	3
CL = 6	CWL = 5	tCK (AVG)	2.5	3.3	2.5	3.3	ns	2
	CWL = 6	tCK (AVG)	Reserved		Reserved		ns	3
CL = 7	CWL = 5	tCK (AVG)	Reserved		Reserved		ns	3
	CWL = 6	tCK (AVG)	1.875	<2.5	Reserved		ns	2, 3
CL = 8	CWL = 5	tCK (AVG)	Reserved		Reserved		ns	3
	CWL = 6	tCK (AVG)	1.875	<2.5	1.875	<2.5	ns	2
Supported CL settings			5, 6, 7, 8		5, 6, 8		CK	
Supported CWL settings			5, 6		5, 6		CK	

パラメーターの確認方法 (4/9)

PHY Settings	Memory Parameters	Memory Timing
Apply timing parameters from the manufacturer data sheet Apply device presets from the preset list on the right.		
tIS (base):	140	ps
tIH (base):	210	ps
tDS (base):	40	ps
tDH (base):	110	ps
tDQSQ:	150	ps
tQH:	0.38	cycles
tDQSCK:	300	ps
tDQSS:	0.25	cycles
tQSH:	0.38	cycles
tDSH:	0.2	cycles
tDSS:	0.2	cycles
tINIT:	500	us
tMRD:	4	cycles
tRAS:	37.5	ns
tRCD:	13.125	ns
tRP:	13.125	ns
tREFI:	7.8	us
tRFC:	160.0	ns
tWR:	10.0	ns
tWTR:	4	cycles
tFAW:	50.0	ns
tRRD:	10.0	ns
tRTP:	10.0	ns

● メモリー型番 : MT41K128M16JT-125:K

Table 75: Electrical Characteristics and AC Operating Conditions (Continued)

Notes 1-8 apply to the entire table

Parameter	Symbol	DDR3L -800		DDR3L -1066		DDR3L -1333		DDR3L -1600		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Command and Address Timing											
DLL locking time	t _{DLLK}	512	-	512	-	512	-	512	-	CK	28
CTRL, CMD, ADDR setup to CK,CK#	t _{IS} (AC160)	215	-	140	-	80	-	60	-	ps	29, 30, 44
CTRL, CMD, ADDR setup to CK,CK#	t _{IS} (AC135)	365	-	290	-	205	-	185	-	ps	29, 30, 44
CTRL, CMD, ADDR hold from CK,CK#	t _{IH} (DC90)	285	-	210	-	150	-	130	-	ps	29, 30
		375	-	300	-	240	-	220	-	ps	20, 30
DQ Input Timing											
Data setup time to DQS, DQS#	t _{DS} (AC160)	90	-	40	-	-	-	-	-	ps	18, 19, 44
		250	-	200	-	-	-	-	-	ps	19, 20
Data setup time to DQS, DQS#	t _{DS} (AC135)	140	-	90	-	45	-	25	-	ps	18, 19, 44
		275	-	250	-	180	-	160	-	ps	19, 20
Data hold time from DQS, DQS#	t _{DH} (DC90)	160	-	110	-	75	-	55	-	ps	18, 19
		250	-	200	-	165	-	145	-	ps	19, 20

○ 以下の KDB より DDR3L-1066 は AC160 を採用

- https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd01032014_56.html

パラメーターの確認方法 (5/9)

PHY Settings	Memory Parameters	Memory Timing
Apply timing parameters from the manufacturer data sheet Apply device presets from the preset list on the right.		
tIS (base):	140	ps
tIH (base):	210	ps
tDS (base):	40	ps
tDH (base):	110	ps
tDQSQ:	150	ps
tQH:	0.38	cycles
tDQSCK:	300	ps
tDQSS:	0.25	cycles
tQSH:	0.38	cycles
tDSH:	0.2	cycles
tDSS:	0.2	cycles
tINIT:	500	us
tMRD:	4	cycles
tRAS:	37.5	ns
tRCD:	13.125	ns
tRP:	13.125	ns
tREFI:	7.8	us
tRFC:	160.0	ns
tWR:	10.0	ns
tWTR:	4	cycles
tFAW:	50.0	ns
tRRD:	10.0	ns
tRTP:	10.0	ns

● メモリー型番 : MT41K128M16JT-125:K

Parameter	Symbol	DDR3L -800		DDR3L -1066		DDR3L -1333		DDR3L -1600		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
DQ Output Timing											
DQS, DQS# to DQ skew, per access	^t DQSQ	-	200	-	150	-	125	-	100	ps	
DQ output hold time from DQS, DQS#	^t QH	0.38	-	0.38	-	0.38	-	0.38	-	^t CK (AVG)	21
DQ Low-Z time from CK, CK#	^t LZDQ	-800	400	-600	300	-500	250	-450	225	ps	22, 23
DQ High-Z time from CK, CK#	^t HZDQ	-	400	-	300	-	250	-	225	ps	22, 23
DQ Strobe Input Timing											
DQS, DQS# rising to CK, CK# rising	^t DQSS	-0.25	0.25	-0.25	0.25	-0.25	0.25	-0.27	0.27	CK	25
DQS, DQS# differential input low pulse width	^t DQSL	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	CK	
DQS, DQS# differential input high pulse width	^t DQSH	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	CK	
DQS, DQS# falling setup to CK, CK# rising	^t DSS	0.2	-	0.2	-	0.2	-	0.18	-	CK	25
DQS, DQS# falling hold from CK, CK# rising	^t DSH	0.2	-	0.2	-	0.2	-	0.18	-	CK	25
DQS, DQS# differential WRITE preamble	^t WPRE	0.9	-	0.9	-	0.9	-	0.9	-	CK	
DQS, DQS# differential WRITE postamble	^t WPST	0.3	-	0.3	-	0.3	-	0.3	-	CK	
DQ Strobe Output Timing											
DQS, DQS# rising to/from rising CK, CK#	^t DQSCK	-400	400	-300	300	-255	255	-225	225	ps	23
DQS, DQS# rising to/from rising CK, CK# when DLL is disabled	^t DQSCK (DLL_DIS)	1	10	1	10	1	10	1	10	ns	26
DQS, DQS# differential output high time	^t QSH	0.38	-	0.38	-	0.40	-	0.40	-	CK	21
DQS, DQS# differential output low time	^t QSL	0.38	-	0.38	-	0.40	-	0.40	-	CK	21
DQS, DQS# Low-Z time (RL - 1)	^t LZDQS	-800	400	-600	300	-500	250	-450	225	ps	22, 23

パラメーターの確認方法 (6/9)

PHY Settings	Memory Parameters	Memory Timing
Apply timing parameters from the manufacturer data sheet Apply device presets from the preset list on the right.		
tIS (base):	140	ps
tIH (base):	210	ps
tDS (base):	40	ps
tDH (base):	110	ps
tDQSQ:	150	ps
tQH:	0.38	cycles
tDQSCK:	300	ps
tDQSS:	0.25	cycles
tQSH:	0.38	cycles
tDSH:	0.2	cycles
tDSS:	0.2	cycles
tINIT:	500	us
tMRD:	4	cycles
tRAS:	37.5	ns
tRCD:	13.125	ns
tRP:	13.125	ns
tREFI:	7.8	us
tRFC:	160.0	ns
tWR:	10.0	ns
tWTR:	4	cycles
tFAW:	50.0	ns
tRRD:	10.0	ns
tRTP:	10.0	ns

● メモリー型番 : MT41K128M16JT-125:K

Parameter	Symbol	DDR3L -800		DDR3L -1066		DDR3L -1333		DDR3L -1600		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Delay from start of internal WRITE transaction to internal READ command	t^{WTR}	MIN = greater of 4CK or 7.5ns; MAX = N/A								CK	31, 34
READ-to-PRECHARGE time	t^{RTP}	MIN = greater of 4CK or 7.5ns; MAX = N/A								CK	31, 32
CAS#-to-CAS# command delay	t^{CCD}	MIN = 4CK; MAX = N/A								CK	
Auto precharge write recovery + precharge time	t^{DAL}	MIN = WR + t^{RP}/CK (AVG); MAX = N/A								CK	
MODE REGISTER SET command cycle time	t^{MRD}	MIN = 4CK; MAX = N/A								CK	
MODE REGISTER SET command update delay	t^{MOD}	MIN = greater of 12CK or 15ns; MAX = N/A								CK	
MULTIPURPOSE REGISTER READ burst end to mode register set for multipurpose register exit	t^{MPRR}	MIN = 1CK; MAX = N/A								CK	

Ex. 動作周波数 : 400 [MHz] $t_{CK} = 2.5$ [ns] Speed bin = -1066

- $t_{WTR} = 4$ CK or 7.5 ns で大きい方を選択
7.5 [ns] を [CK] に直して比較する
 $7.5 \text{ [ns]} / 2.5 \text{ [ns]} = 3.0 \text{ [CK]}$
3.0 と 4 を比較すると 4 の方が大きいので $t_{WTR} = 4$ [cycles]
- $t_{RTP} = 4$ CK or 7.5 ns で大きい方を選択
4 [CK] を [ns] に直して比較
 $4 \times 2.5 = 10.0 \text{ [ns]}$
 $10.0 > 7.5$ なので 10.0 を採用

パラメーターの確認方法 (7/9)

PHY Settings	Memory Parameters	Memory Timing
Apply timing parameters from the manufacturer data sheet Apply device presets from the preset list on the right.		
tIS (base):	140	ps
tIH (base):	210	ps
tDS (base):	40	ps
tDH (base):	110	ps
tDQSQ:	150	ps
tQH:	0.38	cycles
tDQSCK:	300	ps
tDQSS:	0.25	cycles
tQSH:	0.38	cycles
tDSH:	0.2	cycles
tDSS:	0.2	cycles
tINIT:	500	us
tMRD:	4	cycles
tRAS:	37.5	ns
tRCD:	13.125	ns
tRP:	13.125	ns
tREFI:	7.8	us
tRFC:	160.0	ns
tWR:	10.0	ns
tWTR:	4	cycles
tFAW:	50.0	ns
tRRD:	10.0	ns
tRTP:	10.0	ns

- メモリー型番 : MT41K128M16JT-125:K

DDR3L-1066 Speed Bin		-187E		-187		Unit	Notes
CL- ^t RCD- ^t RP		7-7-7		8-8-8			
Parameter	Symbol	Min	Max	Min	Max		
Internal READ command to first data	^t AA	13.125	-	15	-	ns	
ACTIVATE to internal READ or WRITE delay time	^t RCD	13.125	-	15	-	ns	
PRECHARGE command period	^t RP	13.125	-	15	-	ns	
ACTIVATE-to-ACTIVATE or REFRESH command period	^t RC	50.625	-	52.5	-	ns	
ACTIVATE-to-PRECHARGE command period	^t RAS	37.5	9 x ^t REFI	37.5	9 x ^t REFI	ns	1

- tINITに関して

- tINIT はリセットが解除されてから CKE がアサートされるまでの時間
- メモリーのプロトコルごとに、JEDEC STANDARD で定義されている
- 今回は DDR3(L) なので DDR3 JEDEC STANDARD を参照

2. After RESET# is de-asserted, wait for another 500 us until CKE becomes active. During this time, the DRAM will start internal state initialization; this will be done independently of external clocks.

パラメーターの確認方法 (8/9)

PHY Settings	Memory Parameters	Memory Timing
Apply timing parameters from the manufacturer data sheet Apply device presets from the preset list on the right.		
tIS (base):	140	ps
tIH (base):	210	ps
tDS (base):	40	ps
tDH (base):	110	ps
tDQSQ:	150	ps
tQH:	0.38	cycles
tDQSCK:	300	ps
tDQSS:	0.25	cycles
tQSH:	0.38	cycles
tDSH:	0.2	cycles
tDSS:	0.2	cycles
tINIT:	500	us
tMRD:	4	cycles
tRAS:	37.5	ns
tRCD:	13.125	ns
tRP:	13.125	ns
tREFI:	7.8	us
tRFC:	160.0	ns
tWR:	10.0	ns
tWTR:	4	cycles
tFAW:	50.0	ns
tRRD:	10.0	ns
tRTP:	10.0	ns

● メモリー型番 : MT41K128M16JT-125:K

Parameter	Symbol	DDR3L -800		DDR3L -1066		DDR3L -1333		DDR3L -1600		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Maximum refresh period	$T_C \leq 85^\circ\text{C}$	64 (1X)								ms	36
	$T_C > 85^\circ\text{C}$	32 (2X)								ms	36
Maximum average periodic refresh	$T_C \leq 85^\circ\text{C}$	tREFI		7.8 (64ms/8192)						μs	36
	$T_C > 85^\circ\text{C}$			3.9 (32ms/8192)						μs	36
Refresh Timing											
REFRESH-to-ACTIVATE or REFRESH command period	tRFC - 1Gb	MIN = 110; MAX = 70,200								ns	
	tRFC - 2Gb	MIN = 160; MAX = 70,200								ns	
	tRFC - 4Gb	MIN = 260; MAX = 70,200								ns	
	tRFC - 8Gb	MIN = 350; MAX = 70,200								ns	

- tREFI は動作温度に応じて設定
- tRFC は容量に応じて設定

パラメーターの確認方法 (9/9)

PHY Settings	Memory Parameters	Memory Timing
Apply timing parameters from the manufacturer data sheet Apply device presets from the preset list on the right.		
tIS (base):	140	ps
tIH (base):	210	ps
tDS (base):	40	ps
tDH (base):	110	ps
tDQSQ:	150	ps
tQH:	0.38	cycles
tDQSCK:	300	ps
tDQSS:	0.25	cycles
tQSH:	0.38	cycles
tDSH:	0.2	cycles
tDSS:	0.2	cycles
tINIT:	500	us
tMRD:	4	cycles
tRAS:	37.5	ns
tRCD:	13.125	ns
tRP:	13.125	ns
tREFI:	7.8	us
tRFC:	160.0	ns
tWR:	10.0	ns
tWTR:	4	cycles
tFAW:	50.0	ns
tRRD:	10.0	ns
tRTP:	10.0	ns

● メモリー型番 : MT41K128M16JT-125:K

Parameter	Symbol	DDR3L -800		DDR3L -1066		DDR3L -1333		DDR3L -1600		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
ACTIVATE-to-ACTIVATE minimum command period	x4/x8 (1KB page size)	MIN = greater of 4CK or 10ns		MIN = greater of 4CK or 7.5ns		MIN = greater of 4CK or 6ns		MIN = greater of 4CK or 6ns		CK	31
	x16 (2KB page size)	MIN = greater of 4CK or 10ns		MIN = greater of 4CK or 7.5ns		MIN = greater of 4CK or 6ns		MIN = greater of 4CK or 6ns		CK	31
Four ACTIVATE windows	x4/x8 (1KB page size)	40	-	37.5	-	30	-	30	-	ns	31
	x16 (2KB page size)	50	-	50	-	45	-	40	-	ns	31
Write recovery time	t _{WR}			MIN = 15ns; MAX = N/A						ns	31, 32, 33, 34

Ex. 動作周波数 : 400 [MHz] t_{CK} = 2.5 [ns] Page size = 2KB

Page Size = 2KB なので 2KB のところを参照

- t_{RRD} = 4 CK or 10 ns で大きい方を選択
4 [CK] を [ns] に直して比較
4 × 2.5 = 10.0 [ns]
10.0 = 10 なので 10.0 を採用

- t_{FAW} は 2KB page size を参照して 50.0 ns

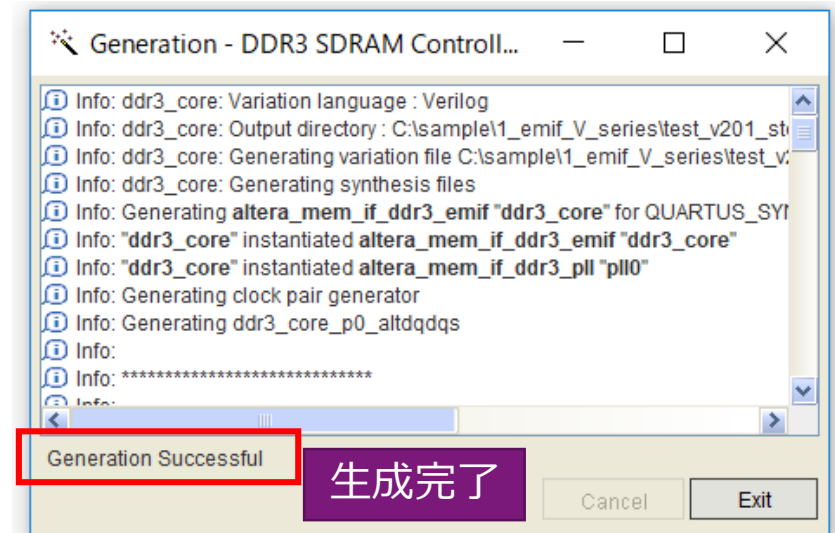
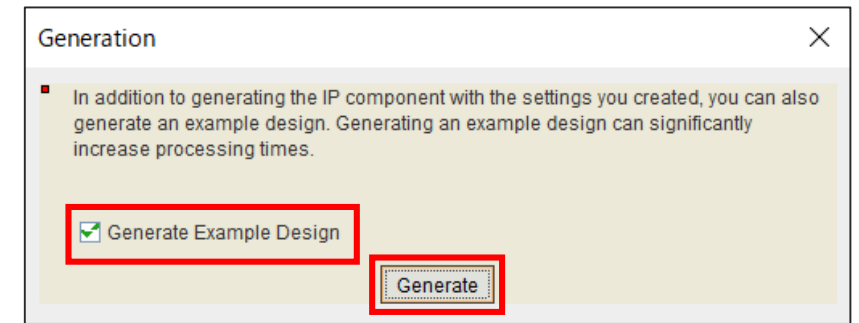
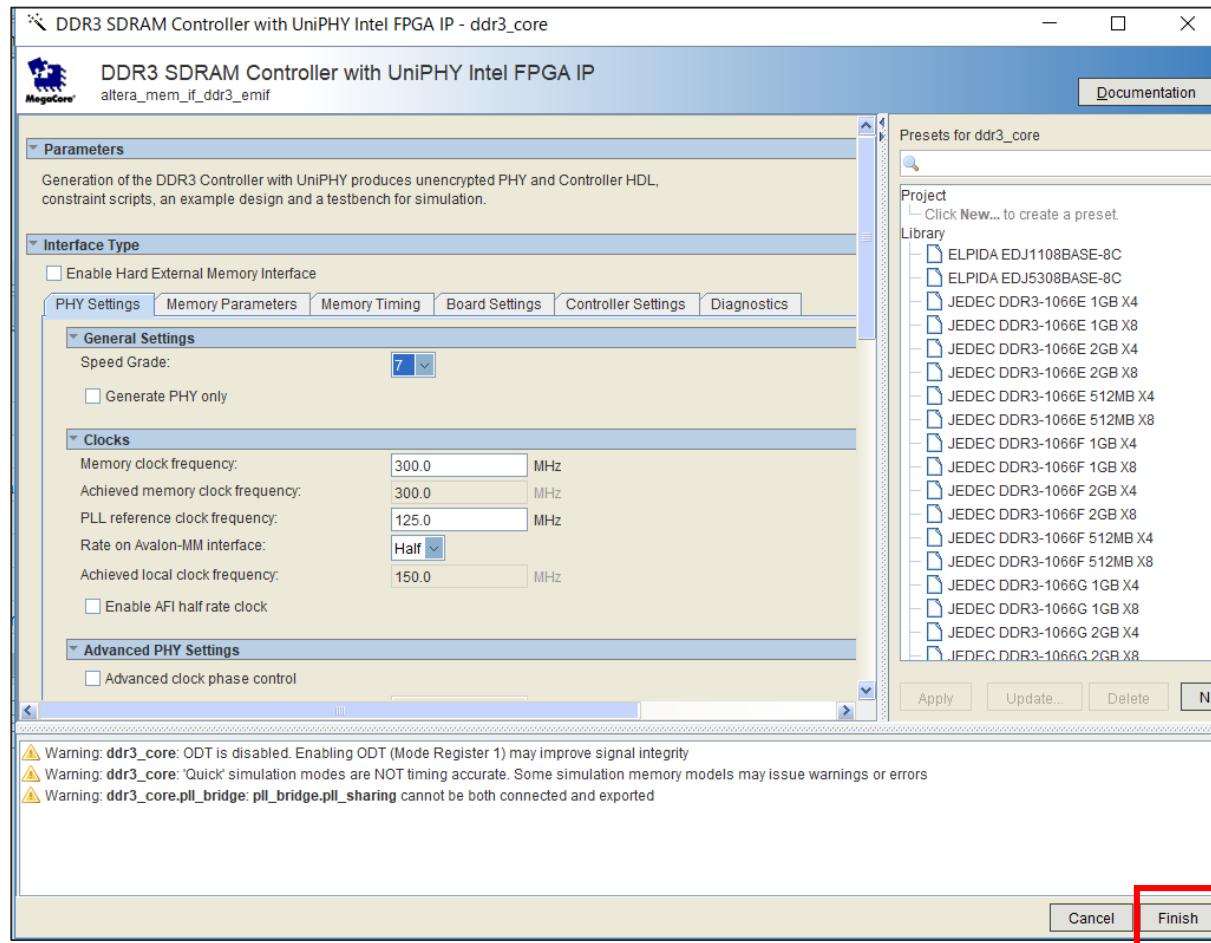
Appendix : Example Design の作成方法

MACNICA

Example Design の作成方法 1/3

● Example Design の作成

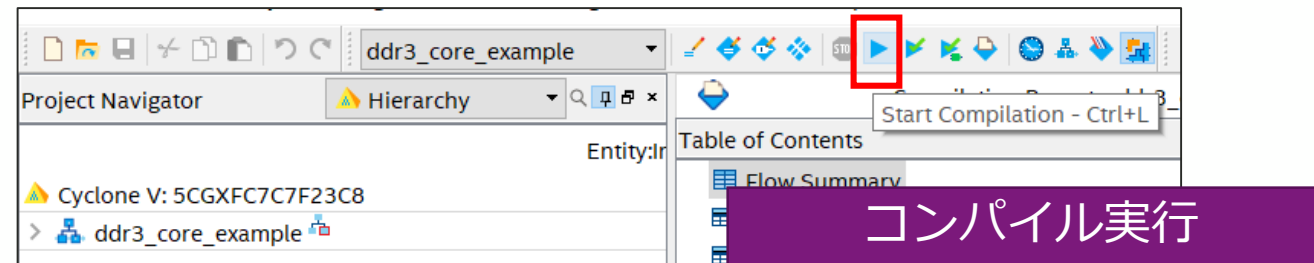
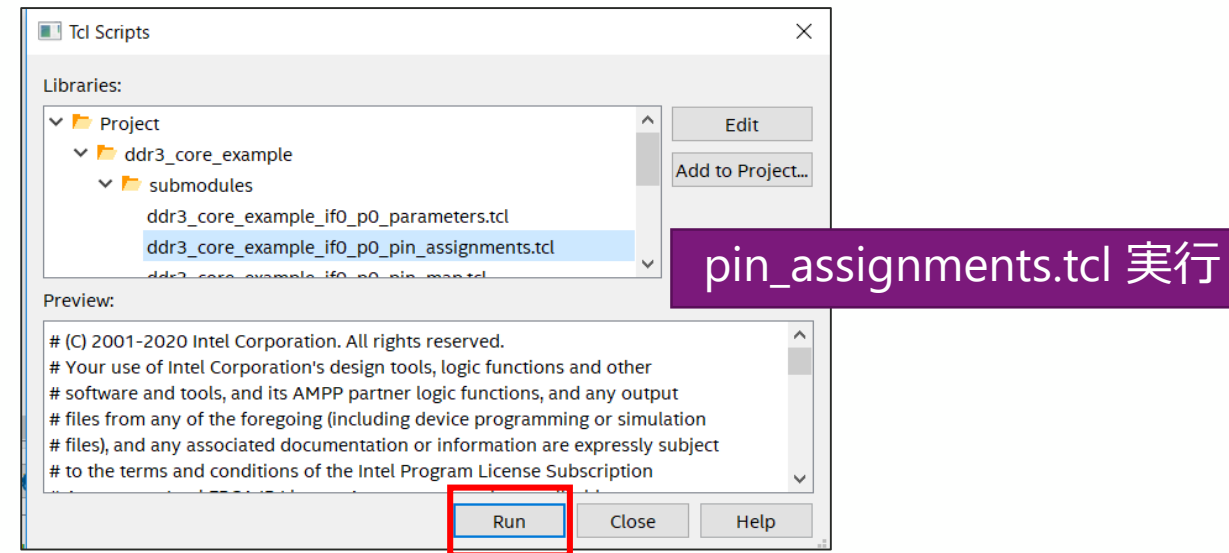
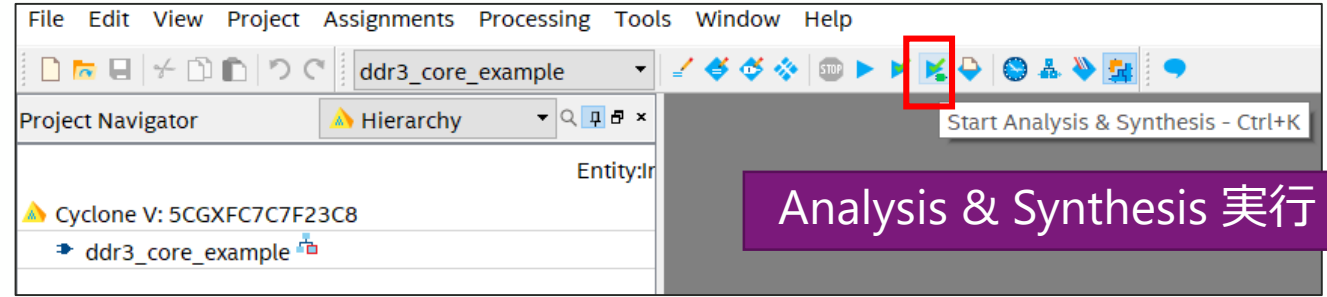
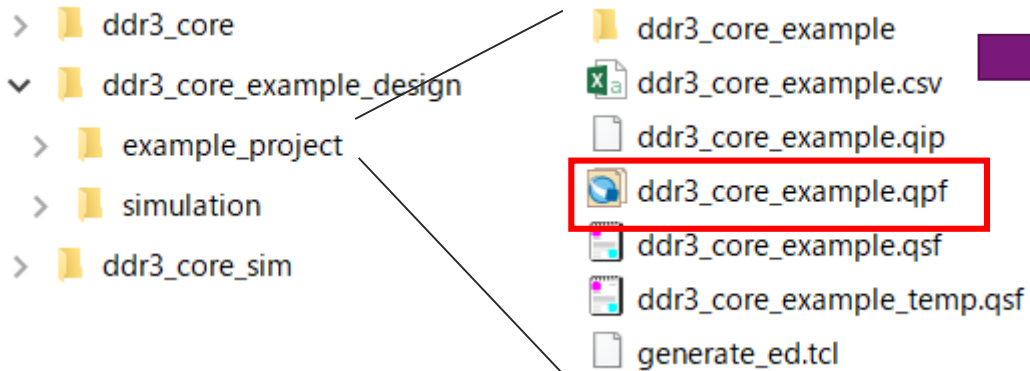
- パラメーター設定後、Finish
- Generation 画面が表示されるので、“Generate Example Design” にチェックを入れて Generate



Example Design の作成方法 2/3

● Example Design の作成

- Example Design の生成フォルダ
 - (コア名)_example_design フォルダ
 - example_project : Synthesis 用
 - simulation フォルダ : Simulation 用
- Example Design コンパイル実行手順
 - example_project フォルダの qpf を開く
 - Analysis & Synthesis を実行
 - (コア名)_pin_assignments.tcl を実行
 - コンパイルを実行



Example Design の作成方法 3/3

● Example Design の作成

- Tool → Programmer → Auto Detect → Change file → sof ファイルを選択 → Start → Successful で書き込み完了

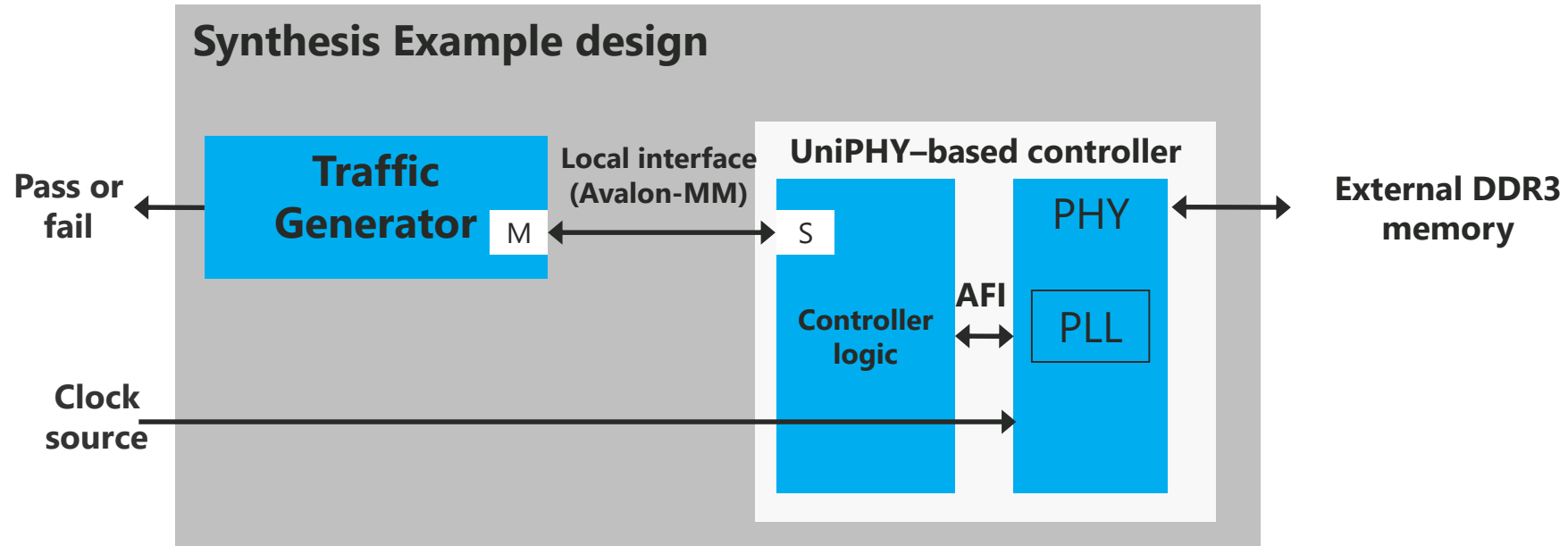
The screenshots illustrate the following steps:

- Step 1:** The 'Programmer' tool is selected in the software interface.
- Step 2:** The 'Auto Detect' button is clicked, and the detected files are listed in the table below.
- Step 3:** The 'Change File' button is clicked, and the selected file is highlighted in the table.
- Step 4:** The 'Start' button is clicked, and the progress bar shows '100% (Successful)'.

File	Device	Checksum	Usercode	Program/Configure	Verif
<none>	5AGTFD3H3	00000000		<input checked="" type="checkbox"/>	<input type="checkbox"/>
<none>	5M2210Z	00000000		<input type="checkbox"/>	<input type="checkbox"/>

Progress: 100% (Successful)

Example Design の構成



参考資料

[External Memory Interface Handbook Volume 3: Reference Material](#)

- “13.3. UniPHY-Based Example Designs” を参照

Appendix : EMIF Toolkit の使用方法

MACNICA

EMIF Toolkit の使い方 1/9

● EMIF Toolkit の実行フロー

- EMIF Toolkit オプションの有効化
- デザイン作成およびコンパイル
- ボードと PC の接続
- ボードの電源投入後 SOF ファイルの書き込み
- EMIF Toolkit を起動しコマンドの実行
- レポート確認

◦ 参考資料

- [External Memory Interface Handbook Volume 3: Reference Material](#)
 - “17. External Memory Interface Debug Toolkit” の章を参照

EMIF Toolkit の使い方 2/9

● EMIF Toolkit の実行フロー

- EMIF Toolkit オプションの有効化
 - Diagnostics タブ → Debugging Feature set を Option1 を選択し Finish を押して IP を Generate

The screenshot shows the EMIF Toolkit configuration interface. The 'Diagnostics' tab is selected. Under 'Simulation Options', 'Skip calibration' is selected in the dropdown, and 'Skip Memory Initialization Delays' and 'Enable verbose memory model output' are checked. Under 'Debugging Options', the 'Debugging feature set' dropdown is open, showing 'Option 1' selected. A purple callout box points to 'Option 1' with the text 'Option 1 を選択'. Below this is a table showing the 'Additional Utilization' for each feature set.

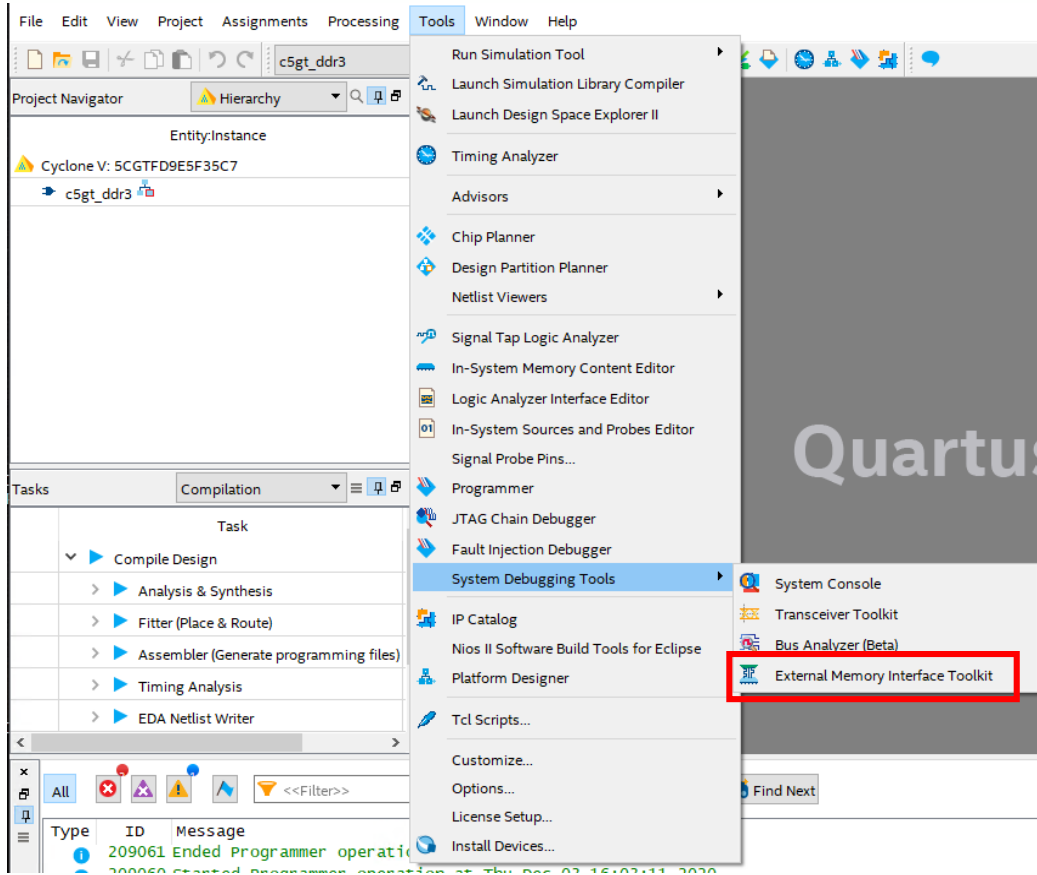
Feature Set	Included Debugging Features	Additional Utilization
No Debugging	None	None
Option 1	Connectivity to the EMIF toolkit allowing you to display information about your interface and generate reports.	+600 Registers +700 ALUTs +8 M9Ks

EMIF Toolkit の使い方 3/9

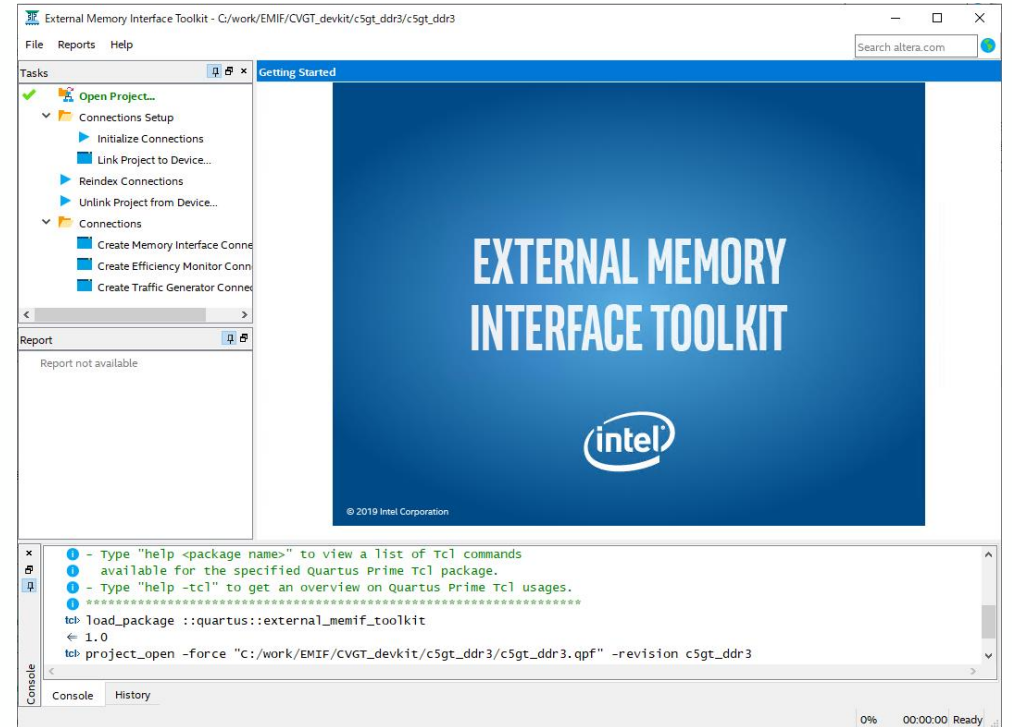
● EMIF Toolkit の実行フロー

○ EMIF Toolkit の起動

- Quartus® Prime → Tools → System Debugging Tools
→ External Memory Interface Toolkit



External Memory Interface Toolkit ウィンドウの起動後自動的に Project が開く



EMIF Toolkit の使い方 4/9

● EMIF Toolkit の実行フロー

○ EMIF Toolkit のGUI

- Tasks ウィンドウでコマンド実行
- レポートウィンドウにレポートが表示される

The screenshot displays the External Memory Interface Toolkit interface. The 'Tasks' window on the left lists various operations, with 'Create Memory Interface Configuration' highlighted. The 'Report' window in the center shows a 'Summary' report for a DDR3 connection. The 'Console' window at the bottom shows the execution of the 'establish_connection' command and the successful creation of a summary report.

タスク一覧

レポート一覧

Property	Value
Report date	Thu Dec 03 16:40:07 2020
Connection name	q_sys:u0 hmc_0 fpga_sdram
Connection path	/devices/5CGTFD9(A5[C5[D5[E5]]..@1#USB-...2/phy_0 hmc_0_fpga_sdram_dmaster.master
Interface hierarchy name	q_sys:u0 hmc_0 fpga_sdram
System-level debug connection hierarchy name	q_sys:u0 hmc_0 fpga_sdram dmaster
Memory interface protocol	DDR3
Connection target type	External Memory Interface
Connection target version	13.0
Delay chain step size	26 ps
Delay chain step size source	Static value from sequencer
Calibration	Pass
Initial failing group	None
Initial failing calibration stage	N/A
Average read data valid window	1170.00 ps
Average write data valid window	1128.40 ps
Calibrated read latency	9 cycles
Calibrated write latency	5 cycles
Groups active for calibration	5
Ranks active for calibration	1

詳細レポート

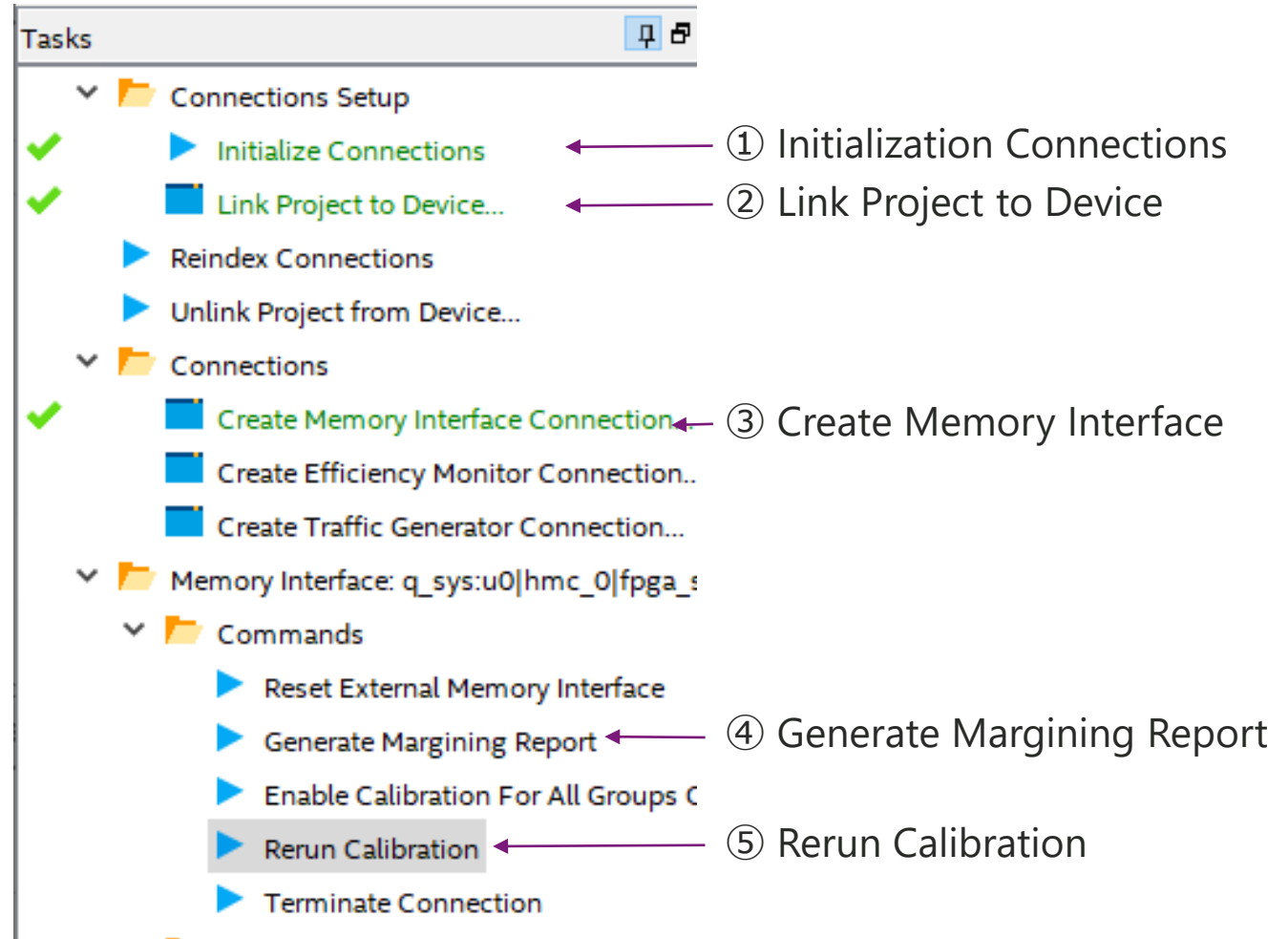
コマンド/メッセージ

```
tcl establish_connection -id 0
tcl Reading connection log for connection target. This may take some time.
tcl Successfully established a connection to target /devices/5CGTFD9(A5[C5[D5[E5]]..@1#USB-1/(link)/TAG/sld_hub.node_2/phy_0
tcl Reading connection log for connection target. This may take some time.
tcl Successfully created summary report for target q_sys:u0|hmc_0|fpga_sdram in 0 seconds.
tcl
```

EMIF Toolkit の使い方 5/9

● EMIF Toolkit の実行フロー

- ① Initialize connections
- ② Link Project to Device
- ③ Create memory interfaces
- ④ Generate Margining Report
- ⑤ Rerun Calibration



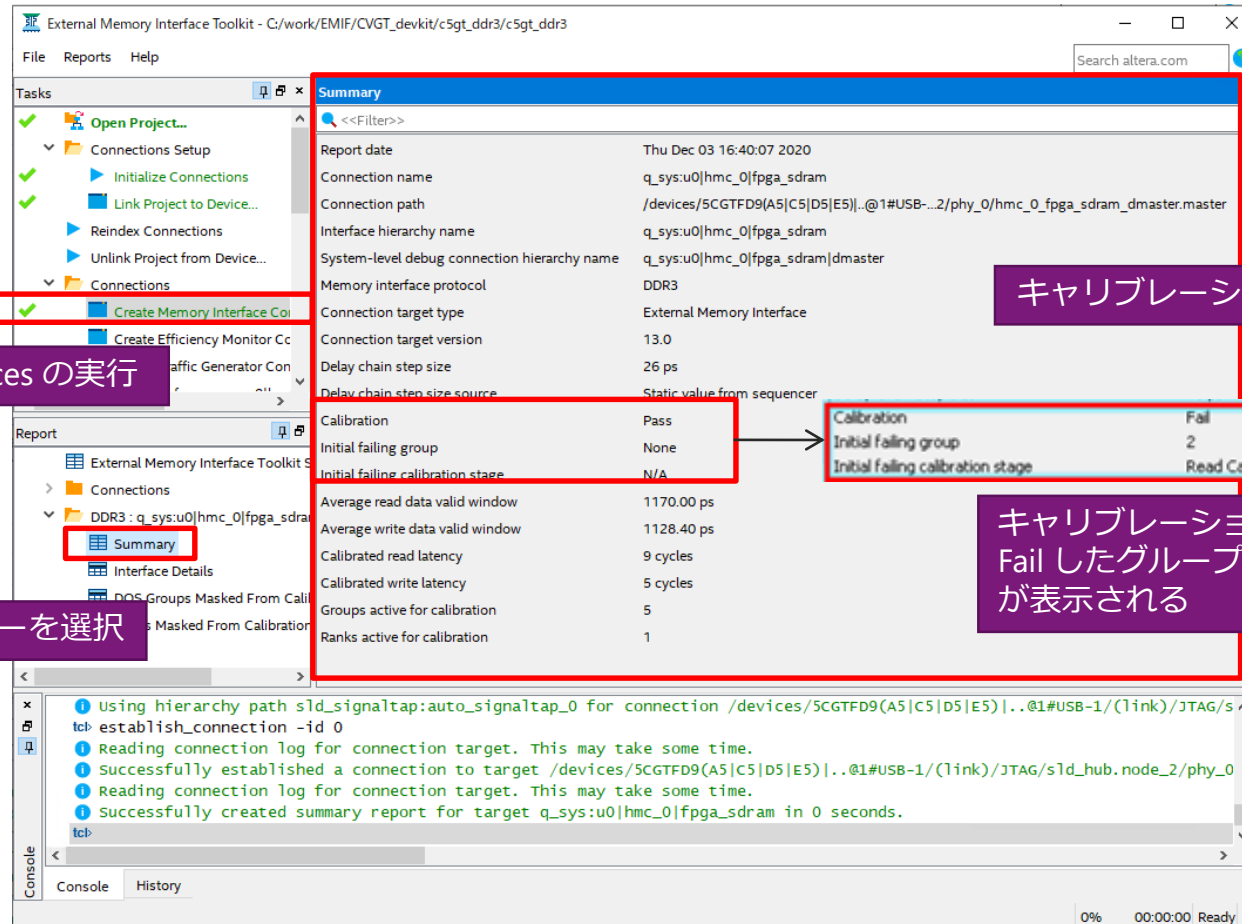
The screenshot shows the 'Tasks' window in the EMIF Toolkit. The tasks are organized into folders and individual actions. The execution flow is indicated by green checkmarks and purple arrows pointing to the corresponding numbered steps in the list on the left.

- Connections Setup
 - Initialize Connections (checked) ← ① Initialization Connections
 - Link Project to Device... (checked) ← ② Link Project to Device
 - Reindex Connections
 - Unlink Project from Device...
- Connections
 - Create Memory Interface Connection (checked) ← ③ Create Memory Interface
 - Create Efficiency Monitor Connection..
 - Create Traffic Generator Connection...
- Memory Interface: q_sys:u0|hmc_0|fpga_s
 - Commands
 - Reset External Memory Interface
 - Generate Margining Report ← ④ Generate Margining Report
 - Enable Calibration For All Groups C
 - Rerun Calibration ← ⑤ Rerun Calibration
 - Terminate Connection

EMIF Toolkit の使い方 6/9

● EMIF Toolkit の実行フロー

- Create memory interfaces を実行するとキャリブレーションのサマリー情報を確認可能



Create memory interfaces の実行

レポートウィンドウのサマリーを選択

キャリブレーションのサマリー情報が表示

キャリブレーションに Fail した場合 Fail したグループやステージの情報が表示される

EMIF Toolkit の使い方 7/9

● EMIF Toolkit の実行フロー

- Rerun Calibration を実行すると詳細なキャリブレーション情報を確認可能

The screenshot displays the External Memory Interface Toolkit interface. On the left, a 'Tasks' pane shows a list of actions, with 'Rerun Calibration' highlighted in a red box. A purple callout box points to this task with the text 'Rerun Calibration の実行'. Below the tasks, a 'Calibration Report' folder is expanded, also highlighted in red, with a purple callout box stating 'Calibration Report フォルダが生成'. The main window shows several data tables:

- Per DQS Group Calibration:** A table with columns: Rank, DQS Group, Calibration Status, Failing Stage, Read Data Valid Window (ps), and Write Data Valid Window (ps). All calibration statuses are 'Pass'.
- DQS Group Margins Observed During Calibration:** A table with columns: Rank, DQS Group, Read Margin (ps), Write Margin (ps), Data Mask Margin (ps), Write Leveling Range (ps), and DQS E.
- DQ Pin Margins Observed Before Calibration:** A table with columns: Rank, DQ Pin, Read Margin, Write Margin, and DM0 Margin.
- DQ Pin Settings After Calibration:** A table with columns: Rank, DQ Pin, D1 Delay (I/O buffer to input register), Delay (output register to io buf), and D6 Delay (output register to io buffer).
- DQS Group Settings After Calibration:** A table with columns: Rank, DQS Group, D4 Delay (DQS delay chain), DQ Output Phase (Deg), DQS Output Phase (Deg), and D5 Delay (ps).
- DM Settings After Calibration:** A table with columns: Rank, DQS Group, DM1 : D5 Delay (output register to io buffer), and DM1 : D6 Delay (output register to io buffer).

A purple callout box with the text '詳細なキャリブレーション情報を確認できる' is overlaid on the 'Per DQS Group Calibration' table.

EMIF Toolkit の使い方 8/9

● EMIF Toolkit の実行フロー

- Generate Margining Report で Calibration 後の Margin を確認可能

Generate Margining Report の実行

Margining Report フォルダが生成

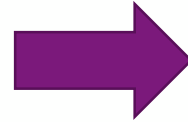
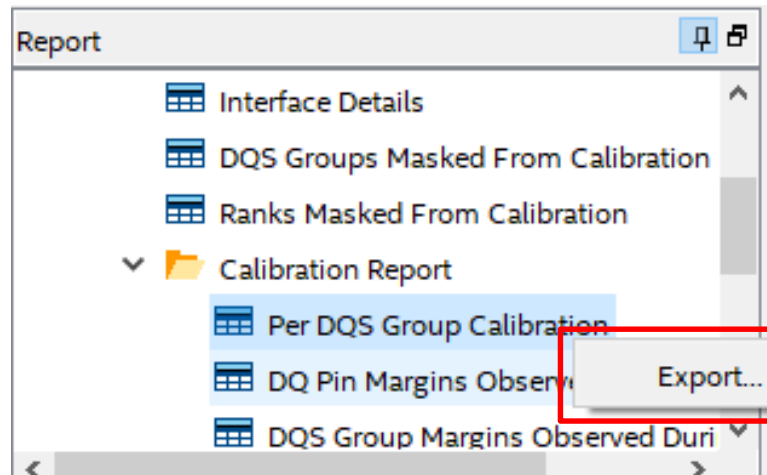
Rank	DQ Pin	DQ Read Margin (ps)	DQ Write Margin (ps)	DM0 Margin (ps)
0	0	-650 to 676	-572 to 598	-546 to 624
0	1	-676 to 624	-598 to 598	-546 to 624
0	2	-676 to 624	-572 to 598	-546 to 624
0	3	-676 to 624	-572 to 572	-546 to 624
0	4	-728 to 624	-572 to 598	-546 to 624
0	5	-702 to 624	-598 to 624	-546 to 624
0	6	-650 to 624	-572 to 598	-546 to 624
0	7	-650 to 624	-546 to 572	-546 to 624
0	8	-676 to 650	-572 to 598	-572 to 572
0	9	-676 to 650	-598 to 624	-572 to 572
0	10	-676 to 624	-598 to 624	-572 to 572
0	11	-702 to 650	-572 to 598	-572 to 572
0	12	-650 to 676	-598 to 624	-572 to 572
0	13	-702 to 650	-598 to 624	-572 to 572
0	14	-676 to 650	-572 to 598	-572 to 572
0	15	-676 to 650	-598 to 598	-572 to 572
0	16	-650 to 676	-572 to 572	-572 to 624
0	17	-676 to 676	-572 to 624	-572 to 624
0	18	-624 to 624	-572 to 572	-572 to 624



EMIF Toolkit の使い方 9/9

● EMIF Toolkit の実行フロー

- EMIF Toolkit のレポートファイルの保存
 - Report ウィンドウ内でレポート名を選択 → 右クリック → Export
 - ファイル名を指定して保存



```
14 -----↵
15 ; Legal Notice ;↵
16 -----↵
17 Copyright (C) 2020 Intel Corporation. All rights reserved.↵
18 Your use of Intel Corporation's design tools, logic functions ↵
19 and other software and tools, and any partner logic ↵
20 functions, and any output files from any of the foregoing ↵
21 (including device programming or simulation files), and any ↵
22 associated documentation or information are expressly subject ↵
23 to the terms and conditions of the Intel Program License ↵
24 Subscription Agreement, the Intel Quartus Prime License Agreement,↵
25 the Intel FPGA IP License Agreement, or other applicable license↵
26 agreement, including, without limitation, that your use is for↵
27 the sole purpose of programming logic devices manufactured by↵
28 Intel and sold by Intel or its authorized distributors. Please↵
29 refer to the applicable agreement for further details, at↵
30 https://fpgasoftwre.intel.com/eula.↵
31 ↵
32 ↵
33 ↵
34 -----↵
35 ; Per DQS Group Calibration ;↵
36 -----↵
37 ; Rank ; DQS Group ; Calibration Status ; Failing Stage ; Read Data Valid Window (ps) ; Write Data Valid Window (ps) ;↵
38 -----↵
39 ; 0 ; 0 ; Pass ; N/A ; 1144 ; 1092 ;↵
40 ; 0 ; 1 ; Pass ; N/A ; 1144 ; 1144 ;↵
41 ; 0 ; 2 ; Pass ; N/A ; 1118 ; 1092 ;↵
42 ; 0 ; 3 ; Pass ; N/A ; 1144 ; 1092 ;↵
43 ; 0 ; 4 ; Pass ; N/A ; 1170 ; 1092 ;↵
44 -----↵
45 ↵
```

テキスト

HPS ブロックの EMIF Toolkit

● HPS の EMIF は Toolkit をサポートしない

- HPS からの EMIF デバッグは EMIF Debug Report を使用
- 具体的な使用方法、レポートの確認方法は以下の資料を参照
 - [HPS ブロックの EMIF Debug Report 設定/確認方法](#)

HPS ブロックの EMIF Debug Report 設定/確認方法

 マクニカ管理者
4か月前・更新

フォローを止める

はじめに

インテル® SoC FPGA の Arria® V SoC と Cyclone® V SoC に搭載されている ハード・プロセッサ・システム (HPS) の SDRAM Controller は EMIF Debug Toolkit や EMIF On-Ship Debug Port をサポートしていません。

このため HPS からデバッグのレポートを出力させる方法を紹介します。

この技術コンテンツは以下の URL を参考にしています。

https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/external-memory/emi_ip.pdf

=> 7.14.3. Enabling the Debug Report

HPS デバッグレポートを出力させる設定

以下の手順でデバッグレポートを出力出来ます。

1. `<design_name>/hps_isw_handoff/sequencer_defines.h` をテキストエディタで開きます
2. `sequencer_defines.h` 内の `#define RUNTIME_CAL_REPORT 0` に移動します
3. `#define RUNTIME_CAL_REPORT 0` を `#define RUNTIME_CAL_REPORT 1` に変更して保存します
4. `semihosting` を Enabled にするか、UART output にして、board support package (BSP) を生成します

この設定によりシステムが Calibration のプロセスを含んだ、デバッグレポートを出力します。

改訂履歴

Revision	日付	概要
1	2020年12月	初版リリース
1.1	2020年12月	P41 「回路図の確認時のチェックリスト」を更新

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

macnica