

第 8 章 スプレッドシート・ビュー

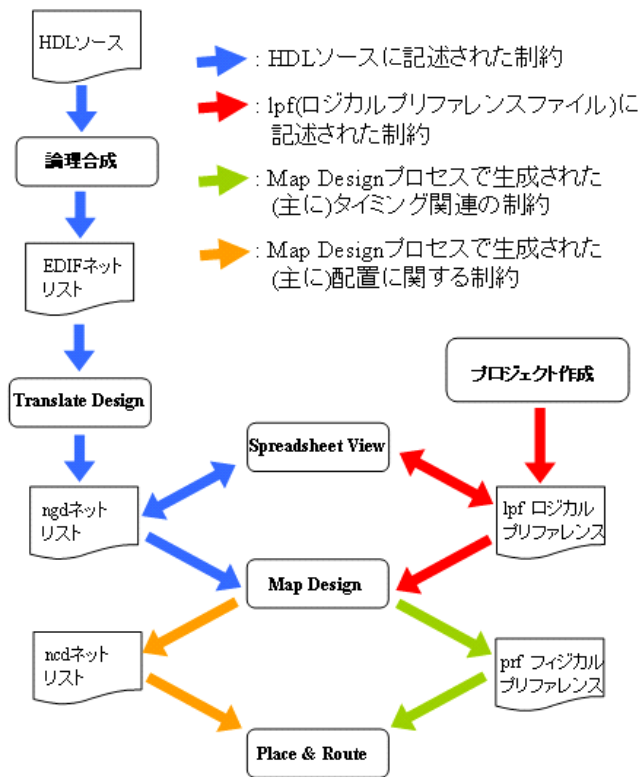
本章では、主に GUI ツールのスプレッドシート・ビュー (Spreadsheet View) を使用した制約設定の方法について説明します。

8.1 デザインフローと制約ファイル

設定方法の前に制約設定のフローについて解説します。全体の流れを図 8-1 に示します。

Lattice Diamond でプロジェクトを作成すると、制約ファイルであるロジカル・プリファレンスファイル (*.lpf) が生成されます。ユーザはこの LPF ファイルを直接テキストエディタで編集して設定を行うことができます。また、GUI で制約の設定を行うツール [Spreadsheet View] を起動して設定を行うこともできます。制約ファイルとは別に、HDLソースに記述された設定等はEDIFからngd(データベース)へと引き継がれます。

図 8-1. 制約の設定フロー



マッピング (Map Design) プロセスを実行すると、lpf ファイルと ngd ファイル内の制約を統合し、配置配線プロセスで使用する制約を生成します。両ファイルで同じリソースに対して異なる制約が設定されていた場合には、lpf ファイルの内容が優先されます。スプレッドシート・ビューは起動時に lpf と ngd ファイル内の設定を読み込み、また終了時には全ての設定を lpf と ngd ファイルに書き込みます。


© 2014 Lattice Semiconductor Corp. (註: 本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。その作成にあたっては各トピックについて、それぞれ可能な限り正確を期しておりますが、必ずしも網羅的ではなく、或いは最新でない可能性があります。また、意図せずオリジナル英語版オンラインヘルプやリリースノートなどと不一致がある場合もあります。疑義が生じた場合は、ラティスセミコンダクター正規代理店の技術サポート担当にお問い合わせ頂くか、または極力最新の英語オリジナル・ソースドキュメントを併せて参照するようにお願いします。)

Lattice Diamond 日本語ユーザガイド

Map Design プロセスで生成された制約の一部（主にタイミング関連の制約）はフィジカル・プリファレンス・ファイル（.prf）に、一部（主に配置指定制約）はマッピング後のネットリスト（*_map.ncd）に記述され、配置配線実行時にはこれらの制約が参照されます。

8.2 スプレッドシート・ビュー

8.2.1 スプレッドシート・ビューの起動

スプレッドシート・ビューを起動するには、Lattice Diamond のツールバーのアイコン  をクリックするか、メニューバーから [Tool] => [Spreadsheet View] の順に選択します。


スプレッドシート・ビューはデフォルトで Lattice Diamond にアタッチされた状態で起動しますが、右上のアイコン  をクリックするとデタッチされ、独立したウインドウとして表示されます。

図 8-2. アイコンからのスプレッドシート・ビューの起動

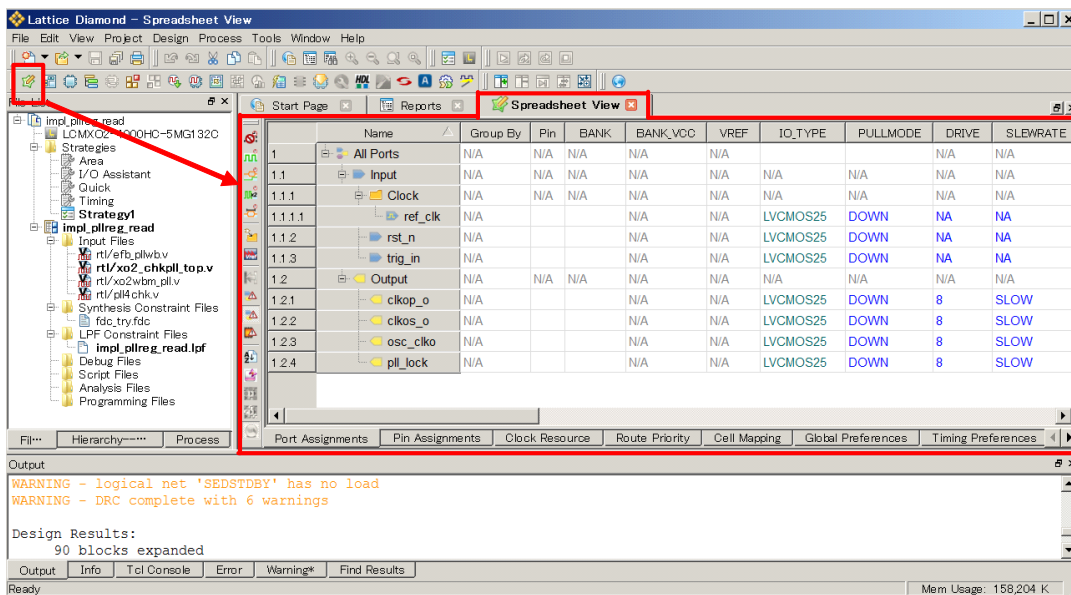
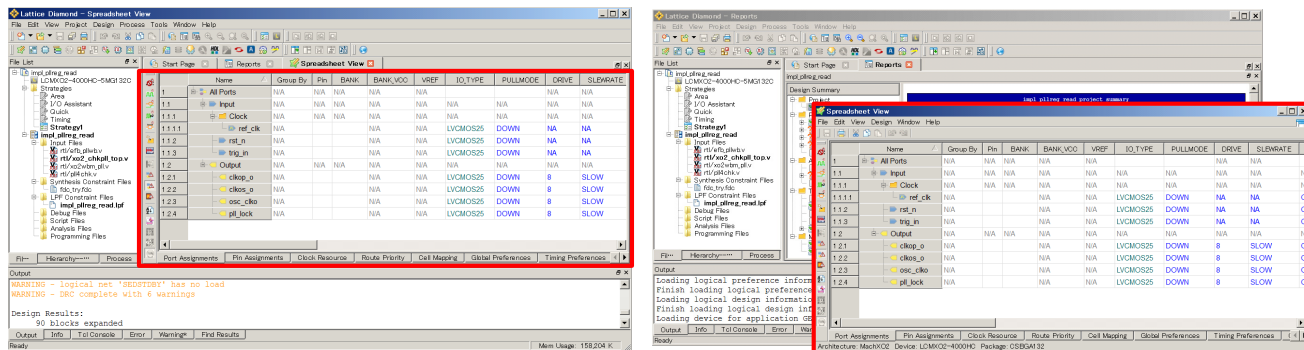


図 8-3. スプレッドシート・ビューのアタッチとデタッチ

アタッチ状態のスプレッドシート・ビュー

デタッチ状態のスプレッドシート・ビュー



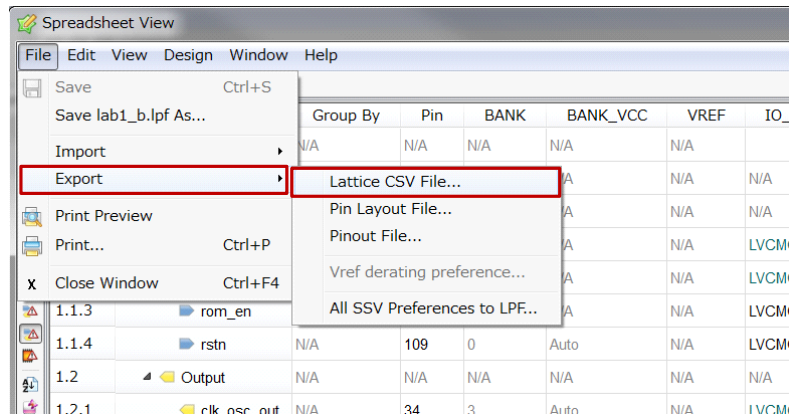
スプレッドシート・ビューがアタッチされた状態では、メニューバーおよびツールバーがプロジェクト・ナビゲータと共有されるので、プロジェクト・ナビゲータに表示されているものを使用します。デタッチされた状態ではスプレッドシート・ビューウインドウに表示されるメニューバー／ツールバーを使用します。

8.2.2 csv ファイルのエクスポートとインポート

スプレッドシート・ビューは設定内容タイプごとに複数のシートから構成されています。一部の設定（ピンアサイン等）を行うシートについては、csv ファイルのエクスポート（書き出し）とインポート（取り込み）ができます。シートをエクスポートし、編集後にスプレッドシート・ビューにインポートするというのも可能です。

シートを csv ファイルにエクスポートするには、まず対象とするシートを開きます。その状態でメニューバーから [File] => [Export] => [Lattice CSV file...] の順に選択します。

図 8-4. csv ファイルへのエクスポート（デタッチ状態のスプレッドシート・ビュー）



エクスポートされた csv ファイルは Microsoft Excel 等で編集ができます。フォーマットさえ正しければ列の順番等は変更しても問題ありません。ただし、**ヘッダ部分（デバイス名等の記述）は絶対に編集しないでください。**

編集した csv ファイルをインポートするには、スプレッドシート・ビューのメニューバーから [File] => [Import] => [Lattice CSV file...] の順に選択します。

8.2.3 スプレッドシート・ビューを使用する際の注意

8.2.3.1 デザインのロード

スプレッドシート・ビューで設定を行うには、[Translate Design] プロセスで生成されるデータベースからデザインの情報をロードする必要があるため、事前に [Translate Design] プロセスが完了している必要があります。完了していない状態でも、スプレッドシート・ビューを起動することはできますが、何も表示されないか、または（一度設定を行った後なら）全てがグレーアウトされており何も変更できない状態になっています。

このような場合は、スプレッドシート・ビューを再起動しなくても、[Translate Design] プロセスまでを完了させれば、自動的にデータがロードされ各種設定が行える状態になります。

8.2.3.2 変更した設定の保存

スプレッドシート・ビューで設定を行っても、それが制約ファイルに保存されなければ各種プロセスには反映されません。作業後に保存されていない場合、Lattice Diamond のメニューバーかスプレッドシート・ビューのウィンドウに表示される”保存アイコン”がアクティブになったままで、またプロジェクト・ナビゲータの右下に [Preferences Modified] と表示されます（図 8-5）。


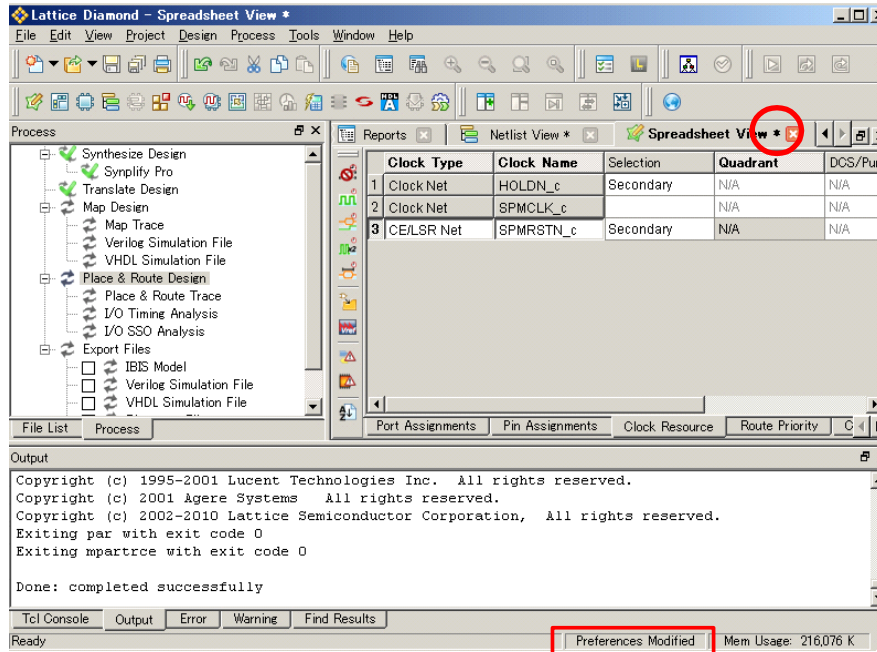
次プロセスを実行する前に必ずアイコン  をクリックして、設定を保存してください。GUI 上の変更全てが保存されていれば、アイコンは非アクティブ状態になりグレーアウトされます。

図 8-5. 制約変更状態の表示

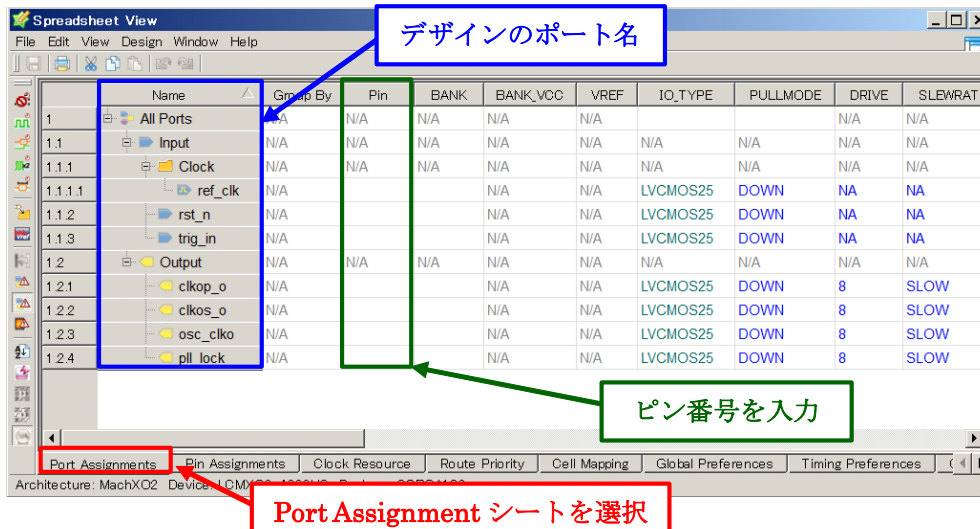


8.3 I/O 関連の制約設定

8.3.1 ユーザ I/O のピンアサイン

ユーザ I/O (デザインで定義された I/O) のピンアサインはスプレッドシート・ビューの [Port Assignments] シートもしくは [Pin Assignments] シートで設定します。設定の方法は、[ポート名に対してピン番号を指定する] 方法と、[ピン番号に対してポート名を指定する] 方法があります。

図 8-6. Port Assignments シートでのピンアサイン



8.3.1.1 ポート名に対してピン番号を指定する方法

スプレッドシート・ビューで [Port Assignments] シートを開くと、左側にデザインのポート名とそのポートのタイプ (Input, Output, Bidirection or Clock Input) が表示されます (図 8-6)。

このシート上で各ポートの [Pin] 列のセルにピン番号を入力します。アサインする I/O バンクだけを指定する場合は、[Bank] 列のセルに I/O バンクの番号を入力します。

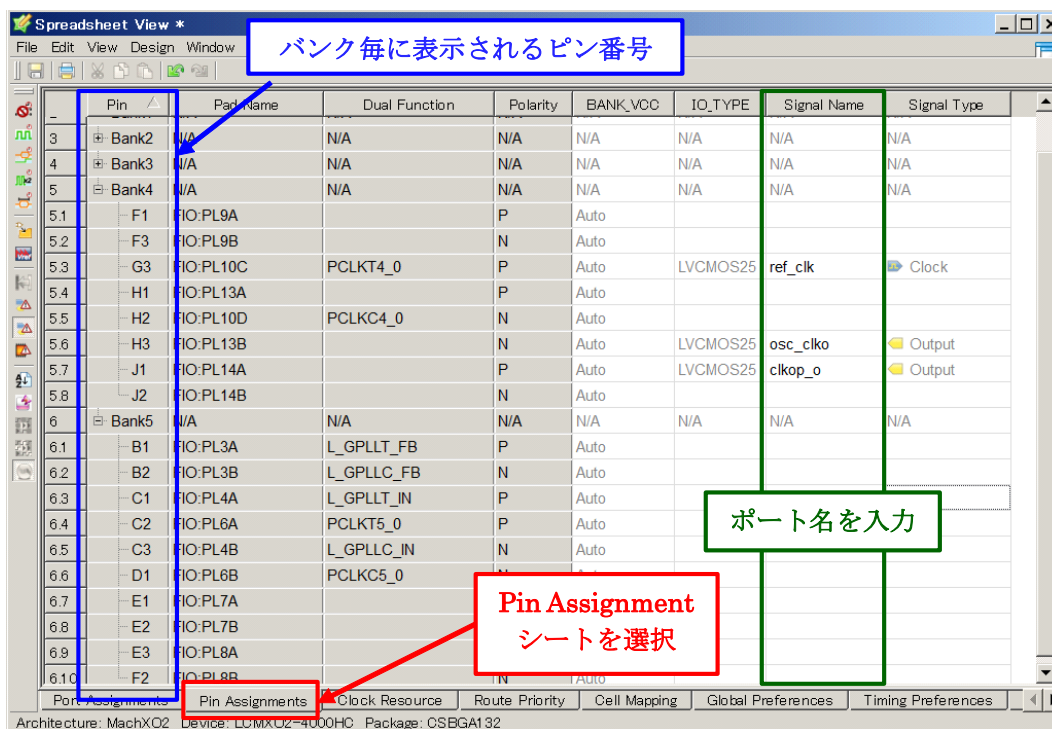
なお、差動 I/O を使用する場合は、HDL ソースに差動バッファをインスタンスしたり反転/非反転のポートを宣言したりする必要はありません。通常のシングルエンドの I/O と同様のポート宣言で、制約設定により差動 I/O を使用することができます。ポート宣言されている 1 本を非反転側のピンにアサインし、バッファタイプとして差動 I/O を選択すれば、反転側は自動的にアサインされます。

各ピンの属性 (反転/非反転、差動ピンの組み合わせ等) は、データシートまたはパッケージ・ビュー記述 (第 9 章) を参照してください。

8.3.1.2 ピン番号に対してポート名を指定する方法

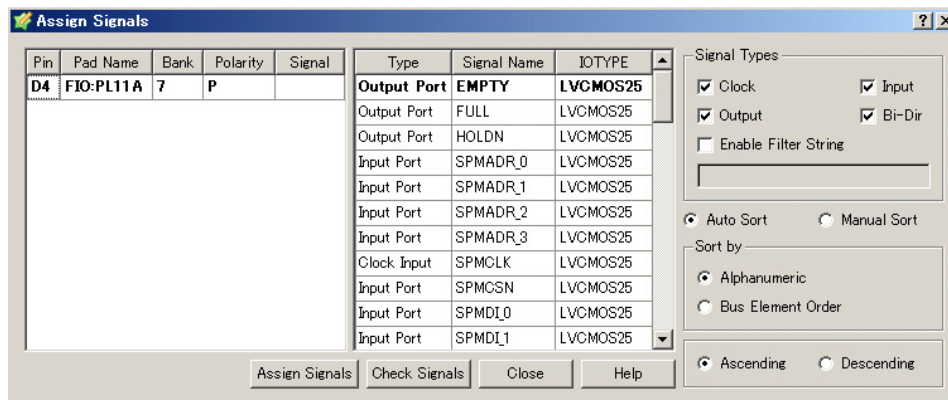
[Spreadsheet View] ウィンドウで、[Pin Assignment] シートを開くと、左側にパッケージのピン番号がバンクごとに表示されます (図 8-7)。

図 8-7. Pin Assignments シートでのピンアサイン



このシート上でピン番号を選択し [Signal Name] セルをダブルクリックすると、図 8-8 のようなアサインする候補となるポート名を示す [Assign Signals] ウィンドウが立ち上がります。アサインするポートを選択しウィンドウ左下の [Assign Signals] ボタンをクリックします。

図 8-8. Assign Signals ウィンドウ



8.3.2 Vref ピンのアサイン

SSTL や HSTL を使用できる Lattice FPGA では、Vref 入力ピンが複数用意されており、ユーザが使用するピンを選択することができます。

*****-----

- ・ 選択しない場合は、ツールが自動的にアサインします
- ・ どのファミリも I/O バンクあたり 2 本の Vref の Rail (配線) を持ちます
- ・ Lattice SC 以外のファミリは、Rail とピンの対応が固定なのでピンの選択のみになります。Lattice SC では、各 Rail に任意のピンをアサインできるためピンと、[Rail] 欄 Rail 番号 (1 or 2) を設定します

*****-----


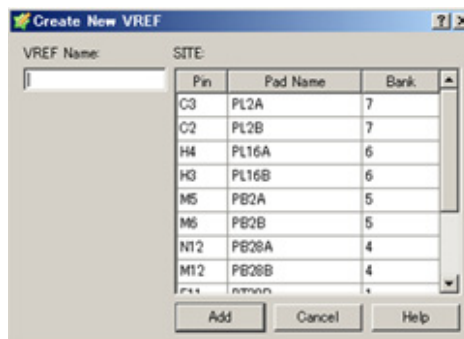
Vref ピンのアサインを行うには、まず使用する Vref ピンの登録を行います。スプレッドシート・ビューの左側に並んでいるアイコン  をクリックすると、Vref ピンの登録ウィンドウが立ち上がります。

図 8-9. Vref ピンの指定



設定は、まず [Vref Name] 欄に、適当な名前を入力します。スプレッドシート・ビューでは、この名前で表示されます。次にウィンドウの右側に表示されているピンのリストから、Vref として使用するピンを選択します。最後に [Add] ボタンをクリックします。これで Vref ピンの登録は完了します。登録された Vref ピンはスプレッドシート・ビューの [Misc Preferences] シートに表示されます。

この後は、[Port Assignments] シートの [Vref] 欄をダブルクリックすると、先に登録した Vref ピン名が表示されるので、これを選択します。[Vref] セルは、[IO_TYPE] が SSTL もしくは HSTL の入力ピンでのみ設定できます。

図 8-10. Vref ピンの選択

Name	Group By	Pin	BANK	VREF	IO_TYPE	TERMINATEVTT	PU	
1.2.71		read_data[31]	N/A		N/A	LVCMOS15	OFF	UP
1.2.72		read_data_valid	N/A		N/A	LVCMOS15	OFF	UP
1.2.73		sclk_out	N/A		N/A	LVCMOS15	OFF	UP
1.2.74		wl_err	N/A		N/A	LVCMOS15	OFF	UP
1.3		Bidir	N/A	N/A	N/A	N/A	N/A	N/A
1.3.1		em_dds_data[0]	EM_DDR_DAT...		vref1:L6(7)	SSTL15	OFF	NONE
1.3.2		em_dds_data[1]	EM_DDR_DAT...			SSTL15	OFF	NONE
1.3.3		em_dds_data[2]	EM_DDR_DAT...			SSTL15	OFF	NONE
1.3.4		em_dds_data[3]	EM_DDR_DAT...		vref1:L6(7)	SSTL15	OFF	NONE
1.3.5		em_dds_data[4]	EM_DDR_DAT...		vref1:L6(7)	SSTL15	OFF	NONE
1.3.6		em_dds_data[5]	EM_DDR_DAT...		vref2:N21(2)	SSTL15	OFF	NONE
1.3.7		em_dds_data[6]	EM_DDR_DAT...			SSTL15	OFF	NONE
1.3.8		em_dds_data[7]	EM_DDR_DAT...			SSTL15	OFF	NONE
1.3.9		em_dds_data[8]	EM_DDR_DAT...			SSTL15	OFF	NONE
1.3.10		em_dds_data[9]	EM_DDR_DAT...			SSTL15	OFF	NONE
1.3.11		em_dds_data[10]	EM_DDR_DAT...			SSTL15	OFF	NONE
1.3.12		em_dds_data[11]	EM_DDR_DAT...			SSTL15	OFF	NONE
1.3.13		em_dds_data[12]	EM_DDR_DAT...			SSTL15	OFF	NONE

*****-----

- ・ DDRx メモリ I/F で使用する場合は、かならず Rail 1（データシート上では VREF1_*）の Vref ピンを選択してください

*****-----

8.3.3 SERDES 関連のピンアサイン

SERDES を使用する場合、SERDES 関連のポートのピンアサインは通常のポートとは違う方法で行います。デバイス内の SERDES マクロは、各マクロとピンの対応があらかじめ決められています。このため使用する SERDES マクロの位置を指定すると、各チャネルの入出力ポートやリファレンスクロック入力等のピンアサインは自動的に行われます。

※ SERDES マクロのポートとピンの接続を変更することはできません。

SERDES マクロの配置指定はスプレッドシート・ビューではできません。配置指定の方法については第 11 章「フロアプランニング」をご参照ください。

Diamond 3.4 以降、(ECP5 では) Clarity Designer でマクロの物理配置やピン指定を行うことが可能です。第 5 章「モジュール / IP 生成」第 5.3 節をご参照ください。

8.3.4 IO バッファの属性設定

8.3.4.1 設定方法

IO バッファの属性設定は、[Port Assignments] シートで行います。各ピンの設定内容に対応したセルをダブルクリックすると選択可能状態になり、セルの右側に ▼ ボタンが表示されます。この状態で、キーボードの [↑] または [↓] キーを押すと、選択内容を切り替えられます。また ▼ ボタンをクリックすると選択肢の一覧が表示されます (図 8-11)。この中から使用したいものを選択します。

Lattice Diamond 日本語ユーザガイド

なお、ポートのリストの中に [All Ports] と書かれた行がありますが、これは全ポートの一括設定です (図 8-12)。複数ピンの設定を変更する場合は、All Ports の設定を変更したほうが手間の省ける場合があります。デフォルト状態のポートにのみ有効です。

図 8-11. IO バッファタイプの選択

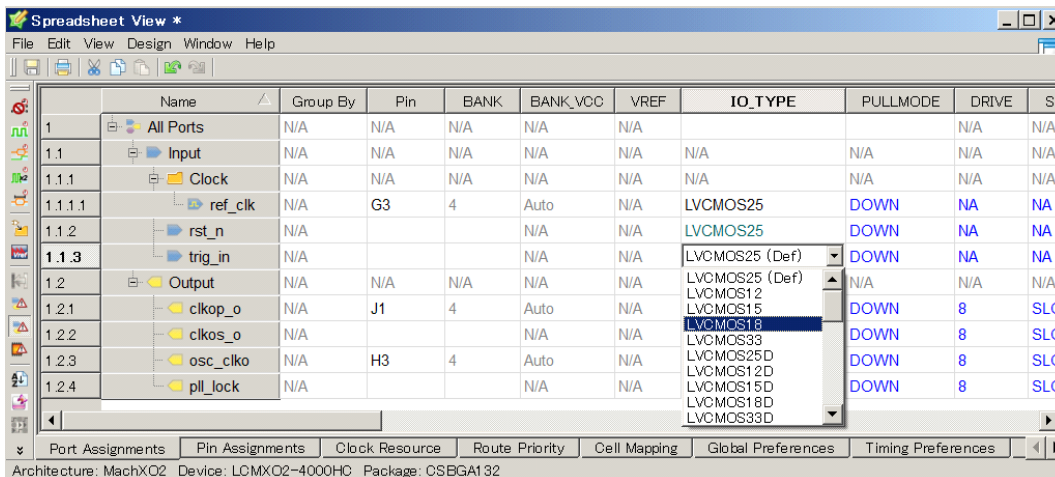
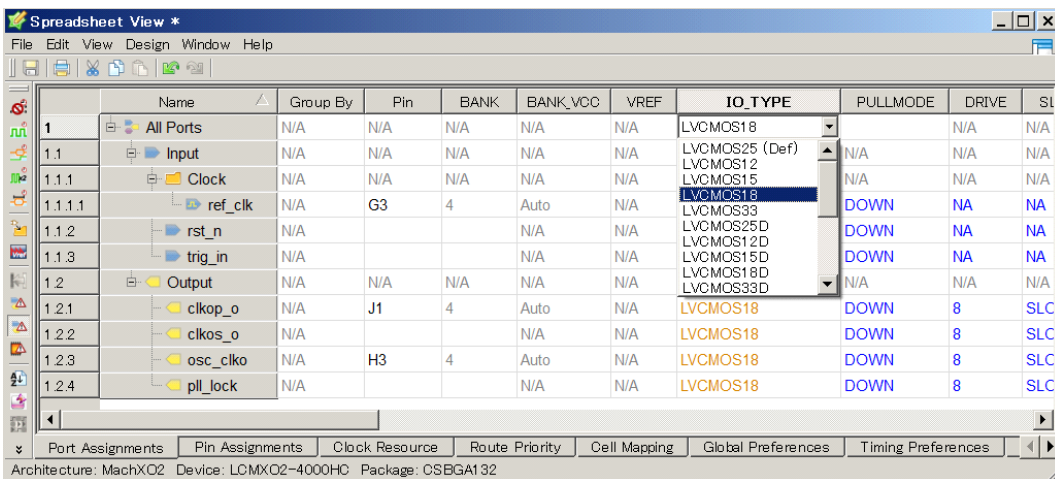


図 8-12. All Ports の設定



設定値をデフォルト (All Ports の値) に戻す場合は、セルを選択してキーボードの [Delete] キーを押します。

8.3.4.2 主な設定内容

I/O バッファの主な設定内容としては、以下のものがあります。

*****-----

- ・ バッファタイプを選択すると選択肢が制限されたり、値が固定されたりする設定があります
- ・ 一部のデバイスファミリ固有の設定の説明は省略しました。ここで説明されていない項目については各デバイスファミリのデータシートやテクニカルノートを参照してください

*****-----

IO_TYPE

ポートのバッファタイプの選択です。

TERMINATEVTT (LatticeECP3 のみ) (LatticeECP3 のみ)

SSTL / HSTL の入力で使用されるオンチップ終端抵抗値の設定です。[OFF] は終端抵抗なし、その他は数値が抵抗値を表しています。

PULLMODE

On-chip の Pull 抵抗 (数 k ~ 数十 kΩ) の設定です。設定が有効になるのはコンフィグ完了後です。コンフィグ完了前の全てのピン、およびコンフィグ後の未使用ピンは Pull-up または Pull-down (デバイスファミリに依存) に固定されます。

DRIVE

出力ピンの電流ドライブ能力 (Ioh / Iol) の設定です。

SLEWRATE

出力ピンの立ち上がり / 立ち下り時間の設定です。[FAST] と [SLOW] のどちらかを選択します。

PCICLAMP

On-chip の PCI CLAMP ダイオードの設定です。[ON] の場合は CLAMP ダイオードが有効に、[OFF] の場合は CLAMP ダイオードが無効になります。

OPENDRAIN

出力ピンをオープンドレインにする設定です。HDL 記述でオープンドレインでなくても、[ON] を選択するとインプリ時にオープンドレイン・バッファになります。

*****-----

- ・ オープンドレインを使用する際は、PULLMODE を [OFF] に設定しないとシミュレーションや実機動作時に内蔵 pull-up の影響で Hi-Z 出力の際に High レベル出力が見えます

*****-----

DIFFRESISTER (LatticeECP3 のみ)

差動 I/O の入力で使用される On-Chip の終端抵抗値の設定です。[OFF] は終端抵抗なし、その他は数値が抵抗値を表しています (誤差 ±20%)。

DIFFDRIVE (LatticeECP3 のみ)

差動 I/O の出力ドライブ電流値の設定です。この値と、MULTDRIVE の設定値を掛けた値が、出力電流値となります。

MULTDRIVE (LatticeECP3 のみ)

差動 I/O の出力ドライブ電流に関する設定です。この値と、DIFFDRIVE の設定値を掛けた値が、出力電流値となります。

EQ_CAL (LatticeECP3 のみ)

入力バッファのイコライザ設定です。値が大きくなるほど信号が増幅されることを表します。差動 I/O や SSTL / HSTL でのみ設定できます。


8.3.5 IO レジスタへのアサイン


IO レジスタへのアサインは論理合成で行われますが、以下のような場合は論理合成結果に対してアサイン状況を変更することもできます。

- ・ 論理合成で I/O レジスタにアサインされたレジスタを、ファブリックのレジスタにアサインしたい
- ・ 論理合成では何らかの都合で I/O レジスタにアサインされなかったレジスタを、I/O レジスタにアサインしたい (ただし、接続が I/O レジスタへのアサイン条件を満たしている場合)

Lattice Diamond 日本語ユーザガイド

設定は、SpreadsheetView の [Cell Mapping] シートで行いますが、設定するレジスタの選択には、GUI ツールネットリスト・ビューも起動する必要があります。以下の手順で行います。

Step1 [必須] プロジェクト・ナビゲータのツールバーから、アイコン  をクリックしてネットリスト・ビューを起動します。

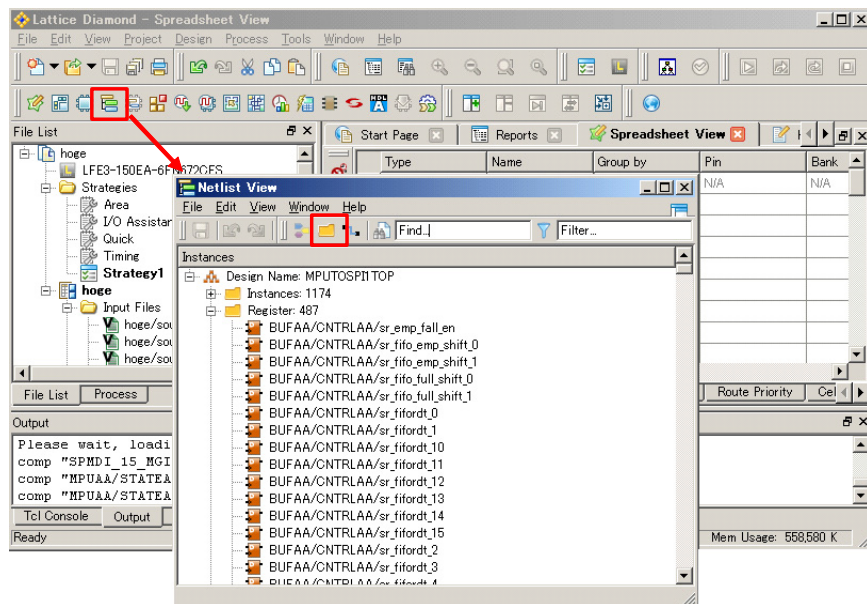
起動したネットリスト・ビューのツールバーで、アイコン  をクリックするとデザイン内のリソースのリストが表示されます。この中で [Register] のツリーを展開すると、レジスタのリストが表示されます (図 8-13)。

Step2 [必須] ネットリスト・ビューに表示されているリストから IO レジスタへのアサインを設定するレジスタ名を選択し、SpreadsheetView の [Cell Mapping] シートへドラッグします。

この処理を行うには、事前に SpreadsheetView で [Cell Mapping] シートを選択しておく必要があります。また、GUI をカスタマイズしてネットリスト・ビューとスプレッドシート・ビューが同時に表示されるようにしておく必要があります。

Step3 [必須] [Cell Mapping] シートの [Din/Dout] 行のセルで、使用する IO レジスタのタイプを選択します。選択肢は、[Din] (入力レジスタ) または [Dout] (出力レジスタ) です。アサイン状況を変更したい方を選択してください。

図 8-13. ネットリスト・ビューの起動



Step4 [必須]. IO レジスタへのアサインを設定します。

[PIO Register] 行のセルで、IO レジスタへのアサイン設定を行います (図 8-14)。

[True] は、そのレジスタを IO レジスタにアサインすることを表します。

[False] は、そのレジスタを IO レジスタにアサインしないことを表します。

*****-----

- ・ IO レジスタにアサインできないレジスタを [True] に設定すると、Map Design プロセスでエラーになります

*****-----

図 8-14. IO レジスタのアサイン変更

Type	Name	Din/Dout	PIO Register
1 Register	MPUAA_ADDAA_sr_spmadrio_0	DIN	True
2 Register	MPUAA_ADDAA_sr_spmadrio_1	DIN	True
3 Register	MPUAA_ADDAA_sr_spmadrio_2	DIN	True
4 Register	MPUAA_ADDAA_sr_spmadrio_3	DIN	True
5 Register	MPUAA_ADDAA_sr_spmdoio_0	DOUT	False
6 Register	MPUAA_ADDAA_sr_spmdoio_1	DOUT	False
7 Register	MPUAA_ADDAA_sr_spmdoio_2	DOUT	False
8 Register	MPUAA_ADDAA_sr_spmdoio_3	DOUT	False

Architecture: LatticeECP2 Device: LFE2-6E Package: FPBGA256

8.4 タイミング制約設定

本節ではタイミング制約の設定方法について説明します。なお、設定を行う前にタイミング制約およびタイミング検証の注意事項についてまとめた**第 10 章**をご参照ください。

8.4.1 クロックのタイミング制約


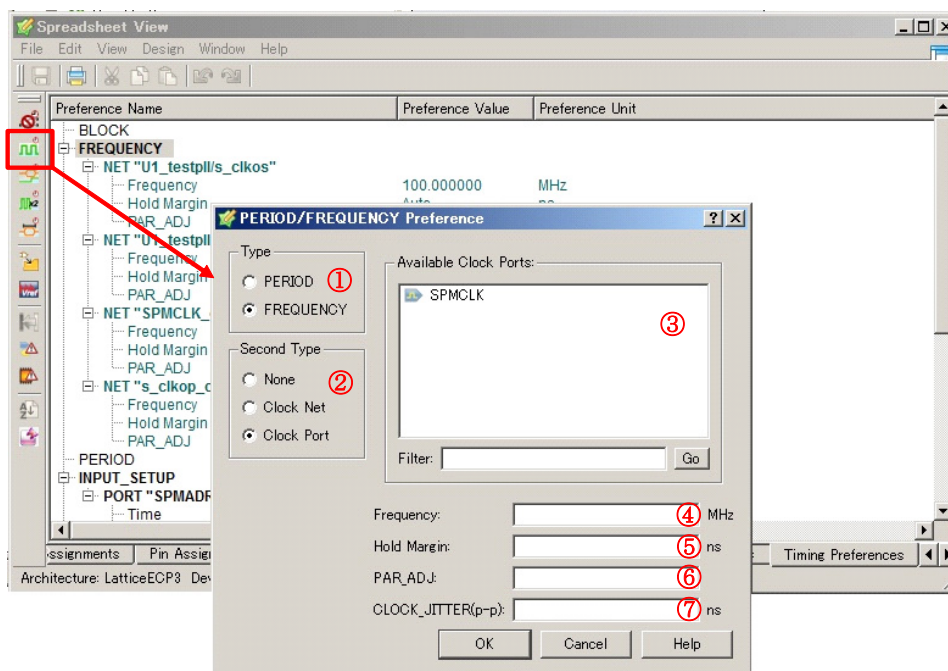
クロックごとの最高動作速度の制約は、周波数または周期で設定することができます。設定ウインドウを起動するために、まずスプレッドシート・ビューの左側に表示されている  をクリックします (図 8-15)。

図 8-15. クロックタイミング制約設定



設定は以下の手順で行います。

Step1 [必須]. ウィンドウ左上の [Type] 欄 (図 8-15 ①) で、制約のタイプを選択します。

[PERIOD] はクロック周期、[FREQUENCY] はクロック周波数を制約として設定する場合に選択します。

Step2 [必須]. [Second Type] 欄 ((図 8-15 ②)) で、制約を与えるクロックのタイプを選択します。

[Clock Net] は内部で生成した分周クロック等に制約を設定する場合、[Clock Port] は外部から入力されるクロックに制約を設定する場合、[none] は特定のクロックではなくデザイン全体に制約を与える場合に選択します。

Step3 [必須]. 制約を設定するクロックを選択します。

Step2 で選択したタイプに応じて右側の [Available Clock List] 欄 (図 8-15 ③) に対象となるクロック名が表示されます。表示されたクロック名から、制約を設定するクロック名をクリックして選択します。

Step4 [必須]. クロックの最高動作速度の制約を設定します。

Step1 で [PERIOD] を選択した場合は [Time] 欄に周期を、[FREQUENCY] を選択した場合は [Frequency] 欄に周波数を入力します (図 8-15 ④)。制約の単位は、周期制約の場合は ns、周波数制約の場合は MHz で固定です。

Step5 [オプション]. ホールド時間のマージンを設定します。

Hold time 検証時にタイミングマージンを持たせたい場合は、[Hold Margin] 欄 (図 8-15 ⑤) に値を入力します。

使用しているデバイスが MachXO2ZE ファミリの場合はホールド時間マージンとして 0.1 を、また**以下の条件を全て満たしていない場合は**、ホールド時間マージンとして 0.2 ~ 0.5ns 程度を設定することを推奨します。

- 全てのクロックがクロック配線 (primary または secondary) にアサインされている
- クロックドメインをまたぐパスで、タイミング解析の必要がない

Step6 [オプション]. 配置配線時のタイミングマージンを設定します。

配置配線時により厳しいタイミング制約を与えたい場合は、[PAR_ADJ] 欄 (図 8-15 ⑥) にマージンの値を入力します。

Step1 で [PERIOD] を選択している場合は、Step4 で [Time] 欄に設定した値から [PAR_ADJ] ボックスで設定した値を引いた値が配置配線時の制約として使用されます。

Step1 で [FREQUENCY] を選択している場合は、Step4 で [Frequency] 欄に設定した値に [PAR_ADJ] ボックスで設定した値を足した値が配置配線時のタイミング制約として使用されます。

例:

ツール上での設定	配置配線時の制約	タイミング検証時の制約
Frequency =100MHz、PAR_ADJ=20	120 (100 + 20) MHz	100MHz
Period=20ns、PAR_ADJ=5	15 (20 -5) ns	20ns


Step7 [オプション]. 入力クロックのジッタ量を設定します。

入力クロックジッタも考慮したタイミング解析を行いたい場合は、[CLOCK_JITTER] 欄 (図 8-15 ⑦) に入力クロックのジッタ量を設定します。なお、この設定は [Second Type] として [Clock Port] を選択した場合にのみアクティブになります。

Step8 [必須]. 必要な設定が完了したら [OK] ボタンをクリックします。

設定された内容は、スプレッドシート・ビューの [Timing Preferences] シートに表示されます。設定内容を変更したい場合は、[Timing Preferences] シート上の設定値の表示をダブルクリックします。設定値欄がアクティブになり直接値を変更できます。

8.4.2 入力信号のセットアップ／ホールド時間制約設定

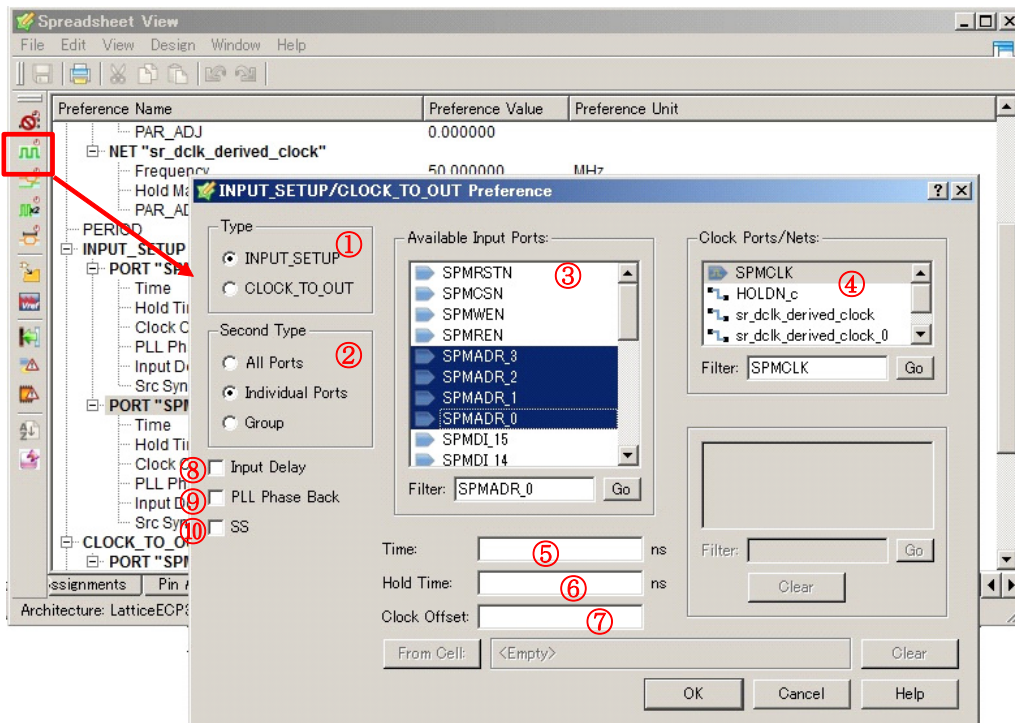
入力ピンごとに入力信号のセットアップ／ホールド時間の要求値の制約を設定することができます。設定を行うには、スプレッドシート・ビューの左側に表示されているアイコン  をクリックし、設定ウィンドウを起動します (図 8-16)。設定は以下の手順で行います。

Step1 [必須]. [Type] 欄 (図 8-16 ①) で、[INPUT_SETUP] を選択します。

Step2 [必須]. [Second Type] 欄 (図 8-16 ②) で、制約を与える対象のタイプを選択します。

[All Ports] は全ての入力信号に対して共通の制約を設定する場合、[Individual Ports] は各ポートに個別の制約を設定する場合、[Group] はグループ (グループの生成方法は **8.4.8 項** を参照) 内のポートに対して共通の制約を設定する場合に選択します。

図 8-16. 入力信号のセットアップ／ホールド時間制約設定



Step3 [必須]. 制約を設定するデータ入力ポートを選択します。

Step2 で [Individual Ports] と [Group] を選択した場合、[Available ****] 欄 ※ に制約を設定できるポートもしくはグループが表示されます (図 8-16 ③)。この中から対象となるポート名を選択します。[All Ports] を選択した場合は、選択の必要がないので何も表示されません。



※ **** は [Second Type] の選択で変化

Shift キーと Ctrl キーを使用すると複数のポートを選択することもできます。

Shift キー : 選択した 2 つのポート間の全てのポート

Ctrl キー : 選択したポート全て

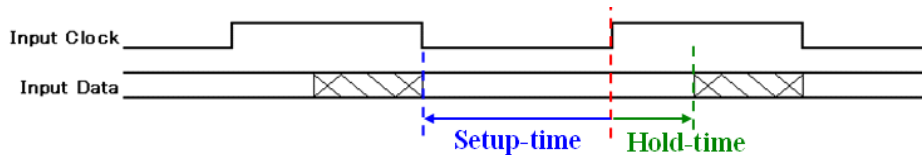
Step4 [必須]. 制約の基準となるクロックを選択します。

[Clock Ports/Nets] 欄 (図 8-16 ④) にはネットリストから抽出されたクロックポートとクロックネットが表示されています。この中からクロックポート () を選択します。クロックネット () を選択すると入力バッファの遅延が計算されませんので、ご注意ください。

Step5 [オプション]. 入力信号の制約の与え方を選択します。

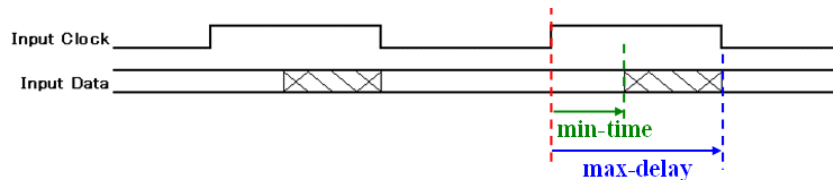
当該デバイスのセットアップ/ホールド時間を制約として設定する場合は、[Input Delay] チェックボックス (図 8-16 ⑧) のチェックを外します。

図 8-17. [Input Delay] ボックスにチェックが入っていない場合の制約設定



対向デバイスからの出力信号の最大/最小データ遅延 (クロックエッジから出力データまでの遅延) を制約として設定する場合は、[Input Delay] ボックスにチェックを入れます。

図 8-18. [Input Delay] ボックスにチェックが入っている場合の制約設定

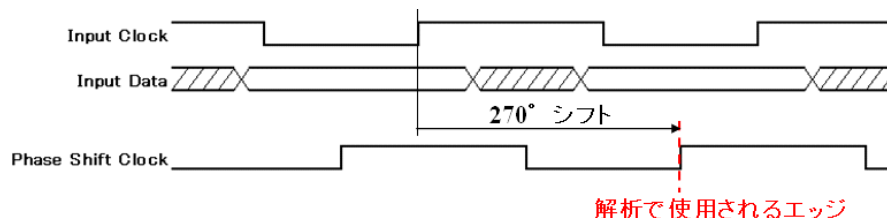


[Input Delay] チェックボックスにチェックが入っていると、自動的にセットアップ時間 (クロック周期 - 入力遅延) が計算され制約となります。このため、クロック周期の設定が必要です。

Step6 [オプション]. PLL の位相シフトクロックを使用して入力信号をラッチしている場合は、解析の際に使用するクロックエッジの選択を行います。

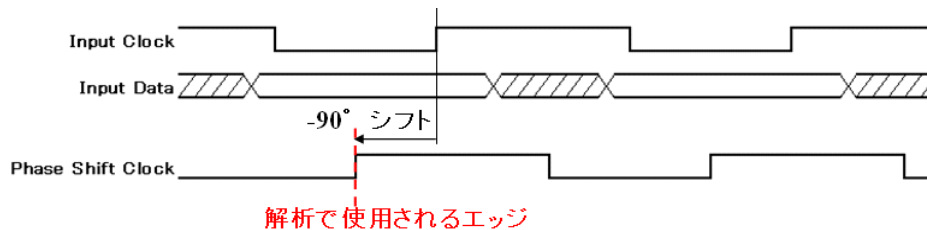
[PLL Phase Back] チェックボックス (図 8-16 ⑨) にチェックが入っていない場合、タイミング解析ツールは入力クロックから位相シフト分遅れて変化するクロックエッジ (図 8-19 参照) を基準に入力信号のセットアップ/ホールド時間を算出します。このため、位相シフト量が大きいと、外部入力クロックのセットアップ時間が負の値になったり、期待しない大きなホールド時間が算出されてしまったりすることがあります。

図 8-19. [PLL Phase Back] ボックスにチェックが入っていない場合 (270° シフトの例)



これに対し、[PLL Phase Back] ボックスにチェックが入っている場合、入力クロックの前に変化するクロックエッジ (図 8-20 参照) を基準にセットアップ/ホールド時間を算出します。

図 8-20. [PLL Phase Back] ボックスにチェックが入っている場合 (270° シフトの例)



このオプション設定で変わるのはセットアップ/ホールド時間算出の基準とするクロックエッジだけです。前述の2つの場合で結果として得られる値は見た目には違っていても、要求されるセットアップ/ホールド時間は現実的には同じになります。

Step7 [オプション]. 入力クロックのジッタ解析オプションの設定を行います。

デフォルト ([SS] ボックスにチェックなし) の入力タイミング解析では、クロックタイミング制約 (8.4.1 項参照) のオプションで設定したクロックジッタを考慮した解析が行われます。

しかし、ソースシンクロナス伝送等でクロックとデータに同じジッタが乗る場合など、入力タイミング解析にクロックジッタを考慮するが無い場合は、[SS] ボックス (図 8-16 ⑩) にチェックを入れると、解析の際にジッタを考慮しなくなります。

Step8 [必須]. [Time] 欄 (図 8-16 ⑤) に入力信号のセットアップ時間制約の値を入力します。

[Input Delay] ボックスにチェックが入っている場合は、データの最大遅延を入力します。

制約の基準は入力データをラッチするクロックエッジです。制約の基準となるクロックエッジと、デバイス内でデータをラッチするクロックエッジが別の場合は Step9 で説明する [Clock Offset] で補正します。

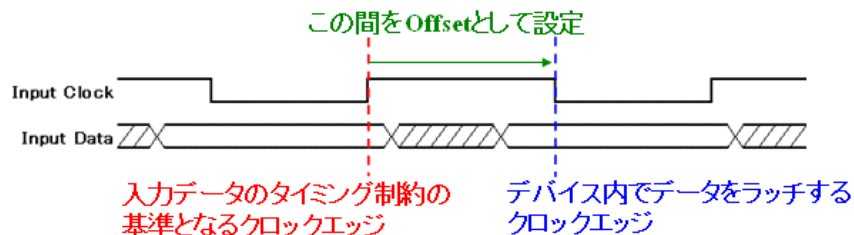
Step9 [必須]. [Hold-time] 欄 (図 8-16 ⑥) に入力信号のホールド時間制約の値を入力します。

[Input Delay] ボックスにチェックが入っている場合は、データの最小遅延を入力します。制約の基準は入力データをラッチするクロックエッジです。制約の基準となるクロックエッジと、デバイス内でデータをラッチするクロックエッジが別の場合は Step9 で説明する [Clock Offset] で補正します。

Step10 [オプション]. タイミング制約 (セットアップ/ホールド時間, 入力遅延) の基準となるクロックエッジと、回路内でデータをラッチするクロックエッジが異なる場合、[Clock Offset] ボックスに適切な値を入力することにより、クロックエッジの位置補正を行います。

例えば、出力側が立ち上がりエッジを基準にタイミングを定義しているのに対して、入力側では立ち下りエッジでデータをラッチした場合、立ち上がりエッジを基準にタイミング制約を入力し、[Clock Offset] 欄に [0.5] (デューティ比が 1:1 の場合) と入力すると、1/2 クロックサイクル遅れた立ち下りエッジを基準にタイミング解析が行われます。

図 8-21. Clock Offset 設定



制約の基準となるクロックエッジとデータをラッチするクロックエッジが同じ場合は、[Clock Offset] の設定は必要ありません。

Step11 [必須]. 必要な項目の入力が完了したら、ウインドウ右下の [OK] ボタンをクリックします。

設定された内容は、スプレッドシート・ビューの [Timing Preferences] シートに表示されます。設定を変更する場合は、[Timing Preferences] に表示されている制約をダブルクリックします。削除する場合は、制約を選択してキーボードの [Delete] キーを押します。

8.4.3 データ出力遅延の制約設定

クロックエッジを基準として出力データの遅延制約を設定することができます。デバイス間で共通のクロックを用いてデータの送受信を行っている場合に、この制約を設定します。

*****-----

- ・ 遅延を正しく解析させるためには、出力負荷の設定 (8.4.9 項) が必要です
- ・ この制約では、入力ポートからレジスタを介さずに出力ポートへ抜けていくパスの解析はできません。そのような場合の制約は 8.4.7 項を参照してください

*****-----


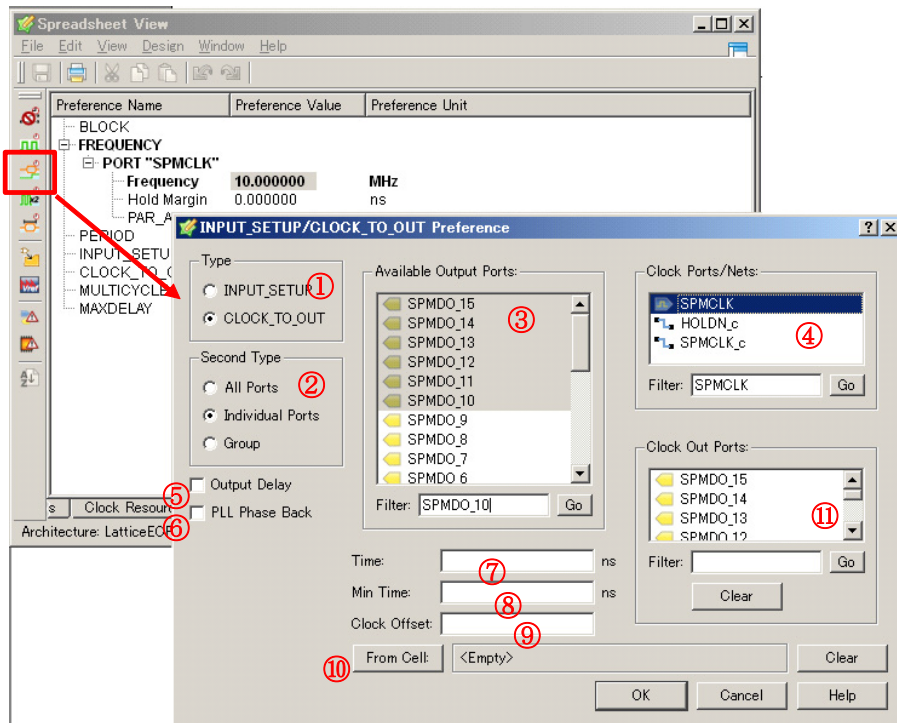
設定を行うには、スプレッドシート・ビューの左側に表示されているアイコン  をクリックし、設定ウインドウを起動します (図 8-22)。

図 8-22. 出力遅延制約設定



設定は以下の手順で行います。

Step1 [必須] [Type] 欄 (図 8-22 ①) で [CLOCK_TO_OUT] を選択します。

Step2 [必須] [Second Type] 欄 (図 8-22 ②) で、制約を与える対象のタイプを選択します。

[All Ports] は全ての入力信号に対して共通の制約を設定する場合、[Individual Ports] は各ポートに個別の制約を設定する場合、[Group] はグループ (グループの生成方法は 8.4.8 項を参照) 内のポートに対して共通の制約を設定する場合に選択します。

Step3 [必須] 制約を設定するデータ出力ポートを選択します。

[Individual Ports] と [Group] を選択した場合は、[Available ****] 欄 ※ に制約を与える対象となるポートもしくはグループが表示されます (図 8-22 ③)。

※ **** は [Second Type] の選択で変化

表示されたポートから制約を設定するデータ出力ポート (またはグループ) を選択します。Shift キーと Ctrl キーを使用すると複数のポートを選択することもできます。

Shift キー : 選択した 2 つのポート間の全てのポート

Ctrl キー : 選択したポート全て


Step4 [オプション] 出力クロックを選択します。

出力クロックに対して出力データ遅延を指定する場合には、[Clock Out Ports] 欄 (図 8-22 ⑩) にリストアップされている出力クロックの中から該当するクロックを選択します。出力クロックに対する制約としない場合、[Clock Out Ports] 欄では何も選択しないようにします。

Step5 [必須] 遅延計算の基準となるクロックを選択します。

ネットリストから抽出されてリストアップされている [Clock Ports/Nets] 欄 (図 8-22 ④) 内のクロックポートの中から選択します。

*****-----

- ・ 入力クロックの場合、クロックネット (シンボル ) を選択すると入力バッファの遅延が計算されず、正しく解析が行われませんので注意します
- ・ 本制約の解析では、出力クロックと出力データの遅延から位相差を計算します。このため、位相を比較するには共通の基準点からの遅延を使用して解析する必要があります。このステップでは、その基準点を選択します

*****-----

Step6 [必須] 制約の設定方法を選択します。

当該デバイスの出力遅延 (図 8-23、 t_{COmin} / t_{COmax}) を制約として設定する場合は、[Output Delay] チェックボックス (図 8-22 ⑤) にチェックは入れません。次段デバイスのセットアップ/ホールド時間 (図 8-24、 t_{Setup} / t_{Hold}) を制約として設定する場合は、[Output Delay] ボックスにチェックを入れます。

図 8-23. 出力遅延制約 [Output Delay] ボックスチェック無し

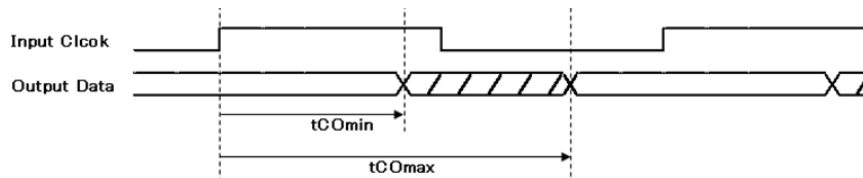
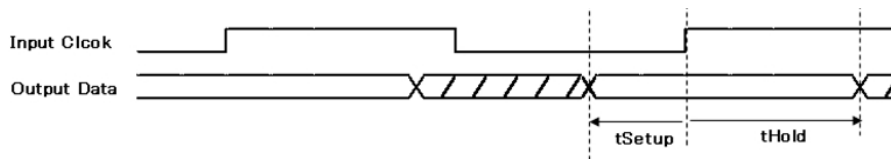


図 8-24. 出力遅延制約 [Output Delay] ボックスチェック有り



Step7 [オプション] データ出力かクロック出力どちらか一方の最終段のレジスタに、PLL で位相シフトしたクロックを使用している場合は、位相のシフト方向 (または基準となるクロックエッジ) の選択を行います。両方に同じ位相シフトしたクロックを用いている場合は不要です。

図 8-25. 出力遅延制約例 [PLL Phase Back] ボックスチェック無し

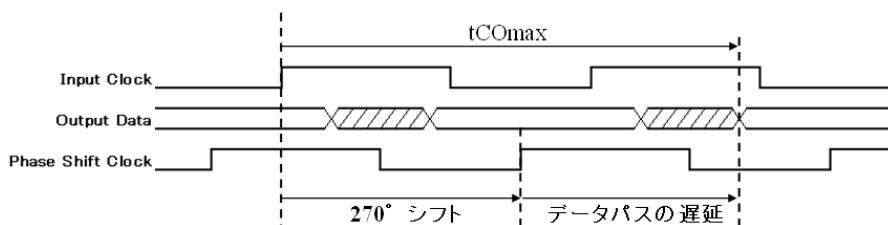


図 8-26. 出力遅延制約例 [PLL Phase Back] ボックスチェック有り

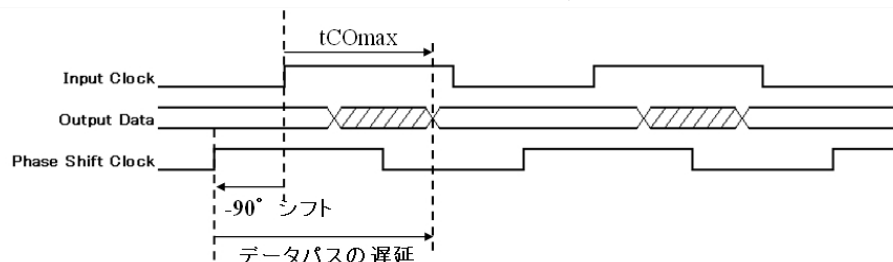


図 8-25 のように、PLL のリファレンスクロックを位相シフトさせたクロックが最終段のレジスタのクロックとして使用されている場合、[PLL Phase Back] チェックボックス (図 8-22 ⑥) にチェックが入っていないと、入力の基準クロックよりも遅れた (正の方向にシフトした) クロックエッジを基準に出力遅延を算出します。このため、場合によっては算出された値がクロック 1 サイクルを超えてしまうことがあります。

これに対し [PLL Phase Back] チェックボックスにチェックが入っていると、基準クロックより早い (マイナス方向にシフトされた) クロックエッジを基準に出力遅延の算出を行います (図 8-26)。

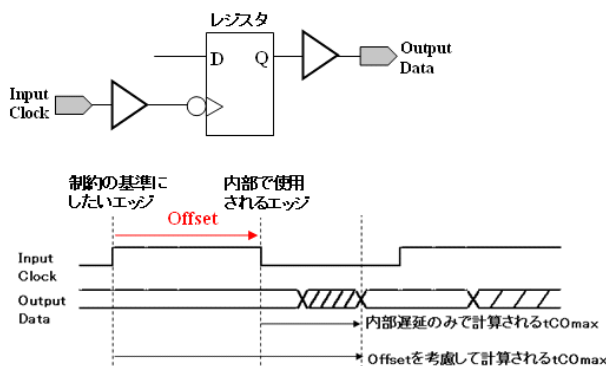
Step8 [必須] [Time] 欄 (図 8-22 ⑦) に制約の設定値を入力します。

入力する値は、基準クロックからの最大遅延 (図 8-23、 t_{COmax}) もしくは次段デバイスのセットアップ時間 (図 8-24、 t_{Setup}) です。

Step9 [オプション] [Min Time] 欄 (図 8-22 ⑧) に制約の設定値を入力します。

入力する値は、基準クロックからの最小遅延 (図 8-23、 t_{COmin}) もしくは次段デバイスのホールド時間 (図 8-24、 t_{Hold}) です。

図 8-27. Clock Offset の設定例



Step10 [オプション] 制約の基準となるクロックエッジと最終段のレジスタで使用されるクロックエッジが異なる場合や、出力の際はクロック/データともに立ち上がりエッジから生成されるのにそれを

受けるデバイスは立ち下がりエッジでラッチする場合など、解析の補正を行うため [Clock Offset] 欄にエッジ間の時間（デューティ比）を入力します。

[Clock Offset] 欄の補正值は、クロックの High または Low の期間の割合を小数で入力します。[1] で 1 サイクルの遅延、[-1] ではクロックの位相を 1 サイクル分早める方向に補正されます。

Lattice Diamond の解析では、[出力遅延]=[クロック遅延]+[最終段レジスタからポートへの遅延]で計算されます。デフォルトでは「基準となるクロックエッジと最終段レジスタのクロックエッジは同じ」です。

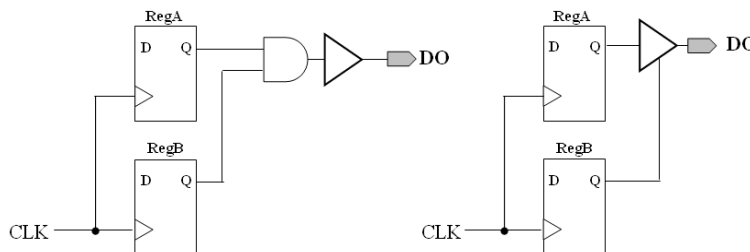
表 8-1. クロックエッジの組み合わせと Offset 設定値

基準クロックエッジ	レジスタのクロックエッジ	Clock Offset
立ち上がり	立ち上がり	0
立ち下がり	立ち下がり	0
立ち上がり	立ち下がり	クロックの High 期間
立ち下がり	立ち上がり	クロックの Low 期間

Step11 [オプション] 出力遅延の解析対象とするパスの始点となるレジスタを限定する場合は、[From Cell:] ボタン (図 8-22 ⑩) をクリックして立ち上がってくるウインドウ上でレジスタを選択します。

図 8-28 のように複数のレジスタ出力が論理回路を介して出力されている場合、[From Cell:] 欄でどちらかのレジスタを選択すると、選択されたレジスタを介するパスだけが解析されます。何も選択しなければ、全てのパスが解析対象となります。

図 8-28. 出力遅延の解析対象パスが複数になる例



Step12 [必須] 必要な項目の入力が完了したら、[OK] ボタンをクリックします。

設定された内容は、スプレッドシート・ビューの [Timing Preferences] シートに表示されます。設定を変更する場合は、[Timing Preferences] に表示されている制約をダブルクリックします。削除する場合は、制約を選択してキーボードの [Delete] キーを押します。

*****-----

- ・ Lattice Diamond は、この制約に対してクロックとデータの遅延が max 同士、min 同士の組み合わせで解析します。しかし現実にはクロック／データそれぞれが min-max 間の遅延を取ることしか保証されていないため、レポート結果とは遅延値の逆転等が発生しクロックとデータ間の位相が、レポートされた範囲から外れることも考えられます
- ・ この制約で解析を行う場合は、予め十分 (20% 程度) なマージンを設定しておくことを推奨します

*****-----


8.4.4 特定パスのフォルスパス設定

BLOCK 制約でユーザが任意のパスを解析対象外（フォルスパス）に指定する（タイミング解析をブロックする）ことができます。以下のようなパスでフォルスパスに指定することができます。

特定のネット、或いはバスを通るパス

特定のグループ間、クロックネット間、ポート間、ASIC（マクロ）間、など

- ・ 特定の条件でデザイン全体にフォルスパス設定を行うこともできます（8.4.5 項参照）

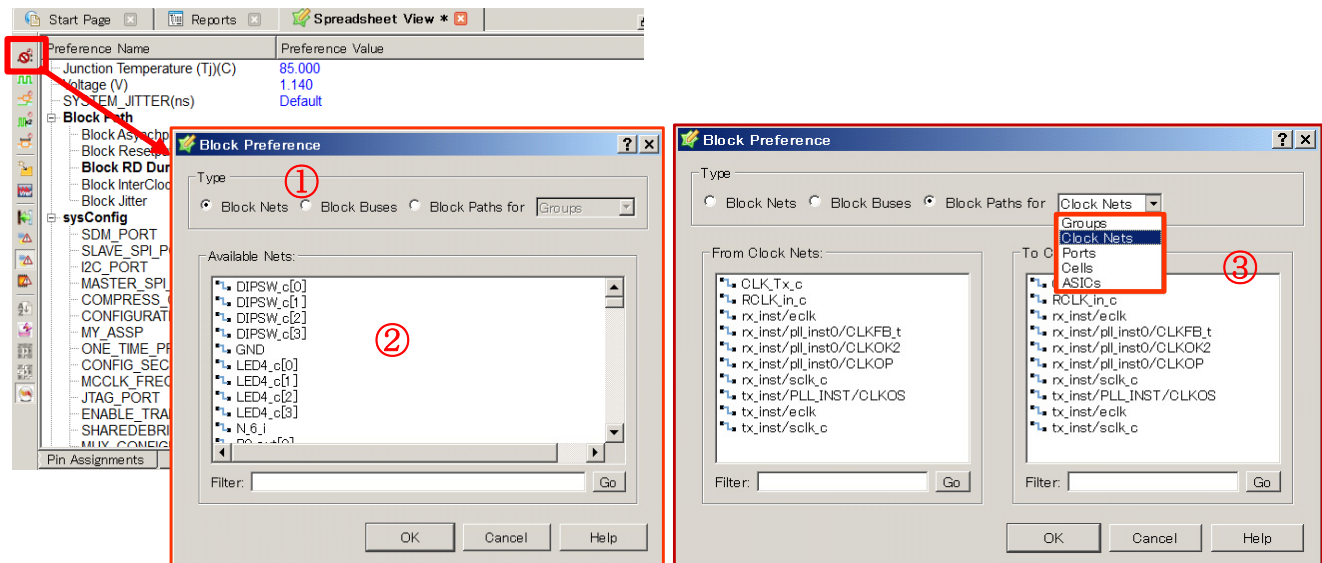
設定を行うためには、スプレッドシート・ビューの左側に表示されているアイコン  をクリックし、設定ウインドウを起動します（図 8-29）。設定は以下のように行います。

[Type] 欄（図 8-29 ①）で [Block Nets] または [Block Buses] を選択：

ネットやバスを含むパスをフォルスパスに設定する場合は、ウインドウ中段の欄（図 8-29 ②）に指定可能なネット名・バス名が表示されますので、制約対象外とするオブジェクトを選択します。それを含む全てのパスがタイミング解析の対象からはずされます。

図 8-30 を例に挙げると、論理回路 [Function2] の出力 [net1] を選択した場合、レジスタ Reg_b からレジスタ Reg_1/2/3 へのパスと、レジスタ Reg_c からレジスタ Reg_1/2/3 へのパスがフォルスパスになります（図 8-30 の赤く塗られたパスがフォルスパス）。

図 8-29. フォルスパス設定（左：ネット（またはバス）、右：グループ、クロックネットなど）



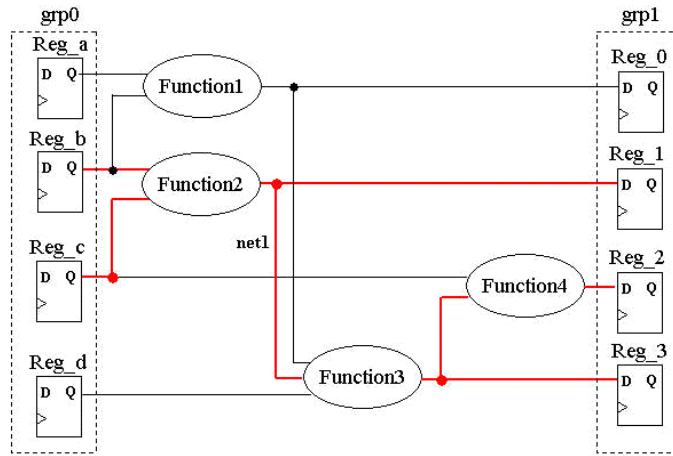
[Type] 欄（図 8-29 ①）で [Block Path for (Groups)] を選択：

選択肢は（図 8-29 右、③）のように Groups、Clock Nets、Ports、Cells、ASICs です。

指定したエレメント間のパスやクロックネット間全てをフォルスパスに設定する場合に選択します。ウインドウ中段の左右の欄がアクティブになり、選択可能なグループが表示されます。

左側の欄でパスの始点、右側の欄でパスの終点を選択します。始点／終点は両方指定する必要があります。

図 8-30. フォルスパス設定の例

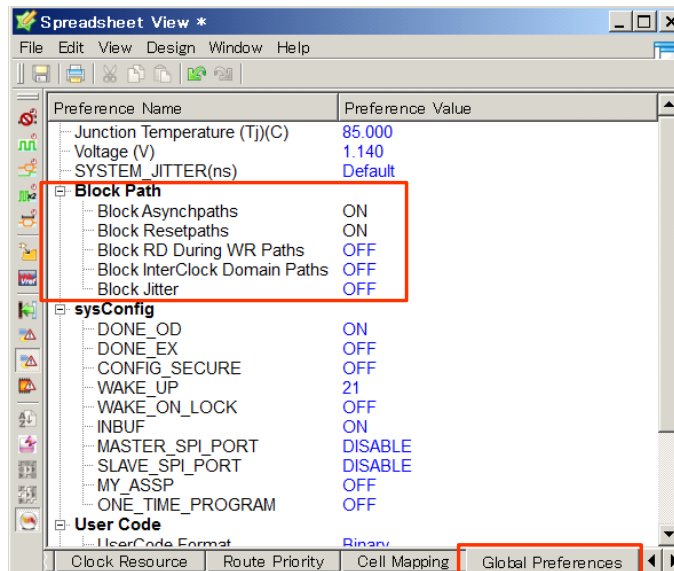


必要な項目の入力が完了したら、[OK] ボタンをクリックします。設定された内容は、スプレッドシート・ビューの [Timing Preferences] シートに表示されます。設定を変更する場合は、[Timing Preferences] に表示されている制約をダブルクリックします。削除する場合は、制約を選択してキーボードの [Delete] キーを押します。

8.4.5 デザイン全体に対するフォルスパス設定

BLOCK 制約ではまた、非同期リセットのパスや異なるクロックドメイン間パスを一括してフォルスパスに設定することができます。設定は、スプレッドシート・ビューの [Global Preference] シートで行います (図 8-31)。Global Preferences シートでは他にもコンフィグ条件等の様々な設定ができますが、本項ではフォルスパス設定についてのみ説明します。

図 8-31. デザイン全体に対するフォルスパス設定



用意されているフォルスパス設定は以下です。

- Block Asynchpaths ポートとレジスタ間のパスの解析をしない
- Block Resetpaths レジスタの非同期 SET / RESET ポートを通るパスの解析をしない

Block RD During WR Paths ブロックメモリの Read / Write ポート間の解析をしない。ブロックメモリの Read / Write 間の解析については、設定としては用意されていますが現実的に意味のある制約ではない

Block InterClock Domain Paths クロックドメインをまたぐパスの解析をしない

Block Jitter (8.4.1 項で記述した CLOCK_JITTER 値指定など) ジッタを印加した制約設定をすべて無効にしたタイミング解析を行う (注: Global Preference の一つとして定義されている「SYSTEM_JITTER」は値を指定せず、Default のままとすることを推奨します)

ポートとレジスタ間のパスの解析

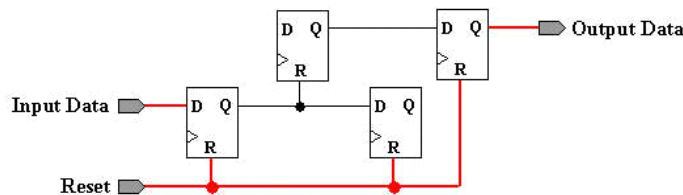
入力/出力ポートとレジスタ間のパス解析の設定です。[Block Asynchpaths] の欄で設定します。

[OFF] を選択した場合、ポートを同期パスの始点/終点に見立て、クロック周期/周波数制約の対象として解析を行います。[ON (デフォルト)] を選択した場合、ポートとレジスタ間のタイミング解析は行われません。

なお、この設定にかかわらず、[INPUT_SETUP] および [CLOCK_TO_OUTPUT] 制約に対する解析は行われます。

図 8-32 で赤く塗られたパスが [Block Asynchpaths] を [ON] に設定することで、クロック周期/周波数解析の対象外になるパスです。

図 8-32. Block Asynchpaths の効果



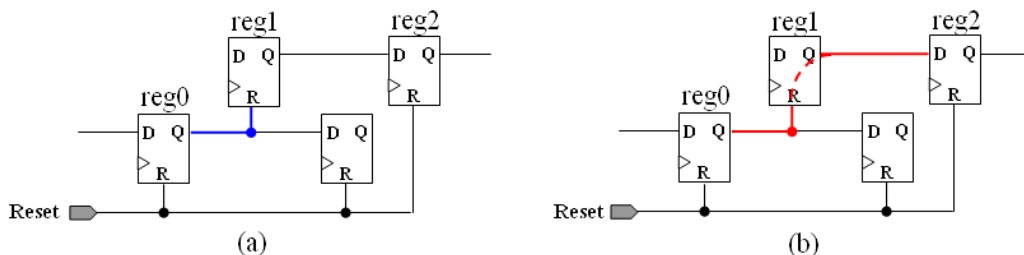
レジスタの非同期セット/リセットポートを通るパスの解析

レジスタの非同期 Set / Reset 入力から Q 出力へ抜けていくパスの解析に関する設定です。[Block Resetpaths] の欄で設定します。

[ON] (デフォルト) を選択した場合、レジスタの非同期セット/リセットポートから Q 出力に抜けていくパスが解析の対象外となります。

具体例を挙げると、[ON] に設定した場合に図 8-33 (a) の青く塗られたパス (reg0 の Q 出力から Reg1 の非同期リセット入力まで) は解析されますが、図 8-33 (b) の赤く塗られたパス (reg0 の Q 出力から Reg1 の非同期リセットを介して Reg2 の D 入力まで) は解析されません。

図 8-33. Block Resetpaths 設定で解析対象外となるパス



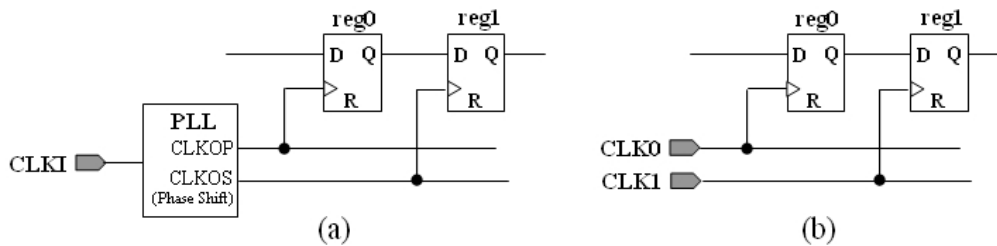
[OFF] を選択した際には、両方のパスが解析されます。

クロックドメインをまたぐパスの解析

パスの始点／終点のレジスタの「異なるクロックドメイン（クロック名が異なるパス）」のタイミング解析に関する設定です。[Block InterClock Domain Paths] 欄で設定します。

ここでの「異なるクロックドメイン（クロック名が異なるパス）」とは、クロックソースが同じでスキューが計算できるクロック間のパスを表します。例えば、1つの PLL から出力されるクロック間や、外部ピンからの入力とその分周クロック間といったパスです。入力ピンが違ってても制約でスキューを定義したクロック間も含まれます。スキューが計算できないクロックは、この設定に関わらず解析対象にはなりません。


図 8-34. Block Inter… 制約の対象となるパス (a) とならないパス (b)



[ON] を選択した場合、異なるクロックドメイン間のパスが解析されません。

なお、この制約は他のどのようなタイミング制約よりも優先されます。このためクロックドメインをまたぐパスにマルチサイクルパス設定等を行っていても、Block InterClock Domain Paths が優先されるためマルチサイクルパス設定は無効になります。**特段の意図がない限り、この設定は必ず [OFF] にしておきます。**

8.4.6 マルチサイクルパス設定

MULTICYCLE 制約で特定のパスに対して、複数クロックサイクルでのデータ伝送を想定した制約を設定することができます。スプレッドシート・ビューの左側に表示されているアイコン  をクリックし、設定ウインドウを起動します (図 8-35)。

マルチサイクルパス設定は以下の手順で行います。

Step1 [必須] [Type] 欄 (図 8-35 ①) で、制約のタイプを選択します。

選択するタイプによって、制約の内容と設定するパスの始点／終点として選択できる対象が異なります。

[General] はパスの始点／終点としてクロックネットおよび特定のレジスタやグループを設定することができます。[Clock Net to Clock Net] はクロックのみ、[Slow/Fast Path Exception] はグループのみをパスの始点／終点として選択できます。

Step2 [必須] [MultiCycle] 欄で、パスの始点／終点を選択します。

Step1 で選択したタイプに応じて設定可能なオブジェクトの選択ボタン (<path_elem> と CLKNET< * net> ボタン) がアクティブになっています (図 8-35 ②③)。アクティブになっているボタンをクリックすると、オブジェクト選択ウインドウが立ち上がります。

[CLKNET< * net>] をクリックした場合は、クロックのみが選択できるウインドウが立ち上がります。表示されているクロックから 1 つを選択して [OK] ボタンをクリックします。

[<path_elem>] をクリックした場合は、ロジックリソースを選択するウインドウが立ち上がります。このウインドウでは、まずオブジェクトのタイプを選択します (図 8-36 ①)。

図 8-35. マルチサイクルパス設定

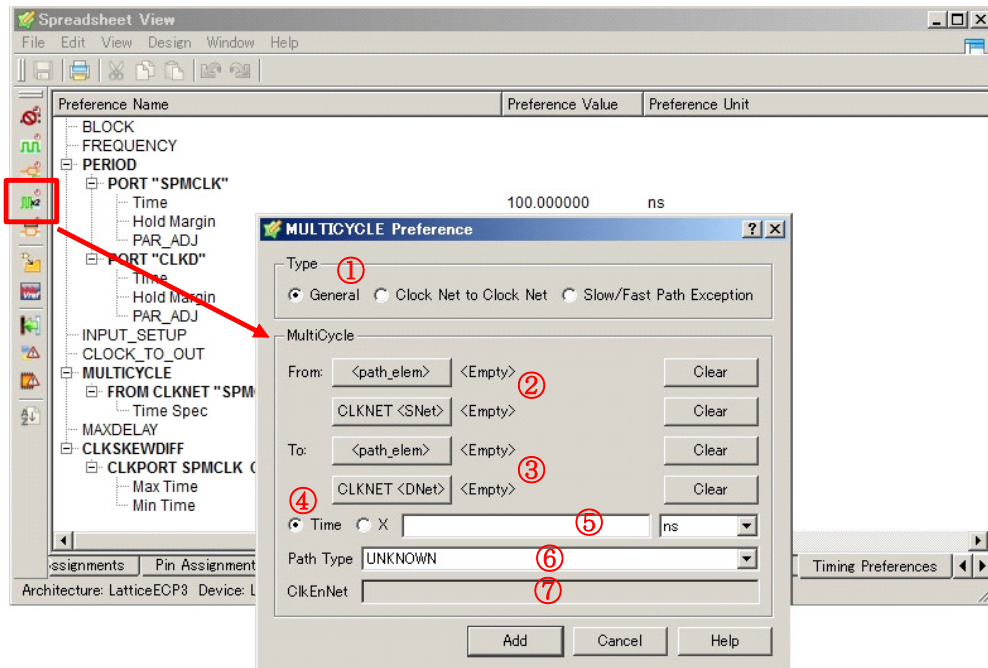
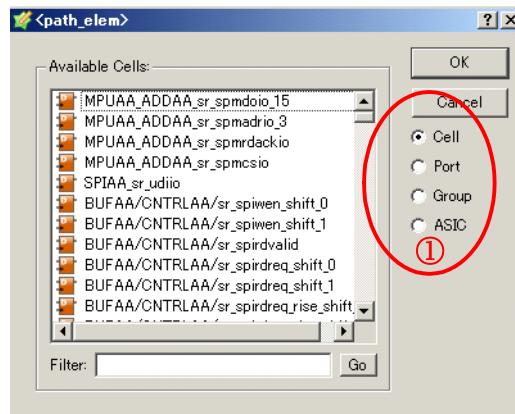


図 8-36. マルチサイクルパスのオブジェクト選択



ウインドウ右側に表示される対象のタイプにチェックを入れると左側の欄に選択可能なオブジェクトが表示されます。タイプの表示は [Cell] がレジスタ、[Port] がポート、[Group] がオブジェクトのグループ、[ASIC] が EBR 等のエンベデッドモジュールを表しています。タイプおよびオブジェクトを選択したらウインドウ右上の [OK] ボタンをクリックします。

始点/終点は両方設定する必要はありません。始点のみを設定した場合はそのオブジェクトを始点とする全てのパスが、終点のみを設定した場合はそのオブジェクトを終点とする全てのパスが制約の対象となります。

Step3 [オプション] 制約を与えるパスのタイプを選択します。

[Path Type] 欄 (図 8-35 ⑥) の設定により、制約の対象となるパスを制限することができます。

[UNKNOWN] (デフォルト) を選択した場合は、Step2 で設定した内容に該当する全てのパスが制約の対象となります。

[READPATH] を選択した場合は、分散メモリ周辺のパスのみが制約の対象となります。

[SAMECLKEN] を選択した場合は、共通のクロックイネーブル信号が接続されているパスだけが制約の対象となります。

[CLKEN_NET] を選択した場合は、ClkEnNet 欄 (図 8-35 ⑦) で指定したクロックイネーブル信号が接続されているパスだけが制約の対象となります。

Step4 [必須] パスに与える制約のタイプを選択します。

[Time] は遅延時間、[×] は元の制約 (周期) に対して何倍にするかを設定します。この中から 1 つを選択してチェックを入れます (図 8-35 ④)。

Step5 [必須] 制約値を設定します。

制約値を設定値欄に入力します (図 8-35 ⑤)。Step4 で [×] にチェックを入れている場合は、元になる制約も選択します。

[X_SOURCE] を選択した場合は、始点側レジスタのクロック制約が基準になります。[X_DEST] および [×] を選択した場合は、終点側レジスタのクロック制約が基準になります。

Step6 [必須] 必要な項目の入力が完了したら、[Add] ボタンをクリックします。

設定された内容は、スプレッドシート・ビューの [Timing Preferences] シートに表示されます。設定を変更する場合は、[Timing Preferences] に表示されている制約をダブルクリックします。削除する場合は、制約を選択してキーボードの [Delete] キーを押します。

8.4.7 特定パス／ネットに対する最大遅延設定


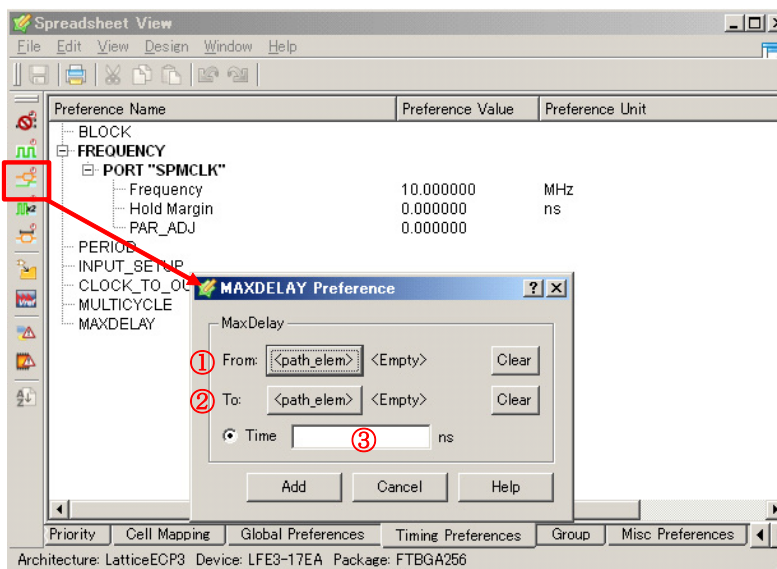
(MAXDELAY 制約で) 特定のパスに対して、最大遅延を設定することができます。設定を行うには、スプレッドシート・ビューの左側に表示されているアイコン  をクリックし、設定ウインドウを起動します (図 8-37)。

図 8-37. 最大遅延制約の設定

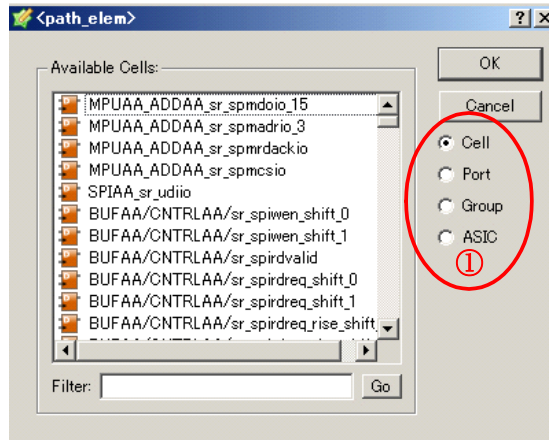


設定は以下の手順で行います。

Step1 [必須] パスの始点／終点を選択します。

[From] 欄 (図 8-37 ①) または [To] 欄 (図 8-37 ②) の [path_elem] ボタンをクリックすると、パスの始点または終点となるオブジェクトを選択するウインドウが立ち上がります。

図 8-38. 最大遅延制約のオブジェクト選択



このウインドウでは、まずオブジェクトのタイプを選択します (図 8-38 ①)。ウインドウ右側に表示される対象のタイプにチェックを入れると左側の欄に選択可能なオブジェクトが表示されます。タイプの表示は [Cell] がレジスタ、[Port] がポート、[Group] がオブジェクトのグループ、[ASIC] が EBR 等のエンベデッドモジュールを表しています。タイプおよびオブジェクトを選択したらウインドウ右上の [OK] ボタンをクリックします。

始点/終点は両方設定する必要はありません。始点のみを設定した場合はそのオブジェクトを始点とする全てのパスが、終点のみを設定した場合はそのオブジェクトを終点とする全てのパスが制約の対象となります。

Step2 [必須] パスに与える制約を設定します (図 8-37 ③)。

Step3 [必須] 必要な項目の入力が完了したら、[Add] ボタンをクリックします。

設定された内容は、スプレッドシート・ビューの [Timing Preferences] シートに表示されます。設定を変更する場合は、[Timing Preferences] に表示されている制約をダブルクリックします。削除する場合は、制約を選択してキーボードの [Delete] キーを押します。

```

****-----
・ 特定のネットに対して最大遅延制約をかけることもできますが、これは制約ファイルへの記述となります
****-----

```

8.4.8 タイミング制約設定用グループの作成

制約設定を効率的に行うために、タイミング検証の対象をまとめたグループを生成することができます。これを使用することにより、IO のタイミング制約や、内部信号に対するタイミング制約の際に、まとめて制約を設定することができます。


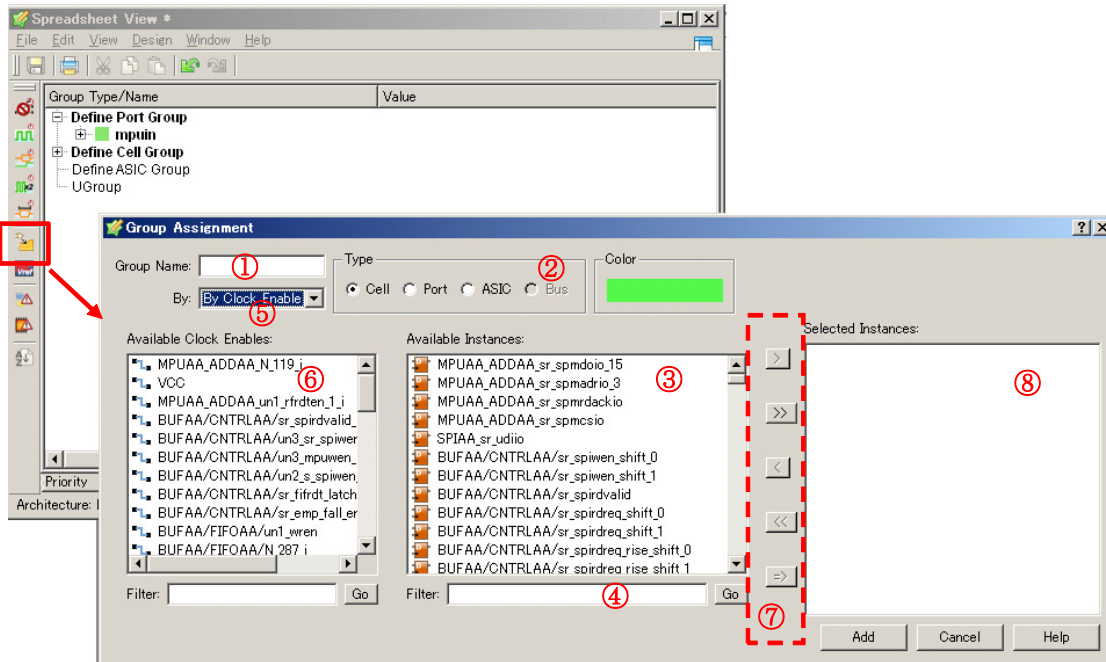
グループを作成するには、スプレッドシート・ビューの左側に表示されているアイコン  をクリックし、設定ウインドウを起動します (図 8-39)。

図 8-39. グループの生成



設定は以下の手順で行います。

Step1 [必須] [Group name] 欄 (図 8-39 ①) に、生成するグループ名を入力します。

Step2 [必須] [Type] 欄 (図 8-39 ②) 生成するグループのオブジェクトのタイプを選択します。

選択できるタイプは 3 つです。[Cell] はレジスタ、[Port] は入出力ピン、[ASIC] はブロック RAM や PLL などエンベデッドモジュールのポートのグループを生成する場合に選択します。

Step3. [オプション] グループに追加する対象を選択する前に、必要に応じてフィルタリングを行います。手順は Step2 で選択したタイプによって異なります。

タイプとして [ASIC] を選択した場合

中段左側の欄 (図 8-39 ⑥) にデザイン内のブロック RAM や PLL 等のインスタンス名が表示されます。

この欄でインスタンス名を選択すると、中央の欄 (図 8-39 ③) に選択したブロックのポート名が表示されます。この中からグループに追加するポートを選択します。

タイプとして [Cell] を選択した場合

中段中央の欄 (図 8-39 ③) にデザイン内のレジスタのインスタンス名が表示されます。デフォルトでは、全てのインスタンス名が表示されますが、インスタンス名や回路構成でフィルタリングすることができます。

・ インスタンス名によるフィルタリング

[Filter] 欄 (図 8-39 ④) に正規表現でフィルタリング条件を入力すれば、一致したインスタンス名のみが中段中央のボックスにリストされます。

・ 回路構成によるフィルタリング

[Group name] 欄の下にある [By] 欄 (図 8-39 ⑤) からフィルタリング条件を選択することで、回路構成によるフィルタリングを行うことができます。[Type] が [Cell] の場合は、[By] 欄で以下の条件を選択できます。

- By Clock : レジスタのクロックでフィルタリングを行います。
- By Clock Enable : レジスタのクロックイネーブル信号でフィルタリングを行います。
- By Instance : デフォルト設定です。回路構成によるフィルタリングを行いません。
- By Sync Reset : レジスタの同期 Set/Reset 信号でフィルタリングを行います。
- By Async Reset : レジスタの非同期 Set/Reset 信号でフィルタリングを行います。

[By Instance] 以外を選択すると、それに対応した信号が中段左側の欄に表示されます (図 8-39 ⑥)。**[By Clock]** を選ぶとデザイン内のクロック信号が、**[By Clock Enable]** を選択するとデザイン内のクロックイネーブル信号が表示されます。

これらの信号を選択すると、中央の欄にはその信号が接続されているインスタンス名のみが表示されます。この状態から、さらにインスタンス名でフィルタリングすることも可能です。

タイプとして [Port] を選択した場合

タイプとして [Port] を選択した場合、中段中央の欄にデザイン内のポート名が表示されます。デフォルトでは、全てのポート名が表示されますが、ポート名や方向性によりフィルタリングすることができます。

・ポート名によるフィルタリング

ポート名がリストされているボックスの下に [Filter] ボックスがあります (図 8-39 ④)。この欄内に正規表現でフィルタリング条件を入力すれば、一致したポート名のみが中段中央のボックスに表示されます。

・方向性によるフィルタリング

[Group name] ボックスの下にある [By] 欄からフィルタリング条件を選択することで、方向性によるフィルタリングを行うことができます。[Type] が [Port] の場合は、[By] 欄で以下の条件を選択できます。選択した条件に従って、ポート名が中央のボックスに表示されます。

- Input Ports : 入力ポートのみ
- Output Ports : 出力ポートのみ
- Bidi Ports : 双方向ポートのみ
- All Ports : 全てのポート

Step4 [必須] オブジェクトを選択し、グループに追加します。

中段の "Available Instances" や "Selected Instances" ボックスに表示されているオブジェクトに対する図 8-39 内⑦枠内の各ボタンに対するアクションは以下のとおりです。

- >** ボタン : Available Instances の中から特定のオブジェクト (インスタンスやポート) を追加する場合、欄内で追加する対象を選択して、このボタンをクリックする
- >>** ボタン : Available Instances の全オブジェクトをグループに追加する場合に、このボタンをクリックする
- <** ボタン : Selected Instances 内の特定オブジェクトをグループから削除する場合は、欄内で削除する対象を選択して、このボタンをクリック
- <<** ボタン : Selected Instances 内の全オブジェクトをグループから削除する場合、このボタンをクリック
- =>** ボタン : [Filter] に入力した正規表現に一致するオブジェクトが Available Instances 欄内に表示されている状態で、その全てを追加する場合に、このボタンをクリックする。ただし、この場合回路構成条件やポートの方向性を無視して名前が一致する全てのオブジェクトが対象となるため、使用する際は十分に注意してください。

Step5 [必須] オブジェクトの追加が完了したら、ウインドウ右下の [Add] ボタンをクリックします。

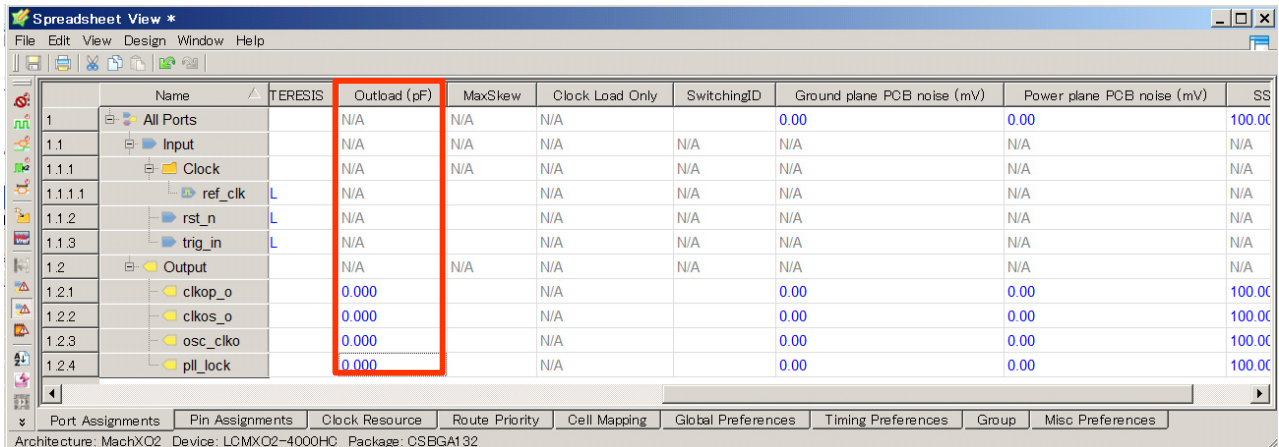
設定された内容は、スプレッドシート・ビューの [Group] シートに表示されます。設定を変更する場合は、[Timing Preferences] に表示されている制約をダブルクリックします。削除する場合は、制約を選択してキーボードの [Delete] キーを押します。

8.4.9 出力負荷の設定

出力ピン（または双方向ピン）からの信号遅延をより正確に見積もるために、負荷容量を設定することができます。負荷は [Port Assignments] シートで、出力ポートの [Output Port] 列のセルに入力（図 8-40）、単位は pF です。

本負荷容量は出力遅延の解析に加えて、SSO アナライザでも使用します。同時スイッチングノイズ量は本容量値が 0 の場合は有効な値が得られませんので、留意してください。

図 8-40. 出力負荷の設定

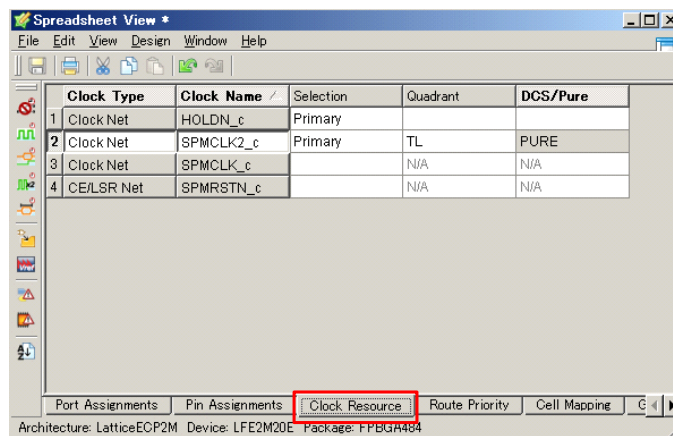


8.5 配線関連の制約

8.5.1 クロック専用配線リソースの指定

クロック専用配線のリソース指定やクワドラント（Quadrant）分割設定は、SpreadsheetView の [Clock Resource] シートで行います（図 8-41）。

図 8-41. クロックリソースの選択



設定は以下の手順で行います。

Lattice Diamond 日本語ユーザガイド

Step1 [オプション], [Selection] 行のセルで使用するクロック専用配線リソースを選択します。

セルをダブルクリックすると選択可能状態になります。キーボードの [↑] または [↓] キーを押すと、選択内容を切り替えられます。また、ボタンをクリックすると選択肢の一覧が表示されます。

[Selection] 行では、以下のものが選択できます。

- Primary : Primary クロックネットワークにアサインする (クロックのみ選択可)
- Secondary : Secondary クロックネットワークにアサインする
- Prohibit Primary : Primary クロックネットワークにはアサインしない
- Prohibit Secondary : Secondary クロックネットワークにはアサインしない
- Prohibit Both : 両クロック専用配線にはアサインしない

*****-----

- ・ アサインする配線が選択されていないクロックは、配置配線実行時にツールが自動で選択します

*****-----

Step2 [オプション], [Quadrant] 行のセルで使用するクワドラントを選択します。

Lattice FPGA では、デバイスを 4 つの領域 (Quadrant : クワドラント) に分割して使用できるクロック配線があります。分割して使用する場合は、その領域を選択します。

*****-----

- ・ クワドラント分割は、ほとんどのデバイスで Primary クロックでのみサポートされます
- ・ [Selection] セルでクワドラント分割できないクロック配線を選択している場合は、[Quadrant] 行がグレーアウトされます
- ・ なにも選択しない場合は、全てのクワドラントが使用されます

*****-----

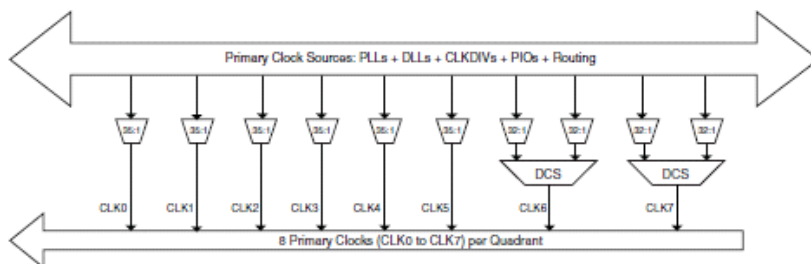
表示される選択肢は、それぞれ以下の領域を表しています。

- TL : 左上のクワドラントのみ
- TR : 右上のクワドラントのみ
- BL : 左下のクワドラントのみ
- BR : 右下のクワドラントのみ
- TL_TR : 上側半分
- TR_BR : 右側半分
- BR_BL : 下側半分
- BL_TL : 左側半分
- ALL : 全クワドラント (Global)

Step3 [オプション], [DCS/PURE] 行のセルで使用するクロックラインの選択を行います。

Primary クロック配線のうち、何本か (ファミリにより異なる) は、DCS (Dynamic Clock Select - ハザードの出ないクロック選択回路) を持ちます (図 8-42)。この設定では [DCS を介してレジスタに接続されるクロック配線 (DCS)] か、[DCS を介さないでレジスタに接続されるクロック配線 (PURE)] かを選択します。

図 8-42. Primary クロック配線



*****-----

- ・ DCS は HDL ソースに明示的にインスタンスしなければ、セレクタとしての機能は実装されず (セレ

クト信号が固定)、単なるバッファとなります


- ・ DCS を持つ配線は、DCS を持たない配線に比べクロックバッファからレジスタまでの遅延が大きくなりますが、DCS の有無は同期回路の動作周波数に影響を与えません
- ・ 何も選択されていなければツールが任意にアサインを行います (DCS を持たないクロック配線からアサインされます)


*****-----

8.5.2 特定ネットの配線優先度指定

特定の信号に対し、Place & Route プロセスでの配線処理の優先度を設定することができます。設定は、SpreadsheetView の [Route Priority] シートで行いますが、優先度を設定する信号の選択には、GUI ツールネットリスト・ビューも起動する必要があります。

設定は、以下の手順で行います。

Step1 [必須] プロジェクト・ナビゲータのツールバーから、アイコン  をクリックしてネットリスト・ビューを起動します。

ツールバーで、アイコン  をクリックするとデザイン内の信号名のリストが表示されます。

Step2 [必須] ネットリスト・ビューに表示されている信号名から配線優先度を設定する信号名を選択し、SpreadsheetView の [Route Priority] シートへドラッグします。

この処理を行うには、事前に SpreadsheetView で [Route Priority] シートを選択しておく必要があります。また、GUI をカスタマイズしてネットリスト・ビューとスプレッドシート・ビューが同時に表示されるようにしておく必要があります。

Step3[必須] [Route Priority] シート上で、信号の優先度を設定します。

優先度は [Prioritize] 行のセルで数値を設定することで行います (図 8-44)。セル内の値が大きいほど優先度が高いことを表します。デフォルト値は全て [3] です。値の最大値は 100 です。

図 8-43. ネットリスト・ビューの起動

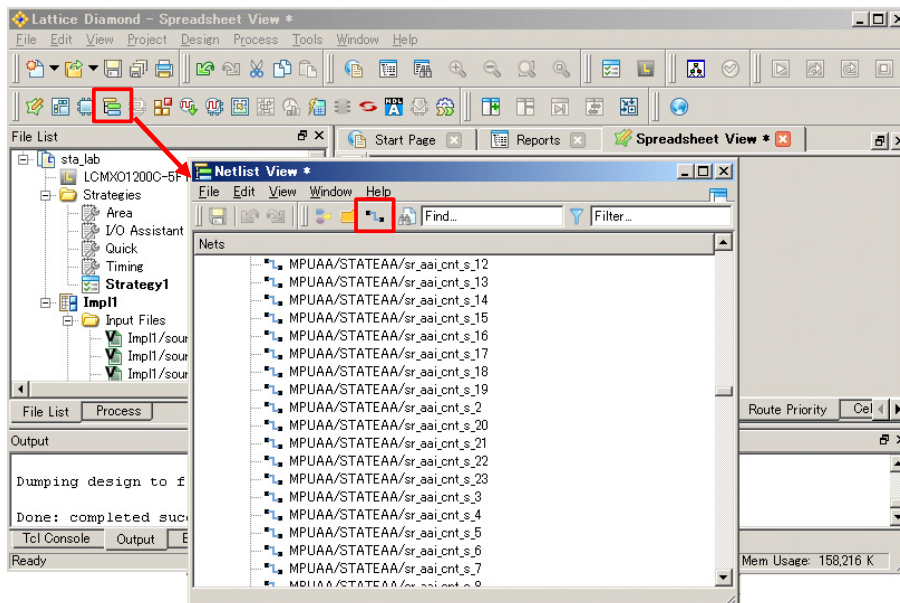
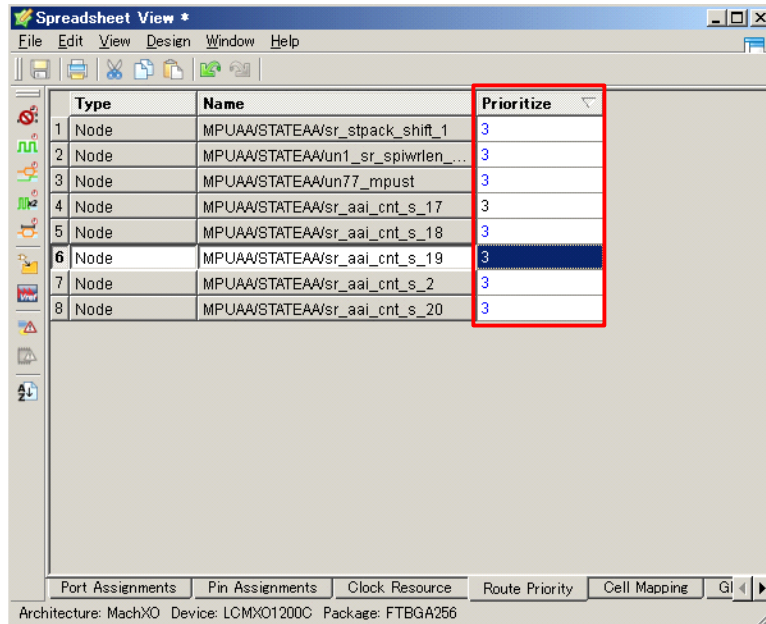


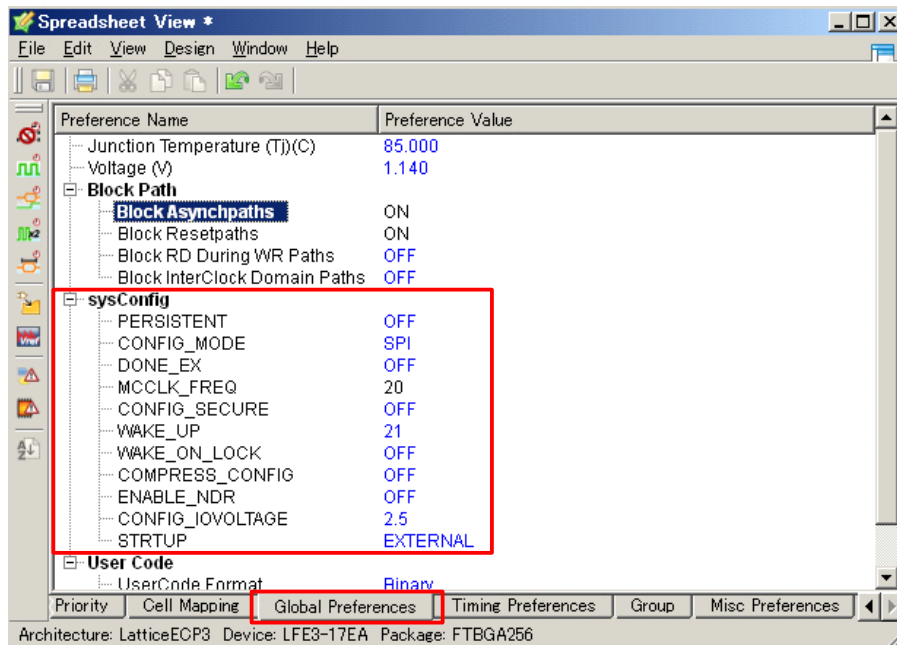
図 8-44. 配線の優先度設定



8.6 コンフィグレーション関連の設定

コンフィグレーション関連の設定は、SpreadsheetView の [Global Preference] シートで行います (図 8-45)。

図 8-45. コンフィグレーション関連の設定



コンフィグ関連の設定は、デバイスファミリによって表示 (サポートする) 項目が異なります。主な設定としては以下のものがあります (Global Preference シートにはサポートされるもののみが表示されます)。

PERSISTENT

コンフィグレーション完了後にユーザ I/O として使用できる sysCONFIG (コンフィグレーション関連) ピンに関する設定です。

[OFF] を選択した場合、sysCONFIG ピンはコンフィグレーション完了後にユーザ I/O として使用できません。

[ON] を選択した場合、sysCONFIG ピンは内部のコンフィグデータへアクセスするピンとして機能します。このためユーザ IO として使用できません。

CONFIGMODE

コンフィグレーションモードの選択をします。この設定は DRC の際に、コンフィグレーション関連のピンについてチェックする際にのみ参照されます。

実デバイスのコンフィグレーションモードは専用ピンによって決められるので、この設定はデバイスでのコンフィグレーションモードには影響を与えません。

DONE_OD

コンフィグレーションの完了を通知する DONE ピンのバッファタイプに関する設定です。

[ON] (デフォルト) を選択した場合は、DONE ピンはオープンドレインになっています。

[OFF] を選択した場合は、VCCIO 電圧に依存した High レベルを出力できます。

DONE_PULL

コンフィグレーションの完了を通知する DONE ピンの内部 pull-up 抵抗に関する設定です。

[ON] (デフォルト) を選択した場合は、DONE ピンが内部で pull-up されます。

[OFF] を選択した場合は、内部で pull-up されません。

DONE_EX

コンフィグレーション完了後のスタートアップ・シーケンスに関する設定です。

[OFF] (デフォルト) を選択した場合は、コンフィグレーションが完了すると、無条件にスタートアップ・シーケンスが開始されます (DONE は当該デバイスが出力)。

[ON] を選択した場合は、コンフィグレーション完了後、外部から DONE ピンが High レベルにドライブされるまで、スタートアップ・シーケンスの開始を待ちます。

*****-----

- ・ DONE_EX = ON に設定した場合は、必ず DONE_OD = ON もしくは DONE_PULL = OFF に設定してください。また、WAKE UP シーケンスは必ず 1 ~ 7 の中から選択してください

*****-----

MCCLK_FREQ

マスタモードでコンフィグレーションを行う際に、デバイスから出力するクロック周波数を選択します。単位は MHz です。

コンフィグレーション時間を短くしたい場合は、使用するコンフィグレーションメモリがサポートできる範囲内で高速なクロック周波数を選択してください。

また、SED マクロを使用する場合は、HDL ソース内で記述する SED マクロのクロック周波数とこの設定値を同じにしてください。

CONFIG_SECURE

コンフィグレーション完了後のデータ読み出し (Read Back) 動作に関する設定です。

[OFF] (デフォルト) を選択した場合は、JTAG ポートまたは sysCONFIG ポートからデバイス内のコンフィグレーションデータを Read Back できます。

[ON] を選択した場合は、JTAG ポートまたは sysCONFIG ポートからの Read Back を禁止します。

WAKE_UP

コンフィグレーション完了後に、デバイスをユーザモードに移行する際のシーケンス (WAKE UP シーケンス) を選択します。

内部リセットの解除タイミング、I/O ピンのユーザモードへの切り替え、DONE 信号立ち上がりのタイミングなどを制御します。

シーケンスごとに番号が設定されていますので、その番号を選択してください。番号とシーケンスの対応は、各デバイスのコンフィグレーション関連のテクニカルノートを参照してください。

WAKE_ON_LOCK

コンフィグレーション完了後に、WAKE UP シーケンスを開始するタイミングの設定です。

[OFF] (デフォルト) を選択した場合は、コンフィグレーション完了後に無条件で WAKE UP シーケンスが開始されます。

[ON] を選択した場合は、使用されている全ての PLL が LOCK 後に WAKE UP シーケンスが開始されます。

COMPRESS_CONFIG

コンフィグレーションデータ生成時のデータ圧縮に関する設定です。

[OFF] (デフォルト) を選択した場合は、圧縮されないコンフィグレーションデータが生成されます。

[ON] を選択した場合は、圧縮されたコンフィグレーションデータが生成されます。データの圧縮率はオリジナルのデータパターンに依存します。

INBUF

未使用の I/O への電源供給に関する設定です。

[OFF] (デフォルト) を選択した場合は、未使用の入力バッファに対しても電源が供給されます。

[ON] を選択した場合は、未使用の入力バッファに対しての電源供給を止め、消費電力を下げることができます。

*****-----

- ・ Boundary Scan テストを行う場合は、必ず [OFF] を選択してください

*****-----

ENABLE_NDR

再コンフィグレーションの際の、I/O バッファの状態に関する設定です。

[OFF] (デフォルト) を選択した場合は、再コンフィグレーション中は全ての I/O が Tri-state (+ 内部 pull-up) 状態になります。

[ON] を選択した場合は、再コンフィグレーション中はコンフィグレーション開始前の状態を維持します。

*****-----

- ・ 「再コンフィグレーション」は一度コンフィグレーションが完了した状態のデバイスに、JTAG からの書き込みを行うか PROGRAMN ピンをトグルさせて強制的にコンフィグレーションを開始させることを指します

*****-----

MASTER_SPI_PORT

LatticeXP2 ファミリの sysCONFIG ポートの用途に関する設定です。

[DISABLE] (デフォルト) を選択した場合、sysCONFIG ポートをユーザ IO として使用できます。

[ENABLE] を選択した場合、sysCONFIG ポートが SPI のマスタモードとなり、外部の SPI flash メモリからコンフィグレーションデータのリードが行えます。

SLAVE_SPI_PORT

LatticeXP2 ファミリの sysCONFIG ポートの用途に関する設定です。

[DISABLE] (デフォルト) を選択した場合、sysCONFIG ポートをユーザ IO として使用できます。

[ENABLE] を選択した場合、sysCONFIG ポートが SPI のスレーブモードとなり、外部からこのポート経由で LatticeXP2 内部のコンフィグレーションメモリのリード等が行えます。

MY_ASSP

LatticeXP2 ファミリで JTAG ポートから読み出すデバイス ID を変更するための設定です。

[OFF] (デフォルト) を選択した場合、デバイス ID は通常のデバイス固有の ID となります。

[ON] を選択した場合、[USER CODE] として設定した値がデバイス ID となります。

ONE_TIME_PROGRAM

LatticeXP2 ファミリのコンフィグレーションデータの書き換え防止のための設定です。

[OFF] (デフォルト) を選択した場合、何度でも内蔵 Flash メモリ内のコンフィグレーションデータを書き換えられます。

[ON] を選択した場合、その設定で作成したデータを書き込むとその後はコンフィグレーションデータの書き換えができなくなります。

*****-----

- ・ [ON] にした場合でも、[Tag メモリ] の書き換えと、ブロックメモリから内蔵 Flash メモリヘデータを保存する [Flash Bak] 機能は使用できます

*****-----

CONFIG_VOLTAGE

sysCONFIG 用の IO バンクに供給する電源電圧の設定です。

ピンアサインの DRC の際に、この電源電圧を基準に IO タイプのアサインをチェックします。

STARTUP

コンフィグ完了後のスタートアップ・シーケンスで使用するクロックの選択設定です。以下の4つから1つを選択します。

- EXTERNAL : 外部から入力されるクロックを使用します。モジュールをインスタンスします。
- TCLK : JTAG の TCK を使用します。
- CCLK : CCLK ポートからの入力クロックを使用します。
- MCLK : MCLK ポートへ出力するクロック (デバイス内で生成) を使用します。

[EXTERNAL] を選択しても HDL ソースに [START] モジュールがインスタンスされていない場合、スタートアップ・シーケンスで使用されるクロックはコンフィグモードに依存します (コンフィグで使用されたクロックが選択される)。

TCLK / CCLK / EXTERNAL を選択した場合は、DONE がアサートされた後も継続して 100 サイクル以上のクロックを入力し続けてください。

8.7 改訂履歴

Ver.	Date	page	内 容
2.3F	June.30, 2014	8-1	表「設定項目と設定方法」削除、関連記述削除
		8-4	図 8-4 差し替え
		8-23	8.4.5 項、フォルスパス記述更新、図 8-31 差し替え。Block Jitter 記述追加
		8-36	図 8-45 差し替え
3.1v1.1	Aug.2014	-	「8.5.3 IO レジスタのアサイン」を 8.3.5 節に移動
		-	「8.4.3 入力クロックを基準としたデータ出力遅延制約の設定」と「8.4.4 出力クロックを基準とした、、、」を統合し、「8.4.3 データ出力遅延制約の設定」
3.3	Mar.2015	8-3	図 8-4 更新
		8-7	Clarity Designer について言及追加

--- *** ---