

インテル® Agilex™ FPGA & SoC
外部メモリー・インターフェイス (EMIF)
回路図確認項目

macnica

株式会社マクニカ アルティマカンパニー

Rev.1.0 2020/9

本資料の目的

- **メモリー周りの接続はデバイスやプロトコルごとに異なる箇所があり紛らわしく間違いが多くなります**
- **本資料では適切なメモリー周りの接続を示し、回路図確認の際の不明点を明確にすることを目的とします**

対象デバイス：インテル® Agilex™ FPGA & SoC

対象メモリー・トポロジー：DDR4

Agenda

1. Component

2. UDIMM / RDIMM

Appendix

User-Requested Reset

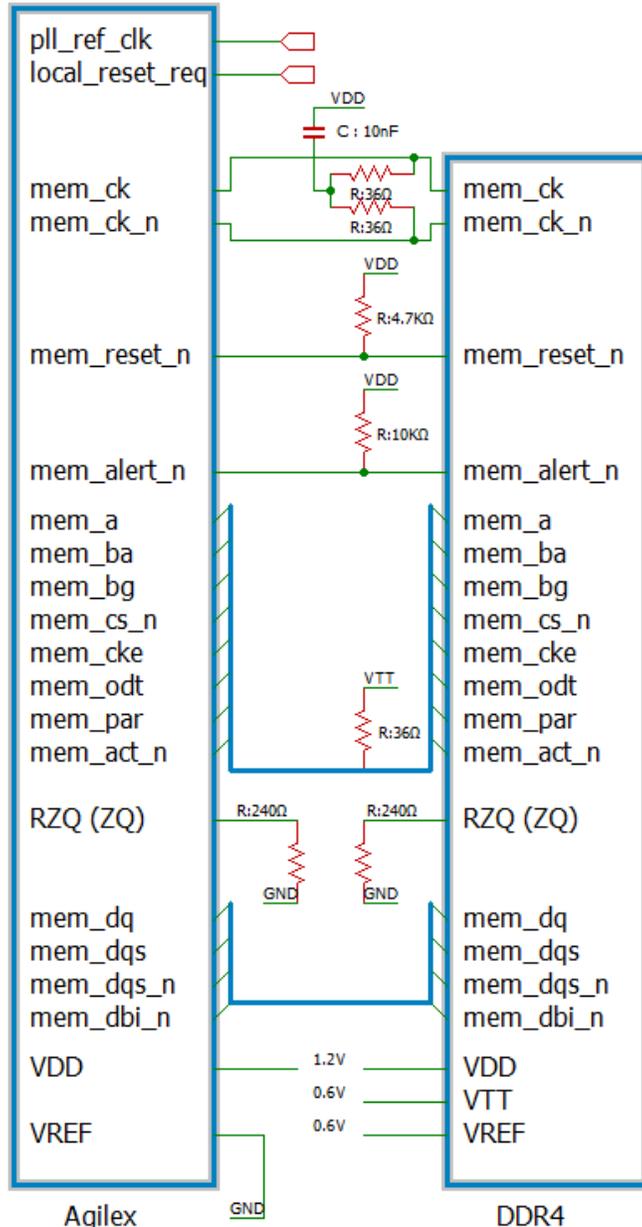
Calibration IP に関して

ピン配置に関して

1. Component

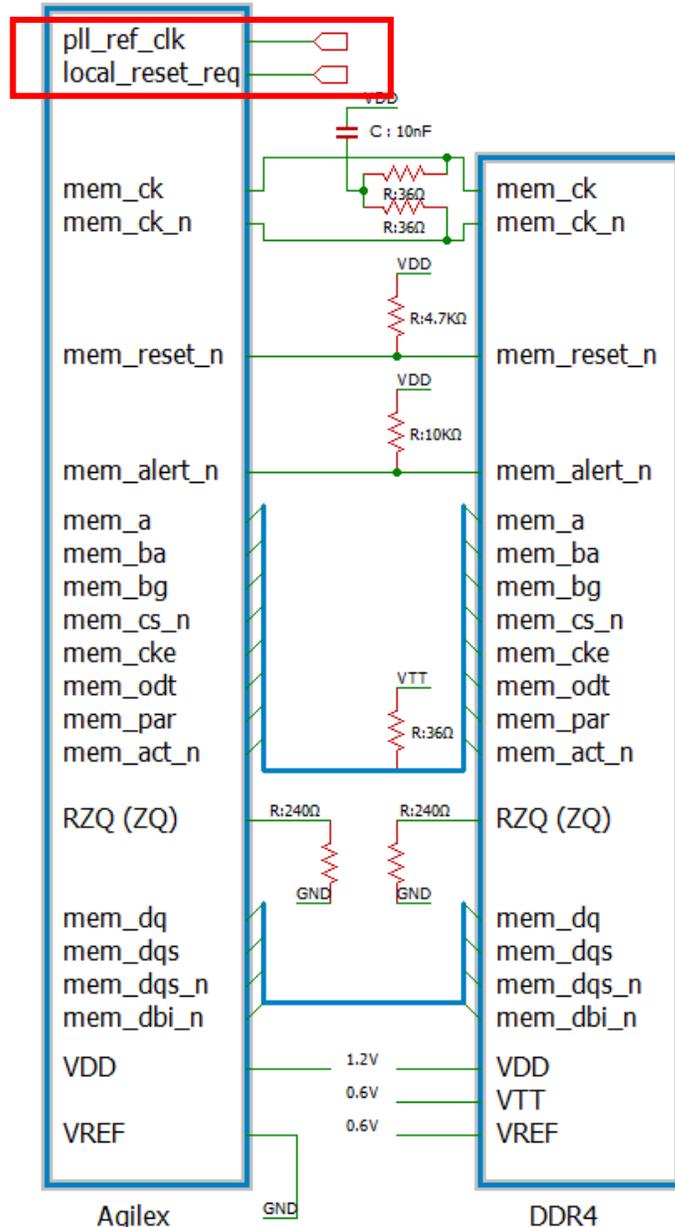
MACNICA

Agilex + DDR4 の回路図確認



- 左図は Agilex + DDR4 の参考回路図
- 抵抗値を決める際は必ず基板シミュレーションが必要です
 - 基板シミュレーションの結果が良い方を選択してください
- 左図は Component の接続を表しています
 - DIMM の場合 mem_reset_n 以外は DIMM モジュール上でプルアップ処理されています
 - このため mem_reset_n 以外は基板上の処理が不要です
 - **DIMM における mem_reset_n の処理は以下の項を参照して下さい**
 - DIMM の注意点

Agilex + DDR4 の回路図確認 1/7



- **pll_ref_clk : 専用ピンに接続**

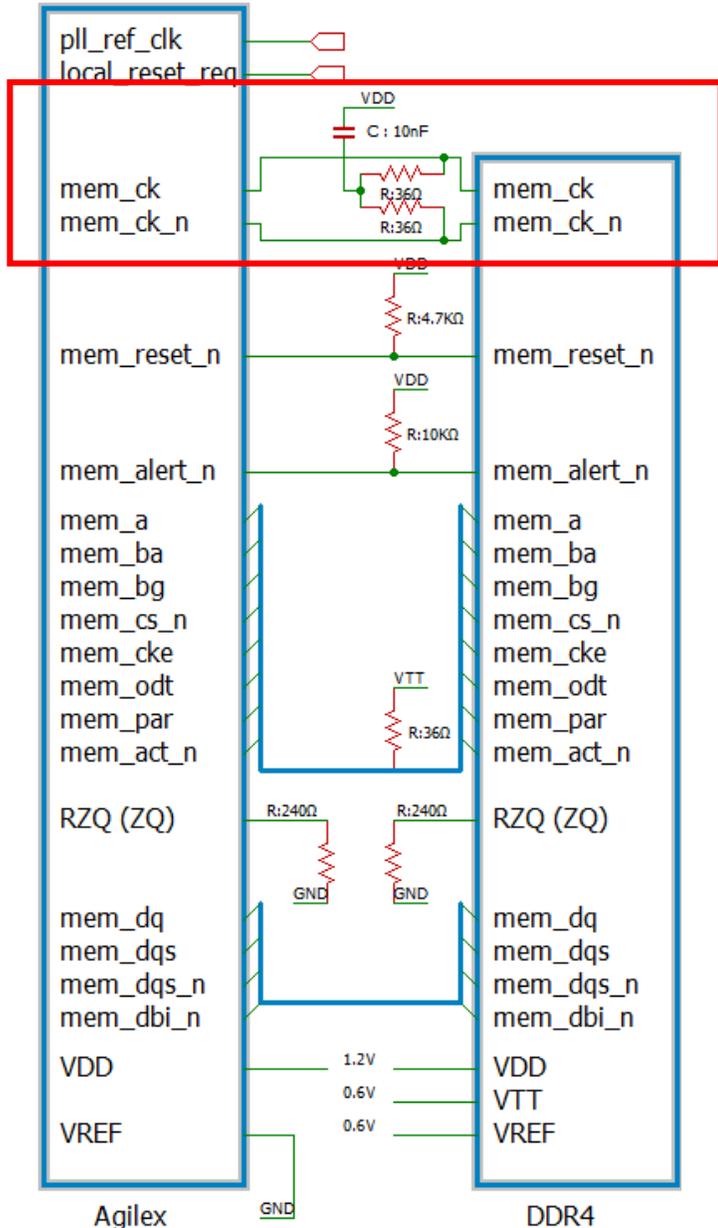
- Address/Command のサブバンクにあるクロック入力専用ピンに接続する必要があります
 - Single-End の時 : Lane2 index0 に配置
このとき Lane2 index1 は I/O として使用できません
 - Differential の時 : Lane0, 1, 2 に配置
- 詳細は以下の資料を参照
 - External Memory Interfaces Intel® Agilex™ FPGA IP User Guide

[6.3.3.4. Specific Pin Connection Requirements](#)

- **local_reset_req : 終端の必要なし**

- ピン配置の制限は無し
- 使用方法に関して注意が必要です
 - [3.5. User-requested Reset in Intel Agilex EMIF IP](#)
- 詳細は以下のAppendixを参照
 - [Appendix : User-Requested Reset](#)

Agilex + DDR4 の回路図確認 2/7



● mem_ck :

差動終端 (抵抗値/容量は基板SIMで判断)

- コモンモード・ノイズ低減回路付き終端を接続する
 - EMIF User Guide では抵抗値は 36Ω、容量 10nF

Figure 63. Signal connections for DDR4 Single Rank x 8 Discrete Topology (9 memory devices to cover 72 bits)

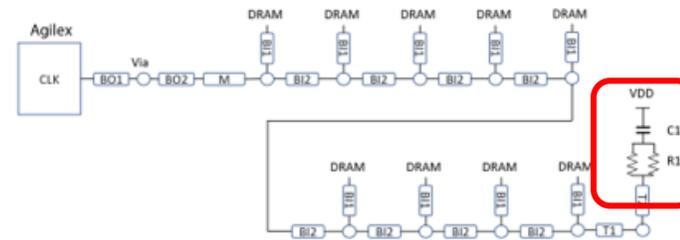
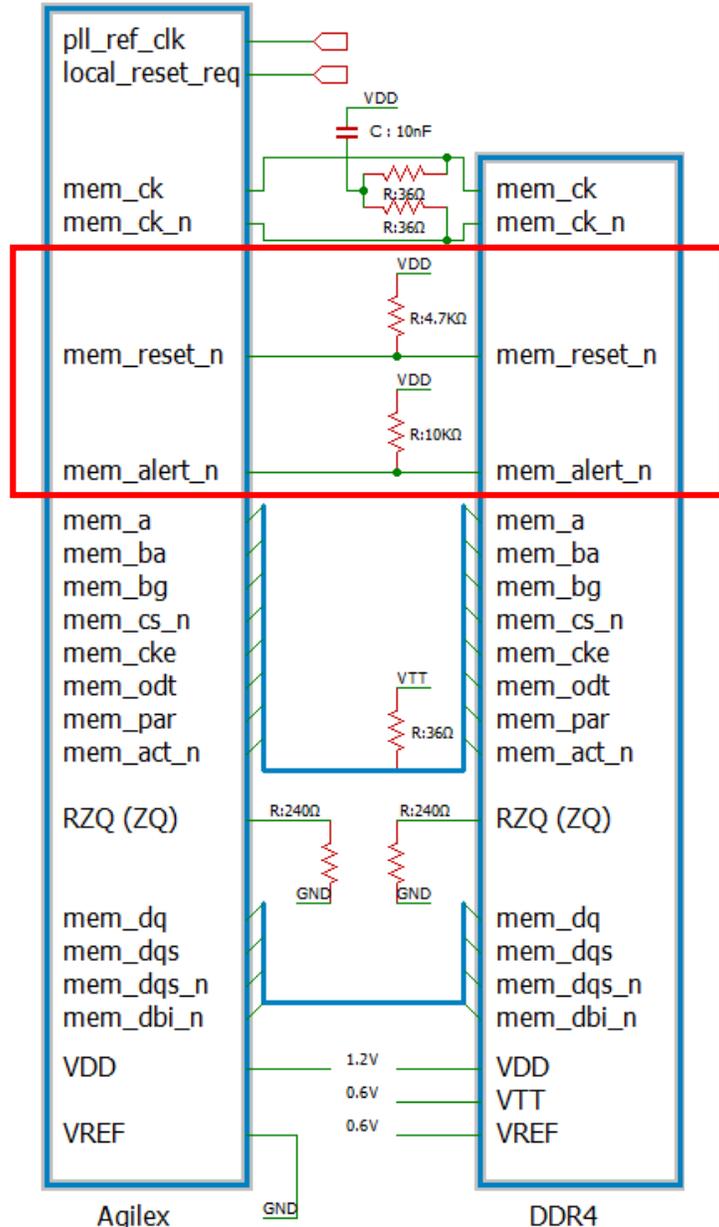


Table 125. Specific Routing Guidelines for Single Rank x8 Discrete Memory Topology for All Supported Signals in the Interface

Table 125. Specific Routing Guidelines for Single Rank x8 Discrete Memory Topology for All Supported Signals in the Interface

Signal Group	Segment	Routing Layer	Max Length (mil)		Target Zse (ohm)	Trace Width, W (mil)	Trace Spacing, S1 (mil): Within Group	Trace Spacing, S2 (mil): CMD/CTRL/CLK to DQ/DQS	Trace Spacing, S3 (mil): DQ Nibble to Nibble	Trace Spacing (mil), Within DIFF pair	Trace Spacing (mil), DQS pair to DQ	Trace Spacing (mil), CLK pair to CMD/CTRL/CK E	Rtt / Ctt
			Segment	Total MB									
CLK	BO1	US	50	To first DRAM: 4000 To last DRAM: 9600	4	5, 17	17	4	4	17	12 (3h)	12 (3h)	R1=36ohm C1=10nF
	BO2	SL	1000										
	M	SL											
	B11	US	50										
	B12	SL	700										
	T1	SL	300										
	T2	US	50										

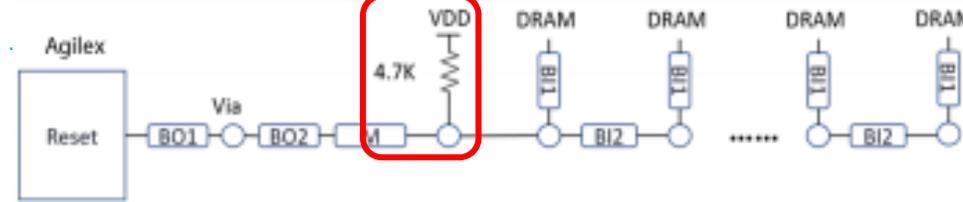
Agilex + DDR4 の回路図確認 3/7



- **mem_reset_n :**
抵抗を介して VDD 接続 (抵抗値は基板シミュレーションで判断)

- EMIF User Guide では 抵抗値は 4.7KΩ

- [Figure 65. RESET Scheme for Single Rank x8 and Single](#)

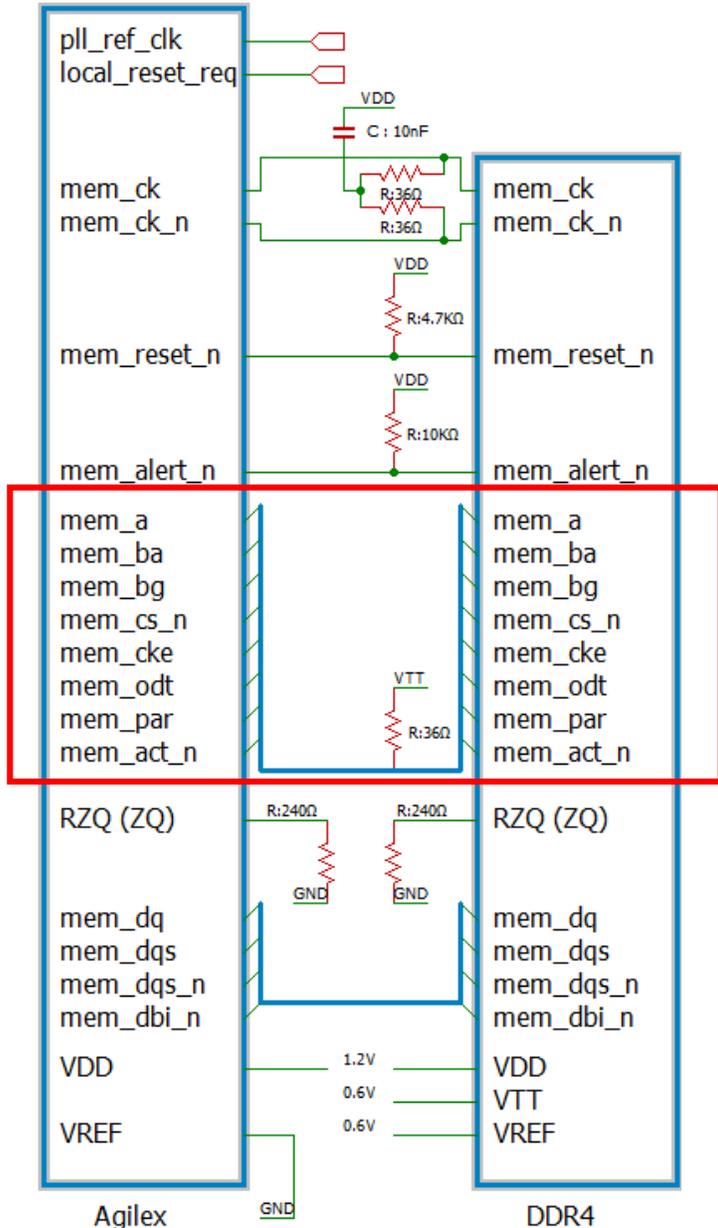


- **mem_alert_n :**
抵抗を介して VDD 接続 (抵抗値は基板シミュレーションで判断)

- 以下の Knowledge Database (KDB) では 抵抗値は 10KΩ

- https://www.intel.com/content/altera-www/global/en_us/index/support/support-resources/knowledge-base/emif/2018/what-is-the-alertn-pullup-resistor-guidelines-to-follow-.html

Agilex + DDR4 の回路図確認 4/7



● Address/Command/Control : 抵抗を介して VTT 接続 (抵抗値は基板シミュレーションで判断)

- mem_a, mem_ba, mem_bg, mem_cs_n, mem_cke, mem_odt, mem_par, mem_act_n
 - EMIF User Guide では抵抗値は 36Ω

Figure 63. Signal connections for DDR4 Single Rank x 8 Discrete Topology (9 memory devices to cover 72 bits)

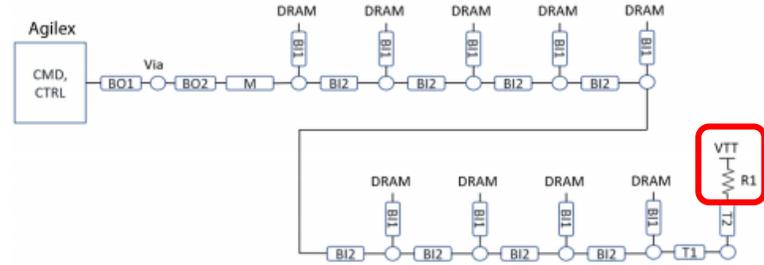
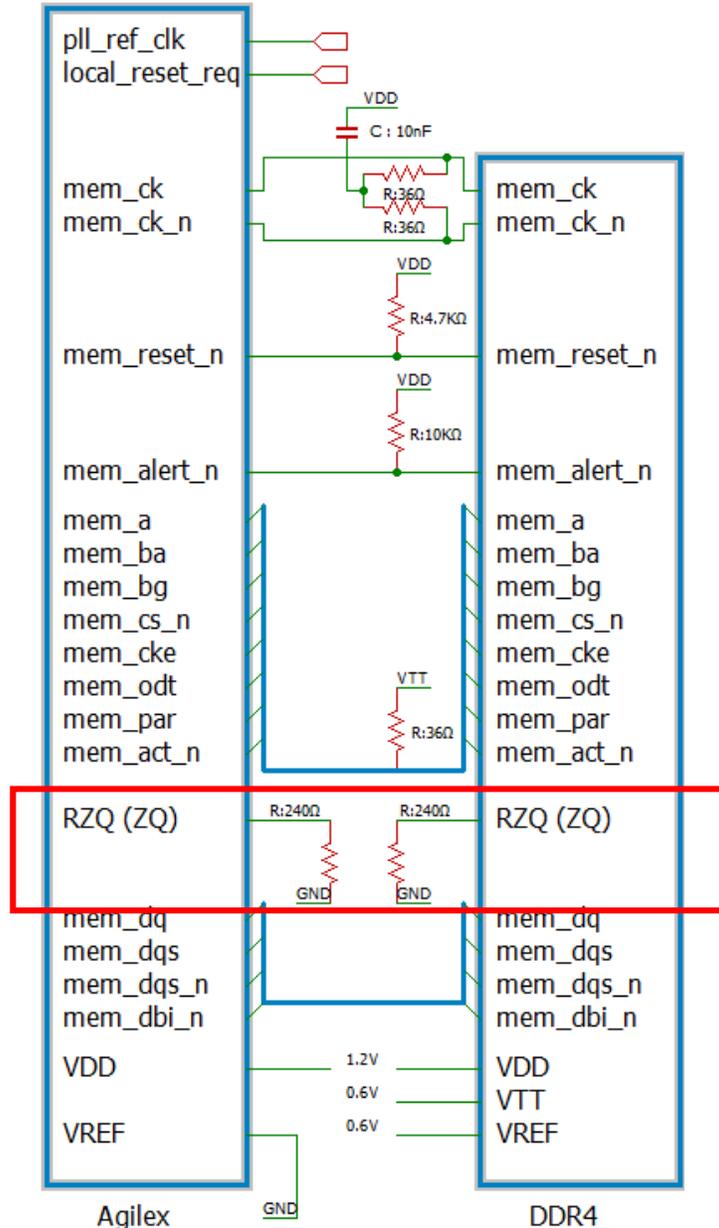


Table 125. Specific Routing Guidelines for Single Rank x8 Discrete Memory Topology for All Supported Signals in the Interface

Signal Group	Segment	Routing Layer	Max Length (mil)		Target Zse (ohm)	Trace Width, W (mil)	Trace Spacing, S1 (mil): Within Group	Trace Spacing, S2 (mil): CMD/CTRL/CLK to DQ/DQS	Trace Spacing, S3 (mil): Nibble to Nibble	Trace Spacing (mil), DIFF pair	Trace Spacing (mil), DQS pair to DQ	Trace Spacing (mil), CLK pair to CMD/CTRL/CKE	Rtt / Ctt
			Segment	Total MB									
CMD, CTRL, Alert	BO1	US	50	To first DRAM: 4000. To last DRAM: 6800.		4	5, 17	17					R1=36 ohms.
	BO2	SL	1000			4	5, 17	17					
	M	SL			40	5.5	8 (2H)	12 (3h)					
	BI1	US	50			3	8 (2H)	12 (3h)					
	BI2	SL	700			50	3	8 (2H)	12 (3h)				
	T1	SL	300			3	8 (2H)	12 (3h)					
	T2	US	50			3	8 (2H)	12 (3h)					

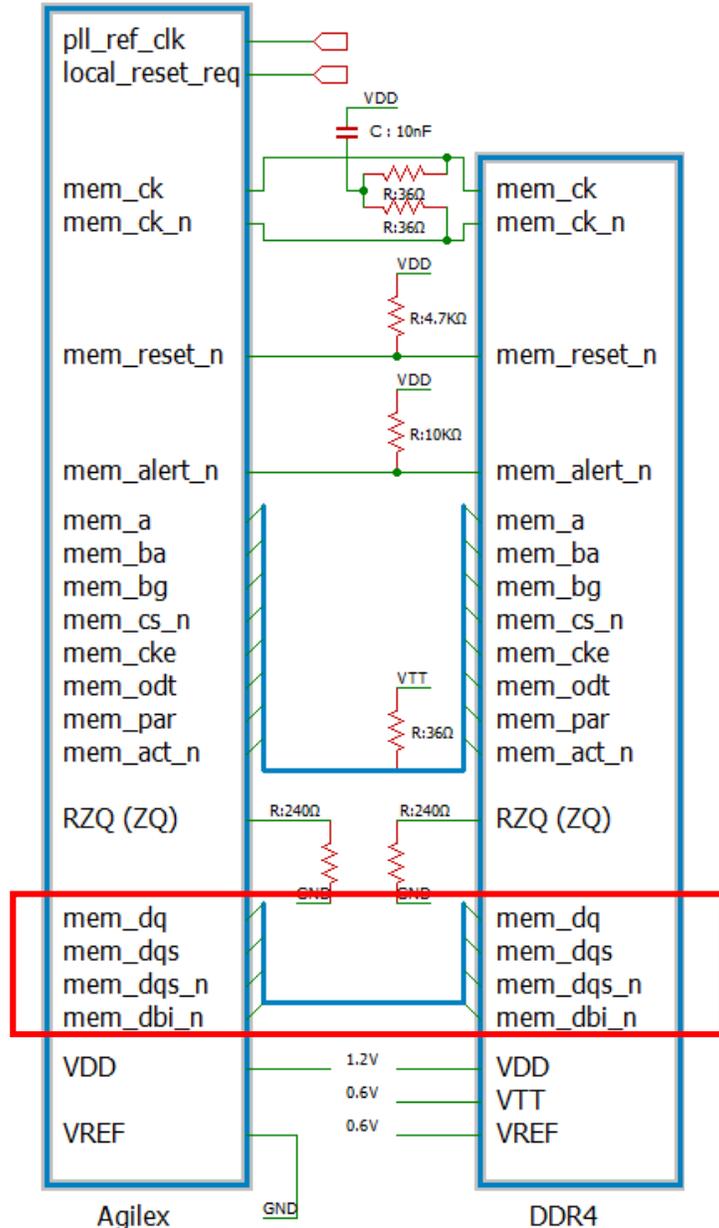
Agilex + DDR4 の回路図確認 5/7



- **RZQ : 240Ω の抵抗を介して GND 接続**

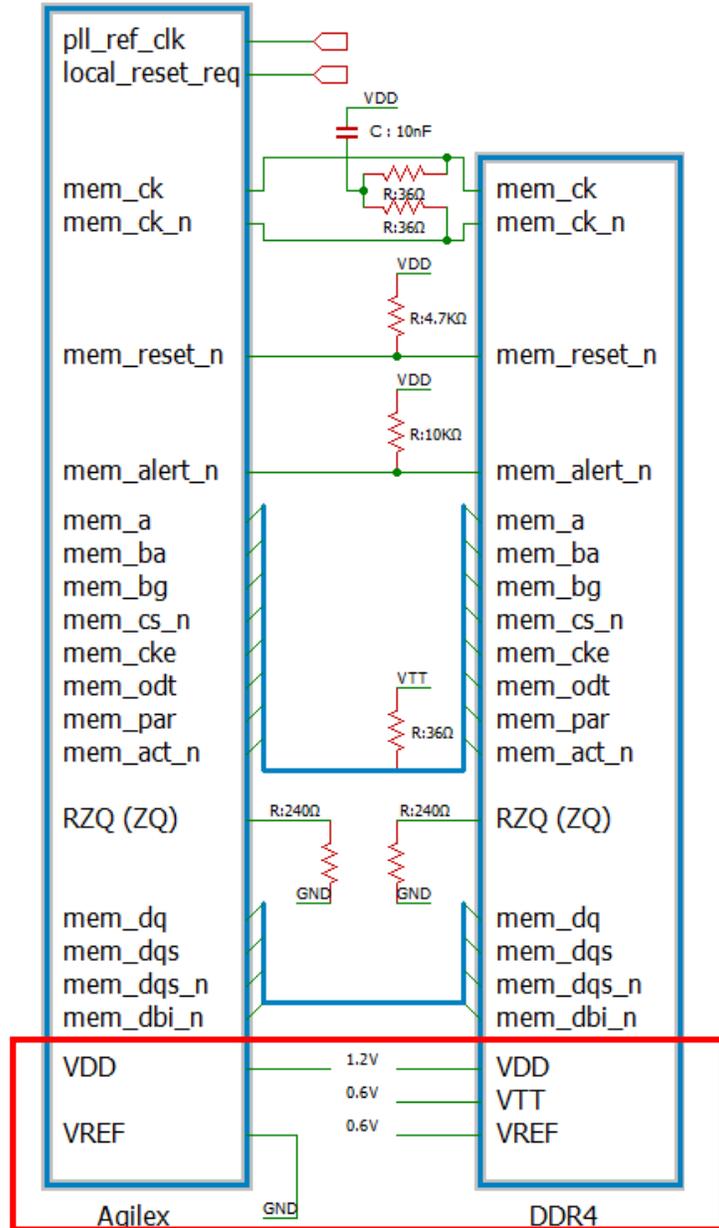
- FPGA側 : 240Ω を介してGND 接続
 - [Specific Pin Connection Requirements : OCT](#)
 - Lane2 index2 に配置
 - 各 EMIF IP インスタンス毎に専用の RZQ ピンが必要
 - このため RZQ ピンの共有はできません
- メモリ側 : 240Ω を介して GND 接続

Agilex + DDR4 の回路図確認 6/7



- **mem_dq/dqs/dbi : 終端不要**
 - FPGA 側 : 終端不要
 - メモリー側 : 終端不要
 - OCT と ODT が用意されています
 - OCT (On-Chip Termination)
FPGA 側の内部終端
 - ODT (On-Die Termination)
SDRAM 側の内部終端

Agilex + DDR4 の回路図確認 7/7



- **VDD**

- 1.2V が接続されていることを確認する

- **VTT, VREF(メモリー側)**

- 0.6V が接続されていることを確認する
- VTT と VREF は同じ電圧値だが別電源にすることを推奨
 - VTT はアドレスコマンドのプルアップに使われるのでノイズが乗る場合があります
 - 一方 VREF はレファレンス電圧なので、精度良い電源を接続する事が理想的です

- **VREF(Agilex側)**

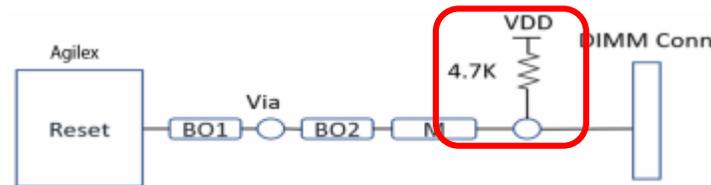
- Agilex では DDR4 I/F の場合、内部 VREF を使用します
 - この場合、VREF 入力は不要ですので GND に接続して下さい
- 一部の Development Kit では 0.6V に接続と記載されていますが、0.6V 接続でも問題ありません

2. UDIMM / RDIMM

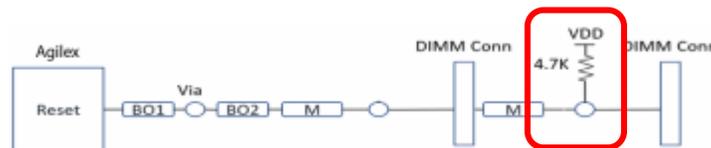
MACNICA

DIMM の注意点

- DIMM の場合、mem_reset_n 以外は DIMM モジュール上でプルアップ処理されています
 - このため mem_reset_n 以外は基板上の処理が不要です
 - 念のためメモリーベンダーから DIMM のデータシートを入手して、DIMM 上でどのように処理されているか(抵抗値等)確認してください
 - mem_reset_n の処理：抵抗を介して VDD 接続 (抵抗値は基板シミュレーションで判断)
 - EMIF User Guide では 抵抗値は 4.7K Ω
 - DIMM 1枚の場合
 - ◆ [Figure 57. Reset scheme for 1DPC DIMM topologies](#)



- DIMM 2枚の場合
 - ◆ [Figure 60. Reset scheme for 2DPC DIMM topologies](#)



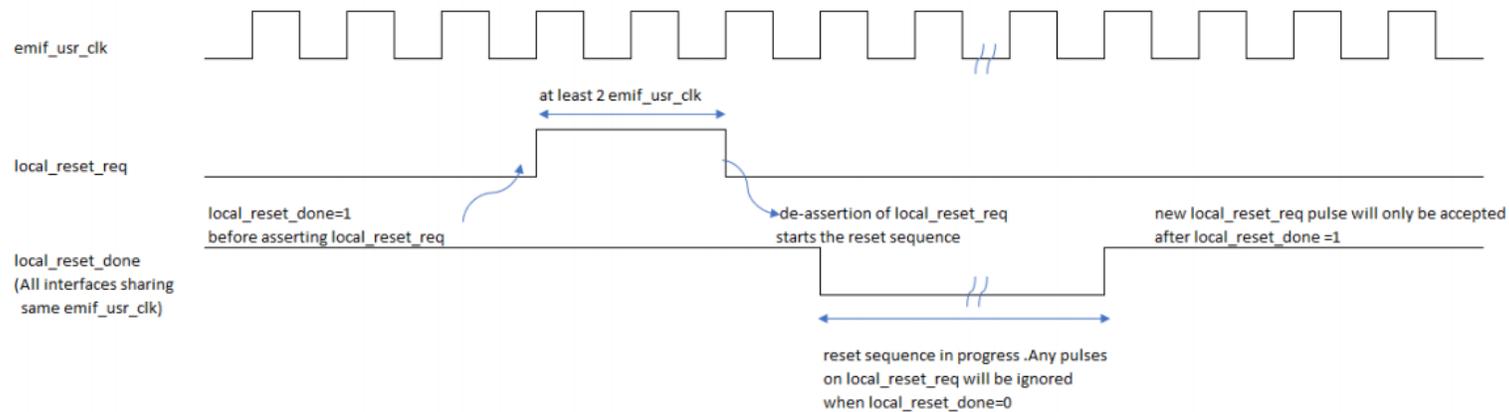
Appendix : User-Requested Reset



User-Requested Reset

- EMIF IP に対するリセット入力信号は local_reset_req です
- emif_usr_clk の 2クロック 以上Hi にする必要があります
- EMIF IP の出力 local_reset_done が Low の間は local_reset_req は受け付けません
- local_reset_done が Hi の時のみ、local_reset_req を受け付けます
- 詳細は以下を参照してください
 - [User-requested Reset Timing Diagram](#)

User-requested Reset Timing Diagram



Appendix : Calibration IP に関して

MACNICA

Calibration IP に関して

- **EMIF IP には Calibration IP の接続が必要**

- IP Catalog から選択します(右図赤枠)
- Calibration IP は各 I/O Row に一つ必要です

- **接続方法**

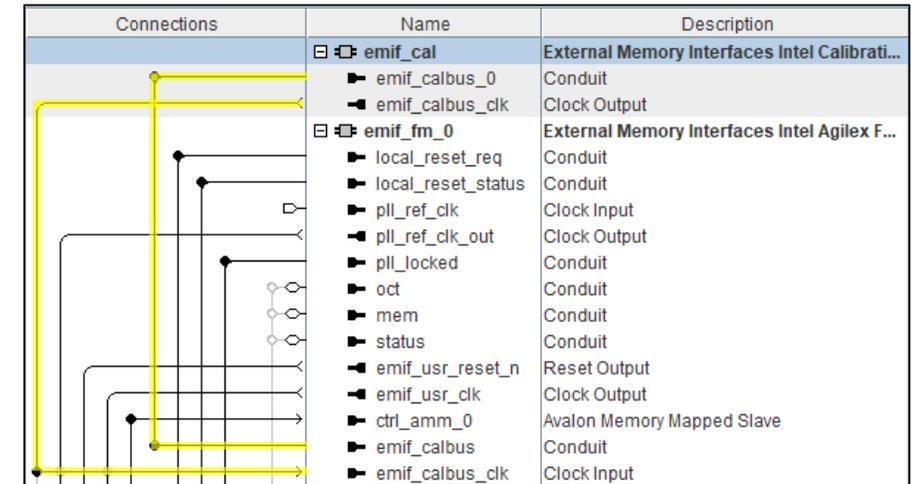
- EMIF IP と Calibration IP の emif_calbus_0 と emif_calbus_clk を接続します
- 詳細は以下を参照してください
 - [3.1.2. Intel Agilex EMIF Architecture: I/O SSM](#)

- **パラメーターの項目解説**

- 詳細は以下を参照してください
 - [6.2. Intel Agilex External Memory Interfaces Intel Calibration IP Parameters](#)

- ▼ Memory Interfaces and Controllers

- External Memory Interfaces Intel Agilex FPGA IP
- External Memory Interfaces Intel Calibration IP



Connections	Name	Description
	emif_cal	External Memory Interfaces Intel Calibrati...
	emif_calbus_0	Conduit
	emif_calbus_clk	Clock Output
	emif_fm_0	External Memory Interfaces Intel Agilex F...
	local_reset_req	Conduit
	local_reset_status	Conduit
	pll_ref_clk	Clock Input
	pll_ref_clk_out	Clock Output
	pll_locked	Conduit
	oct	Conduit
	mem	Conduit
	status	Conduit
	emif_usr_reset_n	Reset Output
	emif_usr_clk	Clock Output
	ctrl_amm_0	Avalon Memory Mapped Slave
	emif_calbus	Conduit
	emif_calbus_clk	Clock Input

Appendix : ピン配置に関して

MACNICA

ピン配置に関して

- Agilex の EMIF はピン配置が決まっています
- 詳細は以下の資料を参照してください
 - External Memory Interface Pin Information for Intel® Agilex™ Devices
<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/dp/agilex/agilexemif.pdf>
 - Scheme が違う場合、ピン配置が異なる信号がありますので注意が必要です

DDR4 Scheme 1: Component and DIMM (Supports up to 4 ranks for UDIMM/RDIMM/SO- DIMM/Component)	DDR4 Scheme 1A: Component, LRDIMM and RDIMM (with base component x16Gb x4DQ/DQS group)	DDR4 Scheme 2: Component and DIMM (Supports up to 2 ranks for UDIMM/RDIMM/SO- DIMM/Component) <i>ONLY scheme for HPS EMIF</i> Available to Fabric EMIF as well	DDR4 Scheme 3: Component and DIMM, with 3DS (Support 3DS; Supports up to 4 ranks for UDIMM/RDIMM/SO- DIMM/Component)	DDR4 Scheme 3A: Component and DIMM, with 3DS (Support 3DS; Supports up to 4 ranks for UDIMM/RDIMM/SO- DIMM/Component)	QDR-IV Scheme 1
---	---	---	--	---	------------------------

改訂履歴

Revision	日付	概要
1.0	2020年9月	初版リリース

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

macnica