Agilex™ 3 and 5 FPGAs & SoCs
外部メモリー・インターフェース (EMIF)
回路図確認項目

株式会社マクニカ アルティマカンパニー

Rev.1.0 2025/9

© Macnica, Inc.

本資料の目的

- メモリー周りの接続はデバイスやプロトコルごとに異なる箇所があり紛らわしく間違いが多くなります

- 本資料では 適切なメモリー周りの接続を示し、回路図確認の際の不明点を明確にすることを目的とします

対象デバイス：Agilex™ 3 and 5 FPGAs & SoCs

対象メモリー・トポロジー：DDR4/LPDD4/DDR5/LPDDR5

© Macnica, Inc.

本資料の目的

- **本資料は、以下の内容を参照しています**
  - EMIF IP ユーザーガイド（Agilex™ 5, Agilex™ 3）
  - PCB Design ユーザーガイド（Agilex™ 5）　（※）
  - EMIF IP Design Example ユーザーガイド（Agilex™ 5）　（※）
  - GPIO ユーザーガイド（Agilex™ 5, Agilex™ 3）

（※ Agilex™ 3 向けは 2025/08/31 現在未公開）

© Macnica, Inc.

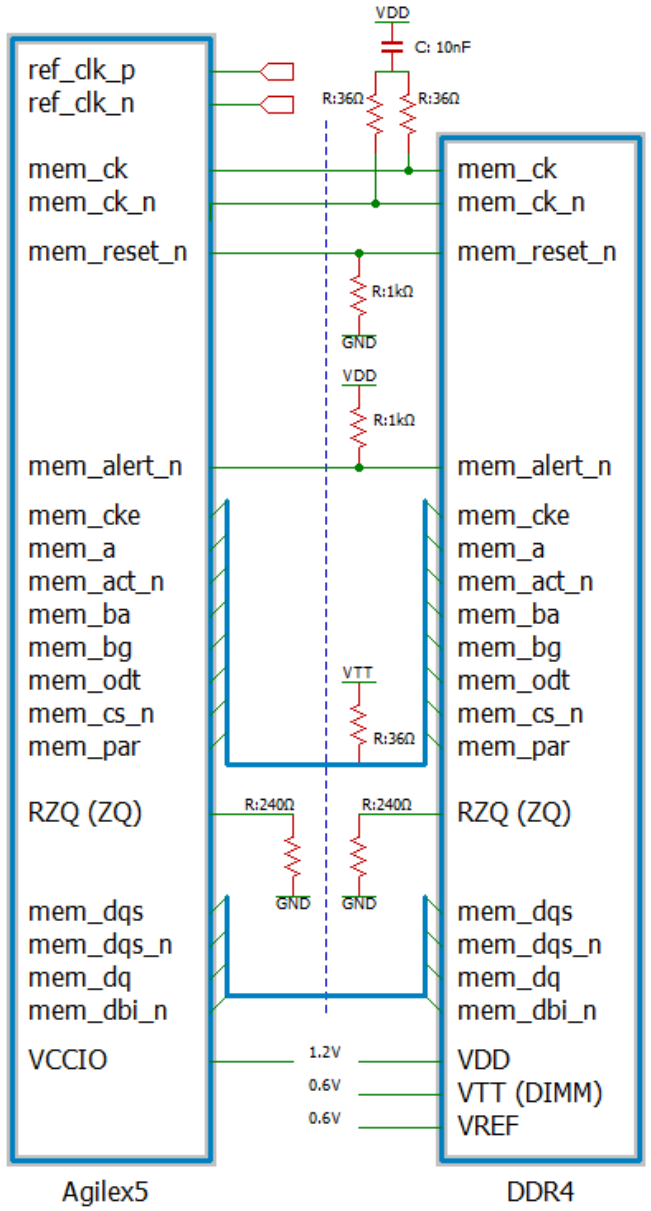
1. DDR4 (Agilex™ 5 FPGA & SoC)
    - DIMM の注意点
2. LPDDR4 (Agilex™ 3 and 5 FPGAs & SoCs)
3. DDR5 (Agilex™ 5 FPGA & SoC)
    - DIMM の注意点
4. LPDDR5 (Agilex™ 5 FPGA & SoC)

© Macnica, Inc.

1. DDR4 (Agilex™ 5 FPGA & SoC)

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR4 の回路図確認



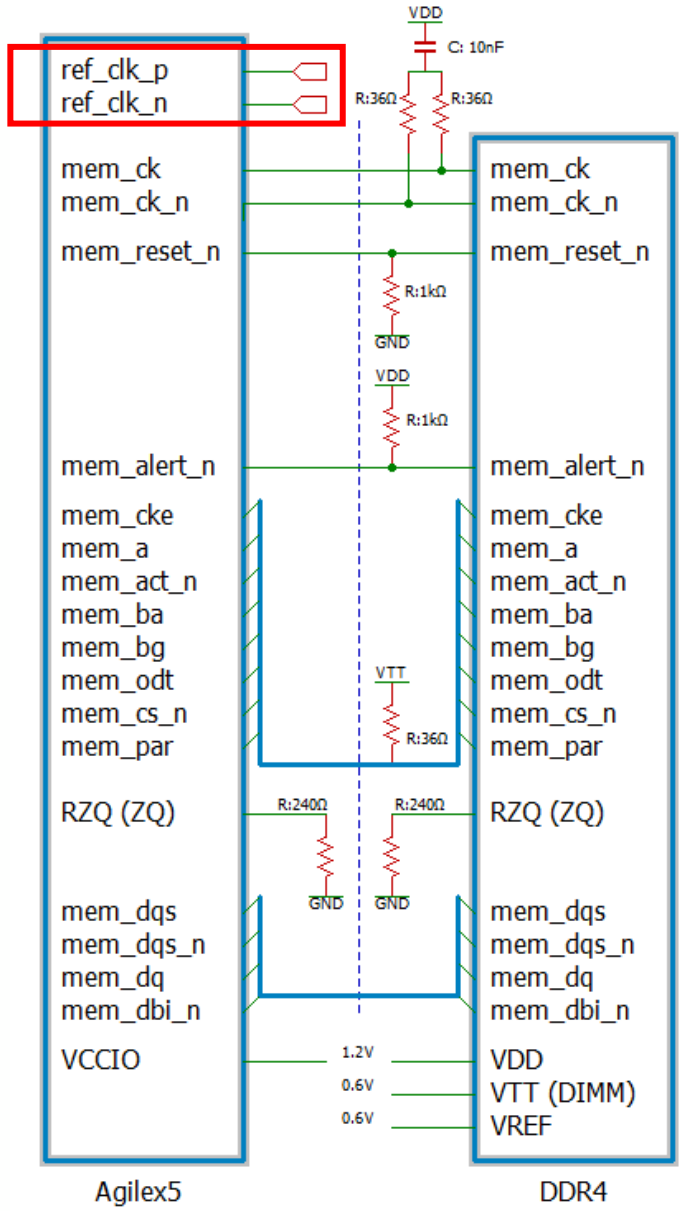
- **Agilex™ 5 FPGA & SoC + DDR4 の参考回路図**

- **抵抗値の決定・確認のため、基板シミュレーションが必要です**
  - 外部終端抵抗と OCT, ODT 設定値を決定・確認します
  - 基板シミュレーションの結果が良い方を選択してください

- **左図は Component の接続を表しています**
  - DIMM の場合 mem_reset_n 以外は DIMM モジュール上でプルアップ処理されています
    - このため mem_reset_n 以外は基板上の処理が不要です
  - **DIMM における mem_reset_n の処理は以下の項を参照して下さい**
    - DDR4 DIMM の注意点

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR4 の回路図確認 1/7



- **pll_ref_clk : 専用ピンに接続**
  - 専用ピンの番号は I/O Bank で “AC2”(※) を配置した Byte Lane の index 0,1 固定
  - I/O Standard は True Differntial Signaling のみサポート
  - 詳細は以下の資料を参照してください

    （配置について）

    - EMIF IP ユーザーガイド, 6.3.3. Pin Placements for Agilex™ 5 FPGA DDR4 EMIF IP

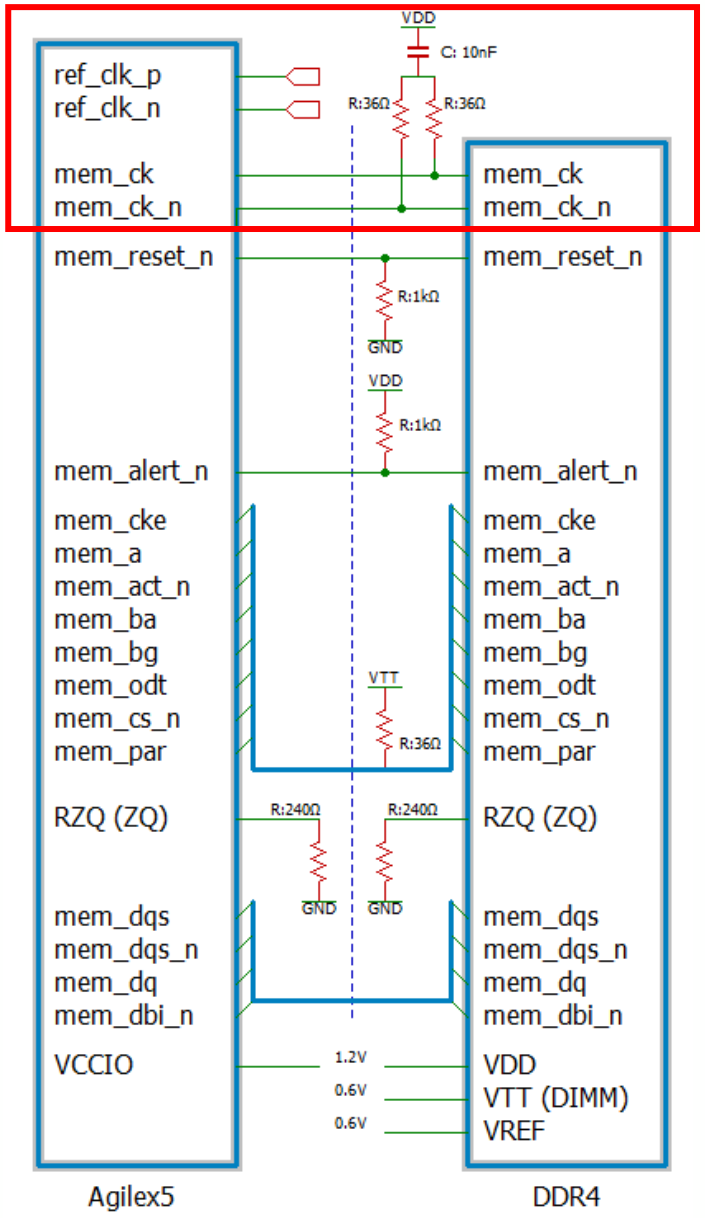
    （ True Differential Signaling I/O Standard について）

    - GPIO ユーザーガイド, 2.2. HSIO Features

(※) “AC2”は Address/Command 用の Lane 番号を表しており、デバイスごとに物理的な Byte Lane （BL0, BL1, BL2, BL3など）に割り当てられています

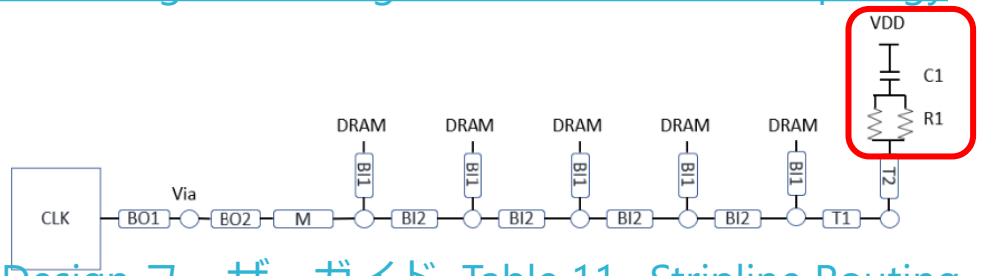
© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR4 の回路図確認 2/7



- **mem_ck : 差動終端 (抵抗値/容量は基板シミュレーションで判断)**
  - コモンモード・ノイズ低減回路付き終端を接続します
    - ユーザーガイド：抵抗値 36 Ω、容量 10nF

PCB Design ユーザーガイド, Figure 63. Signals Connections for Supported Signals in Single Rank x 8 Discrete Topology より

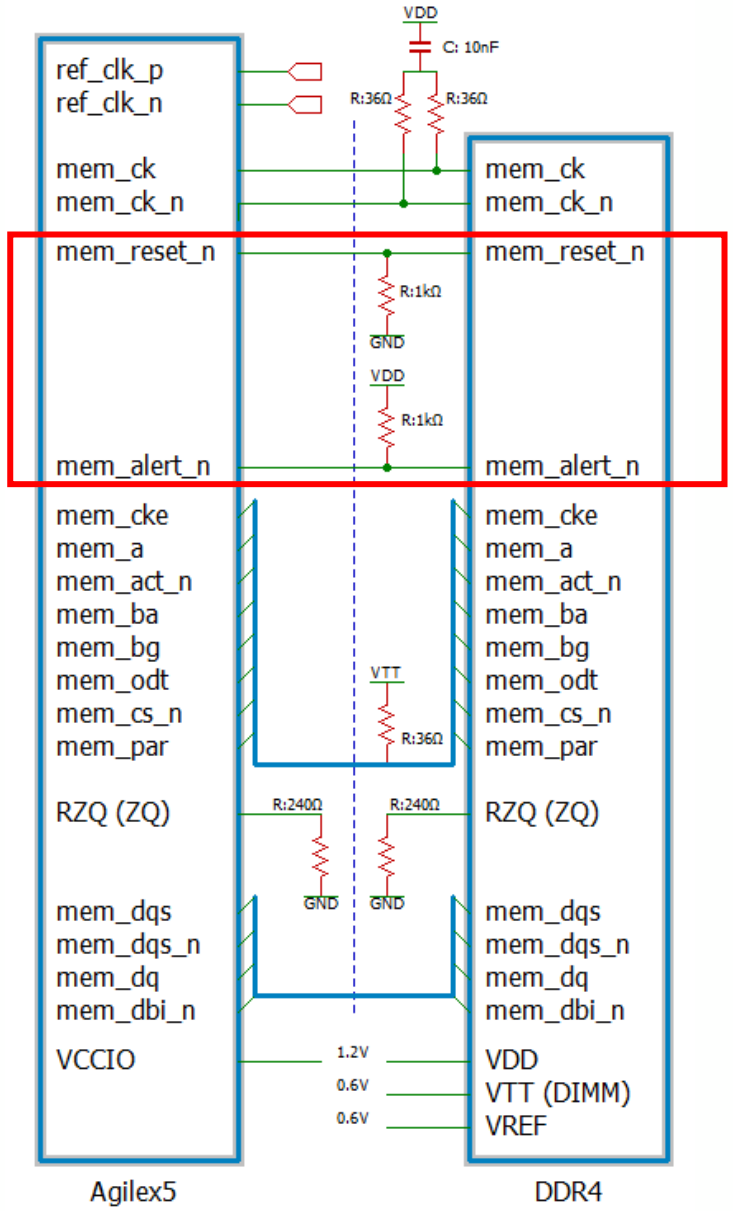


PCB Design ユーザーガイド, Table 11. Stripline Routing Guidelines for Single Rank Discrete Memory Topology

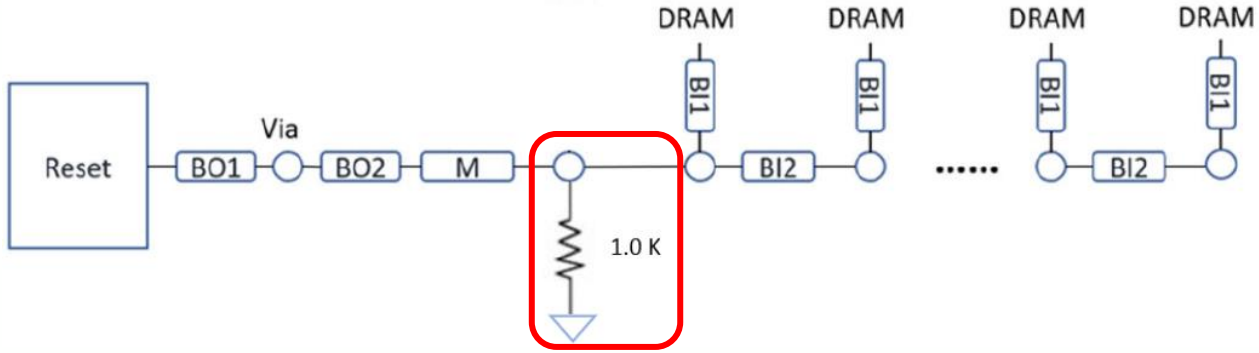
Signal Group	Segment	Routing Layer	Max Length (mil)		Target Zse (ohm)	Trace Spacing, S1 (mil): Within Group	Trace Spacing, S2 (mil): CMD/CTRL/CLK to DQ/DQS	Trace Spacing, S3 (mil): DQ Nibble to Nibble	Trace Spacing (mil), Within DIFF pair	Trace Spacing (mil), DQS pair to DQ	Trace Spacing (mil), CLK pair to CMD/CTRL/CKE	Rtt/Ctt
			Segment	Total MB								
CLK	BO1	US	50	To first DRAM: 4000 To last DRAM: 9600		5	17		4		17	R1=36ohm C1=10nF
	BO2	SL	1000			5	17		4		17	
	M	SL			40		3h		4		3h	
	BI1	US	50				3h		4		3h	
	BI2	SL	700		50+		3h		4		3h	
	T1	SL	300				3h		4		3h	
	T2	US	50				3h		4		3h	
	BO1	US	50	To first		5	17					

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR4 の回路図確認 3/7



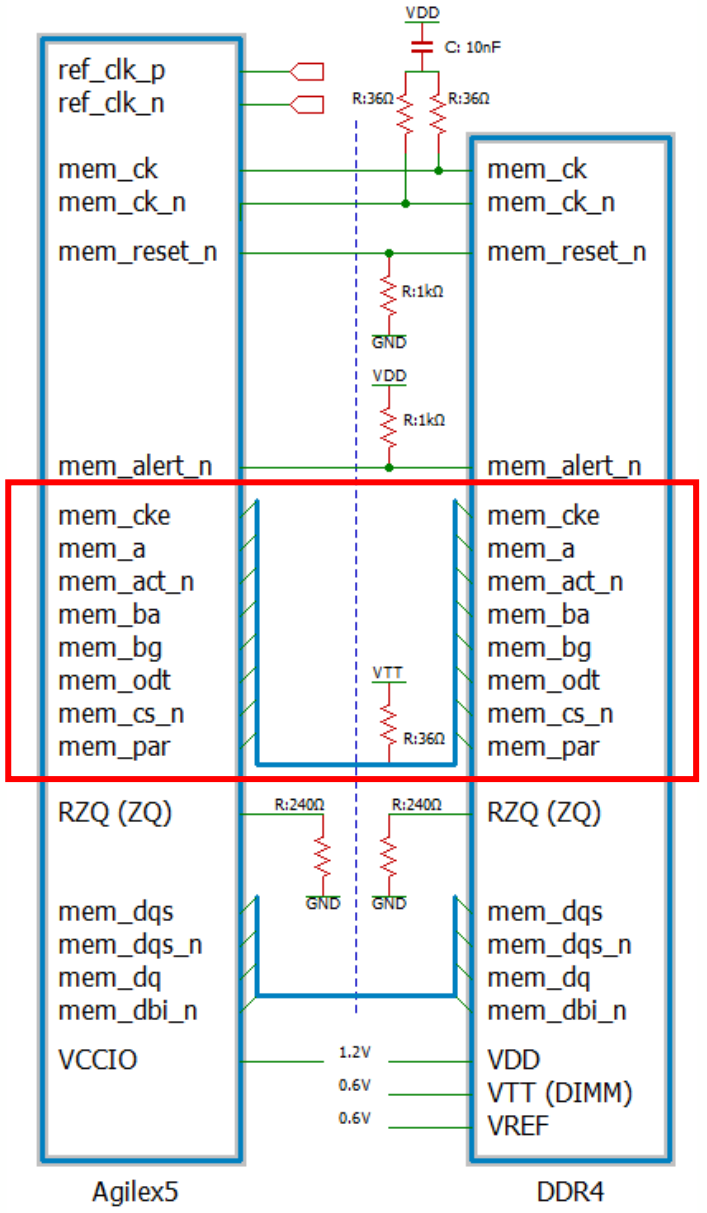
- **mem_reset_n : 1-kΩ Pull-Down (抵抗値は基板シミュレーションで確認)**
  - PCB Design ユーザーガイド, Figure 67. Reset Scheme and Setting for Memory Down (Discrete) Topology



- **mem_alert_n : VDD=1.2V Pull-Up (抵抗値は基板シミュレーションで確認)**
  - Agilex™ 5 FPGA E-Series 065B Modular Development Kit 及び Agilex™ 5 FPGA E-Series 065B Premium Development Kitでは 1-kΩ

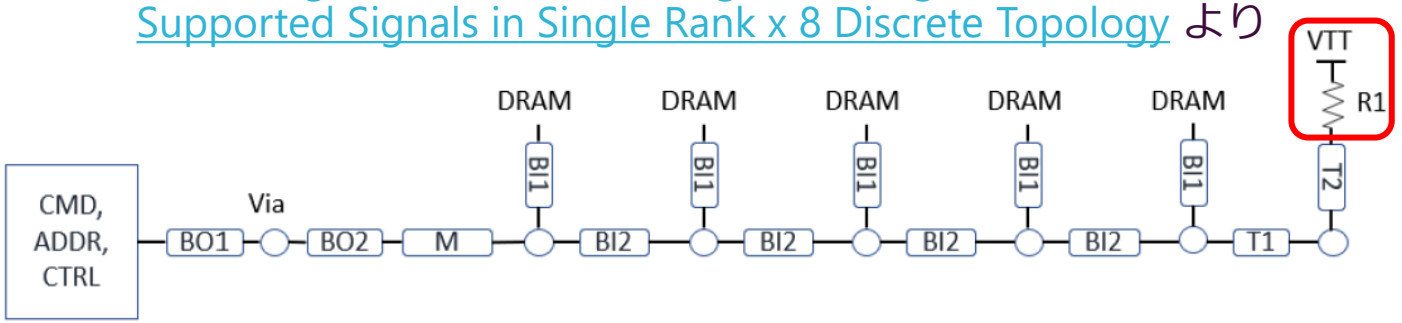
© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR4 の回路図確認 4/7



- **Address/Command/Control : VTT=0.6V Pull-Up (VTT 終端、抵抗値は基板シミュレーションで判断)**
  - 複数デバイスの場合下記の信号は共通に分配されます
    - mem_a, mem_ba, mem_bg, mem_par, mem_act_n
  - 複数 Rank/Chip Select では下記は区分けして分配されます
    - mem_cs_n, mem_cke, mem_odt
  - User Guideでは抵抗値は 36 Ω

PCB Design ユーザーガイド, Figure 63. Signals Connections for Supported Signals in Single Rank x 8 Discrete Topology より

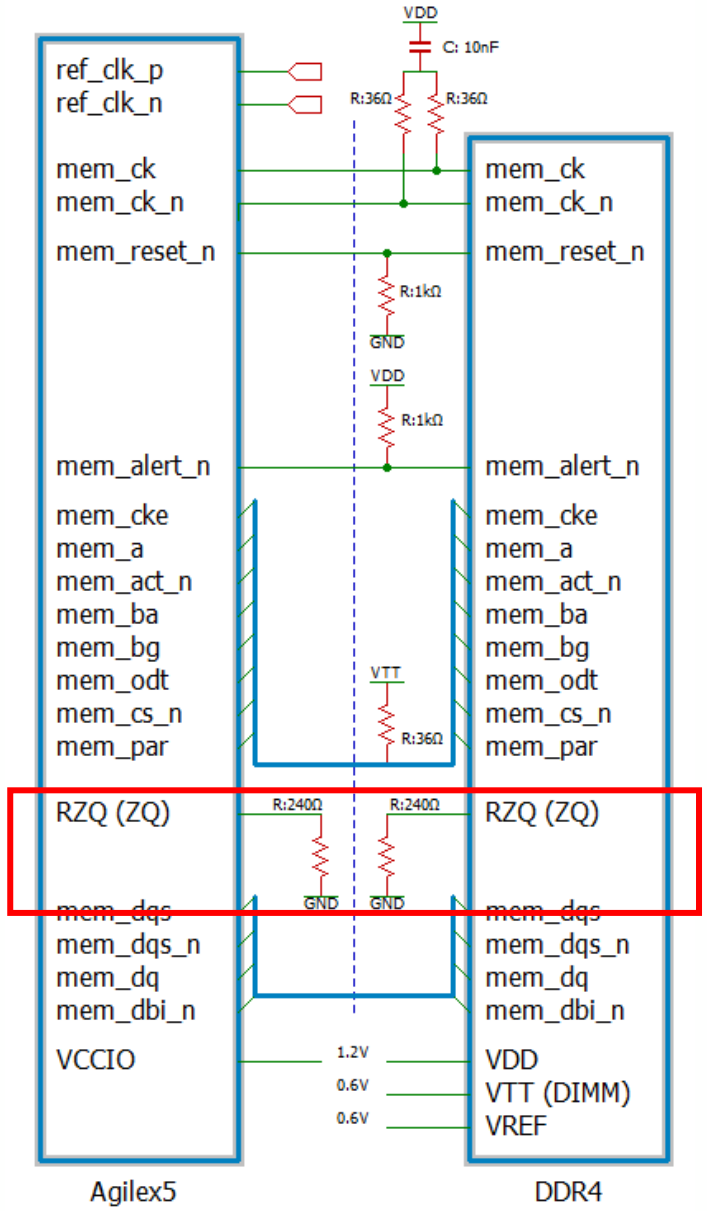


PCB Design ユーザーガイドTable 11. Stripline Routing Guidelines for Single Rank Discrete Memory Topology

CMD/CTRL/Alert	BO1	US	50	To first DRAM: 4000 To last DRAM: 9600		5	17					R1=36ohm
	BO2	SL	1000			5	17					
	M	SL			40	2h	3h					
	BI1	US	50			2h	3h					
	BI2	SL	700		50+	2h	3h					
	T1	SL	300			2h	3h					
	T2	US	50			2h	3h					

© Macnica, Inc.

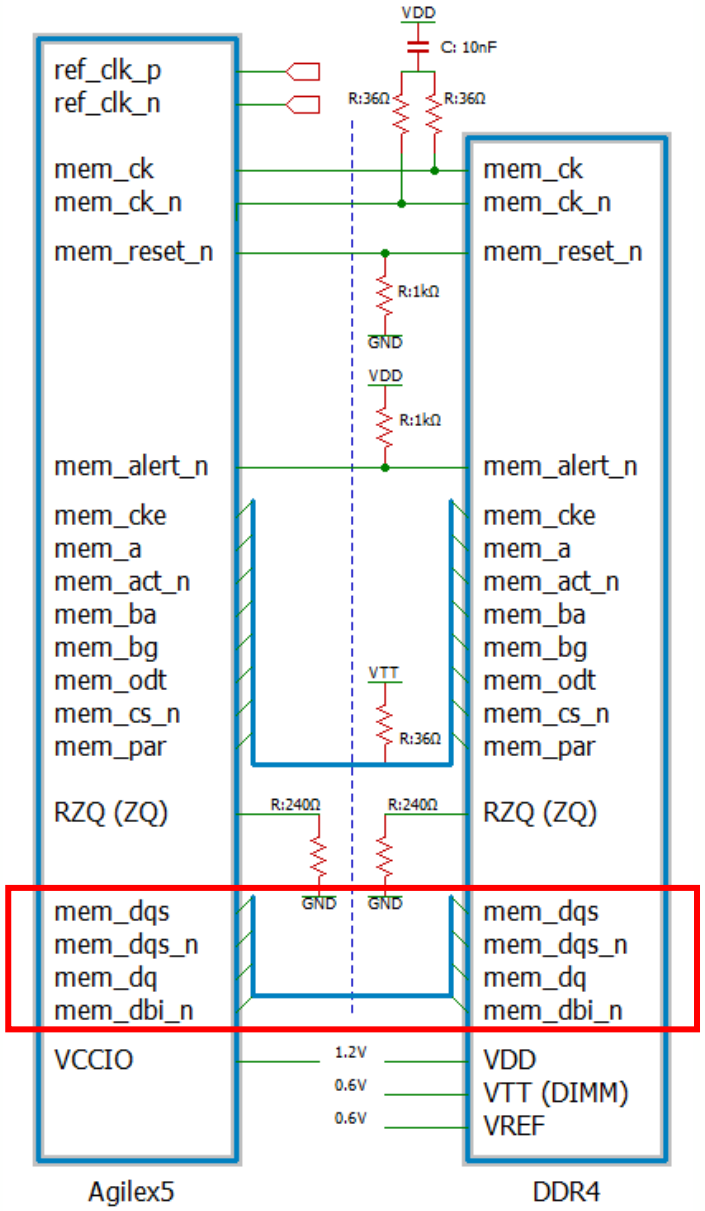
Agilex™ 5 FPGA & SoC + DDR4 の回路図確認 5/7



- **FPGA 側 RZQ : 240 Ω Pull-Down**
  - 専用ピンの番号は I/O Bank で “AC2” を配置した Byte Lane の index 2 固定
    - EMIF IP ユーザーガイド. Specific Pin Connection Requirements
      （OCT の個所を参照してください）
  - 各 EMIF IP インスタンスごとに専用の RZQ ピンが必要
  - このため RZQ ピンの共有はできません
- **メモリー側 RZQ : 240 Ω Pull-Down**

© Macnica, Inc.

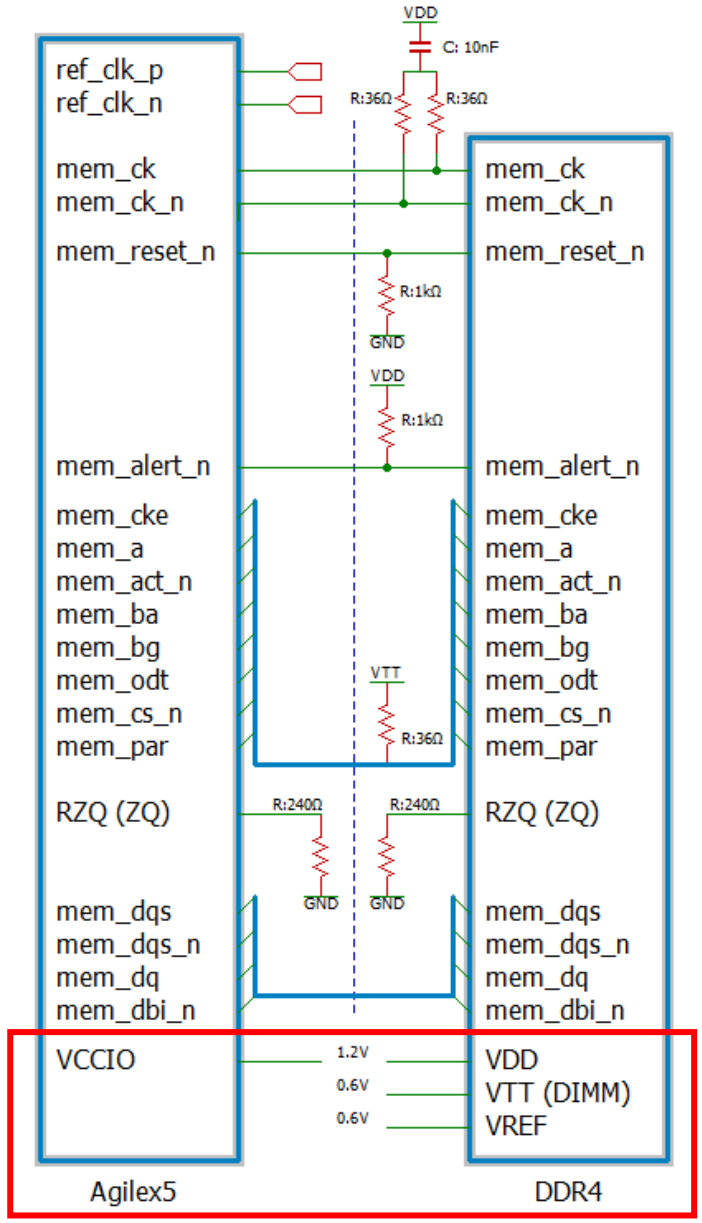
Agilex™ 5 FPGA & SoC + DDR4 の回路図確認 6/7



- **mem_dq/dqs/dbi : 終端不要**
  - FPGA 側・メモリー側の双方で 終端不要（内部終端）
    - FPGA 側内部終端：OCT (On-Chip Termination)
    - メモリー側内部終端：ODT (On-Die Termination)
  - ピン配置の制限・注意点は下記を参照してください
    - データ関連ピンの配置レーン、index は指定されています
      - EMIF IP ユーザーガイド, 6.3.3.2. DDR4 Data Width Mapping
      - EMIF IP ユーザーガイド, 6.3.3.5. x4 DIMM Implementation
      - EMIF IP ユーザーガイド, 6.4. Agilex™ 5 EMIF Pin Swapping Guidelines
    - Pin Swap は “Pin Swizzle” (Pin Swizzling) として指定します
      - EMIF IP ユーザーガイド, 12.10.2.1. Verifying High-Level Configuration
      - EMIF IP Design Example ユーザーガイド, 2.3. Configuring DQ Pin Swizzling

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR4 の回路図確認 7/7



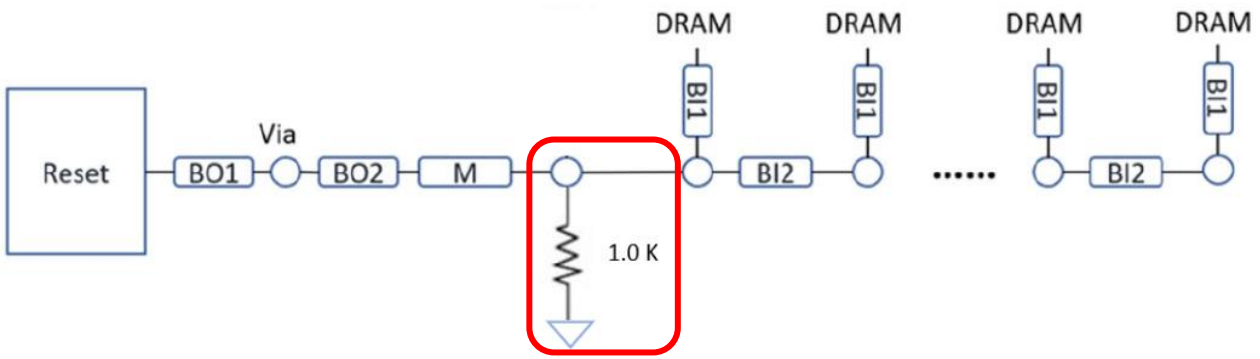
- **VCCIO (FPGA 側), VDD (メモリー側)**
  - 1.2V に接続
- **VTT, VREF (メモリー側)**
  - 0.6V に接続
  - VTT と VREF はノイズ防止のため分離が推奨です
- **VREF (Agilex™ 5 device 側)**
  - Agilex™ 5 device では Vref 電圧は全て内部生成で入力ピンはありません
    - GPIO を同一 HSIO バンクに共存させる場合は Vref 電圧の共通性にも注意してください（下記を参照してください）

      General-Purpose I/O User Guide, 2.5.3. VREF Sources and Input Standards Grouping

© Macnica, Inc.

DDR4 DIMM の注意点 (Agilex™ 5 D-Series FPGA & SoC)

- **DIMM の場合、mem_reset_n 以外は DIMM モジュール上で Pull-Up されています**
  - このため mem_reset_n 以外は基板上の処理が不要です
  - メモリーベンダーから DIMM のデータシートを入手して、DIMM 上でどのように処理されているか(抵抗値など)確認してください
  - Agilex™ 5 D-Series FPGA & SoC は DDR4 DIMM をサポートしています。ただし、対応している DIMM スロット(Connetor)数は 1 つまでです
  - mem_reset_n の処理：1-kΩ Pull-Down (抵抗値は基板シミュレーションで確認)
    - PCB Design ユーザーガイド, Figure 67. Reset Scheme and Setting for Memory Down (Discrete) Topology

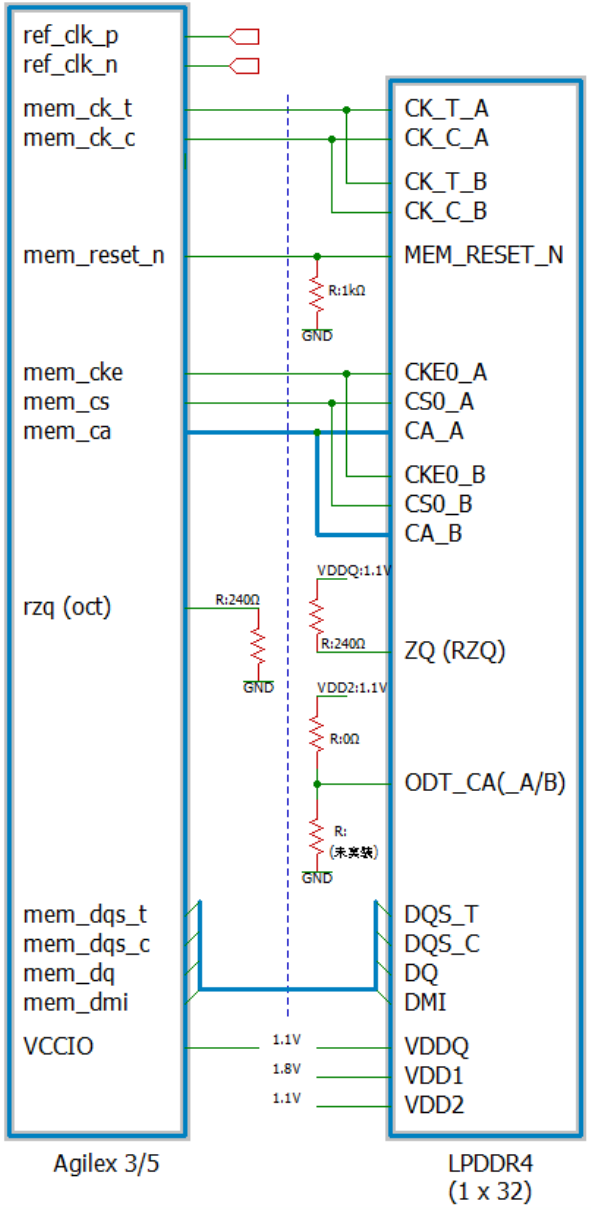


© Macnica, Inc.

2. LPDDR4
(Agilex™ 3 and 5 FPGAs & SoCs)

© Macnica, Inc.

Agilex™ 3 and 5 FPGAs & SoCs + LPDDR4 の回路図確認

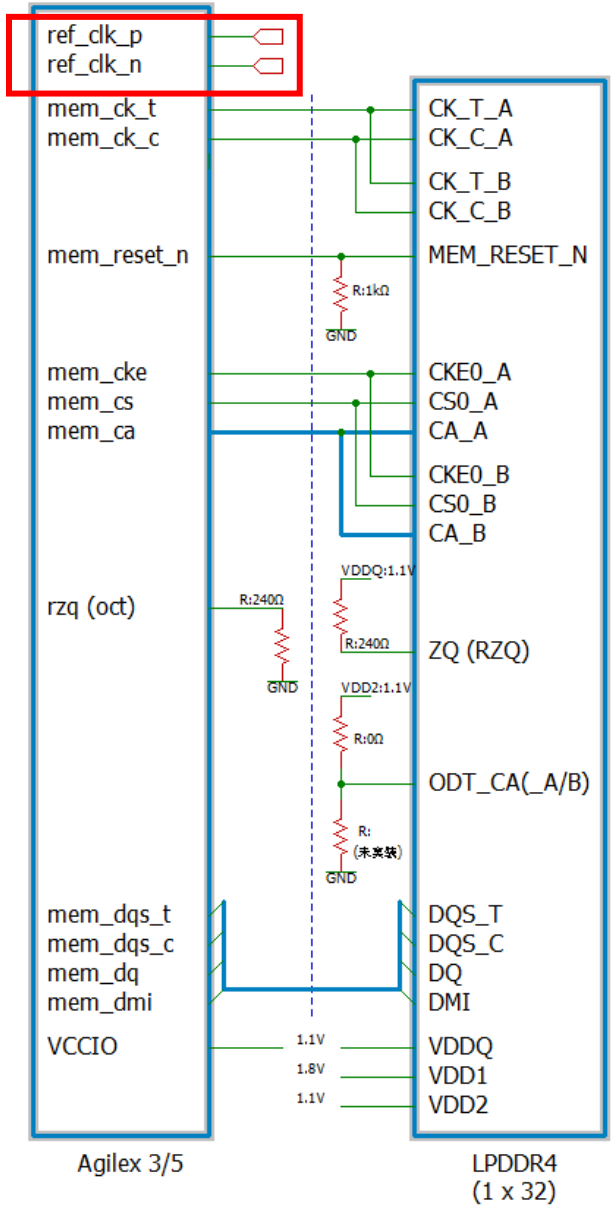


- **左図は Agilex™ 3 and 5 FPGAs & SoCs + LPDDR4 の参考回路図**
  - 標準的な 1ch x 32 構成の場合

- **抵抗値の決定・確認のため、基板シミュレーションが必要です**
  - 外部終端抵抗と OCT, ODT 設定値を決定・確認します
  - 基板シミュレーションの結果が良い方を選択してください

© Macnica, Inc.

Agilex™ 3 and 5 FPGAs & SoCs + LPDDR4 の回路図確認 1/6



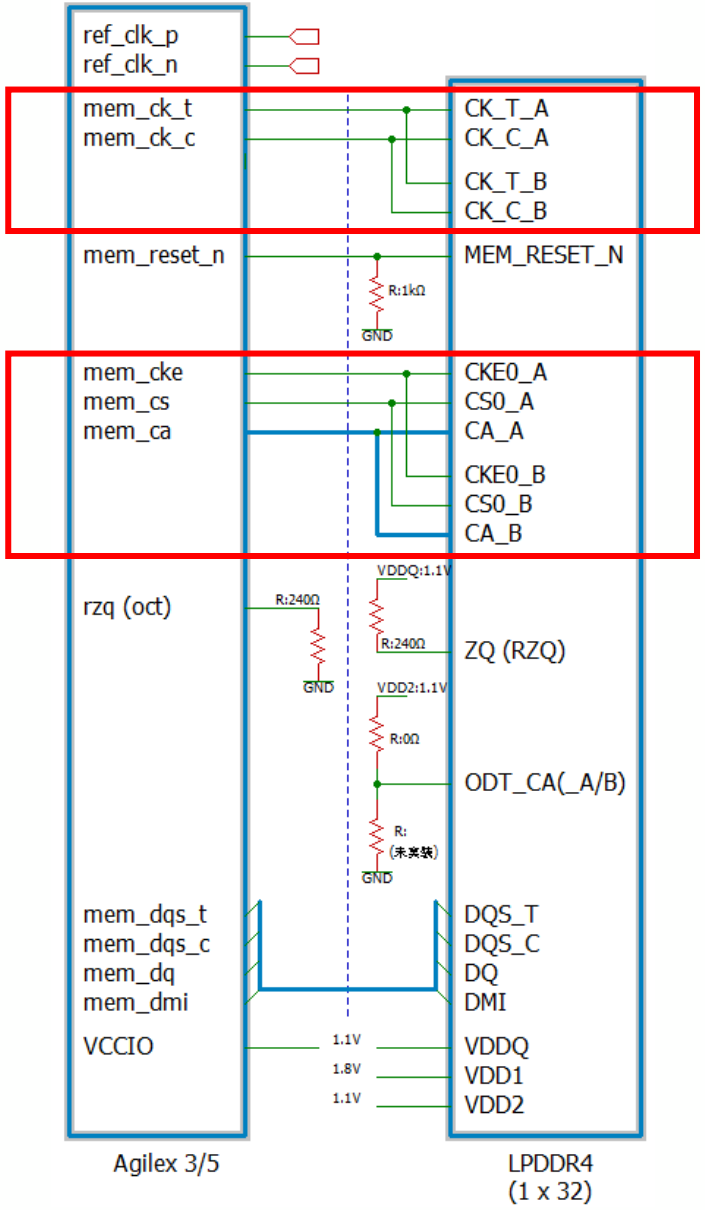
- **pll_ref_clk : 専用ピンに接続**
  - 専用ピンの番号は I/O Bank で Byte Lane 2 の index 10,11 固定
  - I/O Standard は True Differntial Signaling のみサポート
  - 詳細は以下の資料を参照してください

    （配置について）（PLL の個所を参照してください）
    - Agilex™ 3：EMIF IP ユーザーガイド, 3.6.2.2. Specific Pin Connection Requirements
    - Agilex™ 5：EMIF IP ユーザーガイド, 8.2.3.2. Specific Pin Connection Requirements

    （ True Differential Signaling I/O Standard について）
    - Agilex™ 3：GPIO ユーザーガイド, 2.2. HSIO Features
    - Agilex™ 5：GPIO ユーザーガイド, 2.2. HSIO Features

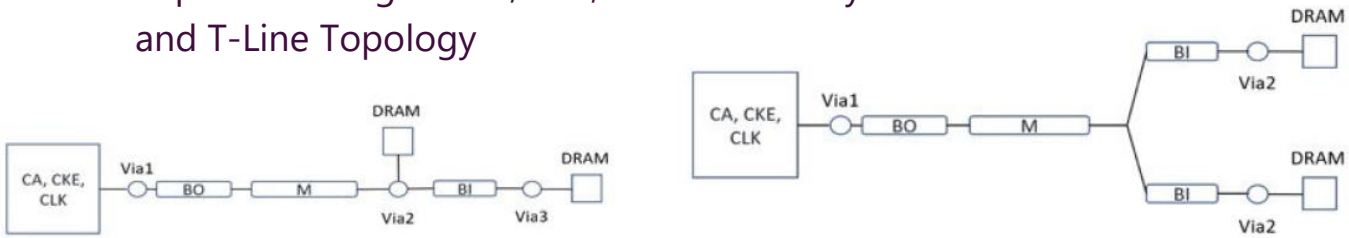
© Macnica, Inc.

Agilex™ 3 and 5 FPGAs & SoCs + LPDDR4 の回路図確認 2/6



- **mem_ck/cs/cke/ca ：LPDDR4 側で A, B ch に分配**
  - ODT 設定可能なためメモリー側終端は不要
    - 信号種類別に On/Off 可能だが ODT 値は一律となることに注意
  - レイアウトは Daisy-chain (Fly-By), T-Line (T 分岐)を選択可能
    - 基板シミュレーション結果で判断してください
    - PCB Design ユーザーガイド, 6.4.1. LPDDR4 Memory Down Topology (Up to 32-bits Interface)

Figure 64. Stripline Routing for CA, CLK, and CTRL Daisy-Chain and T-Line Topology

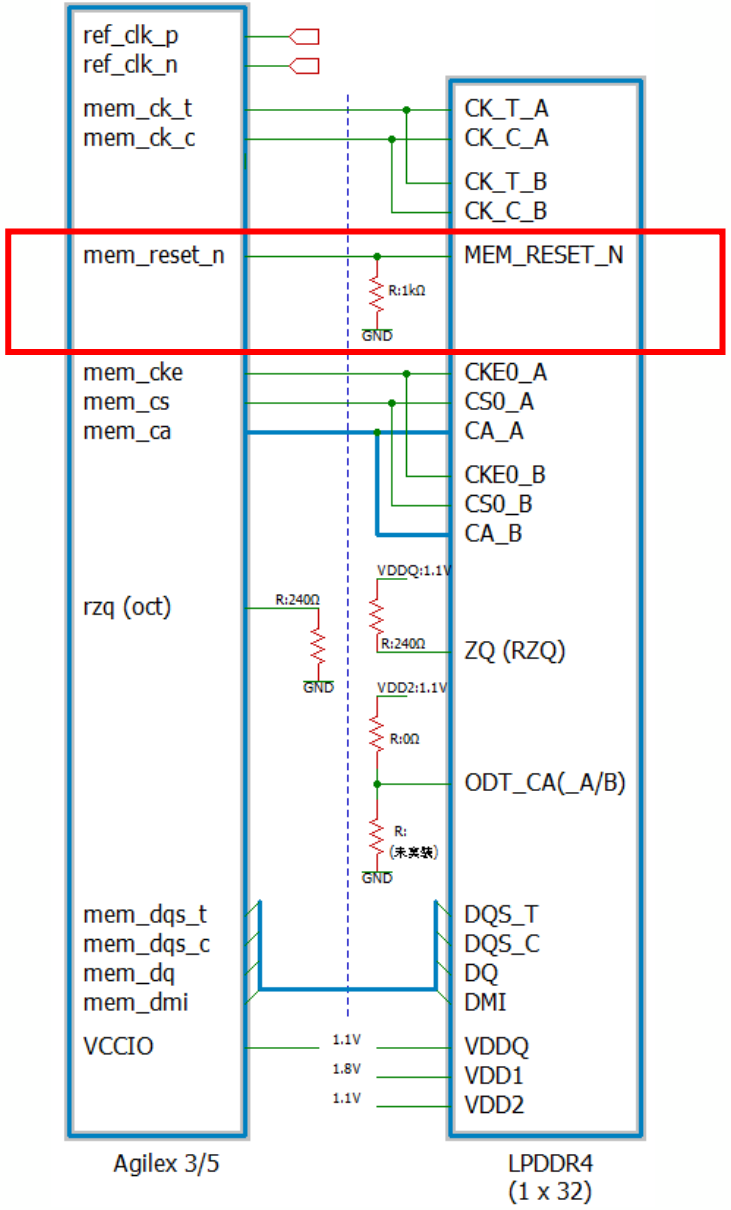


  - それぞれの場合について、レイアウト長と Skew の指定あり
    - PCB Design ユーザーガイド, 6.4.2. Tables for Comprehensive Routing Guidelines for Each LPDDR4 Signal

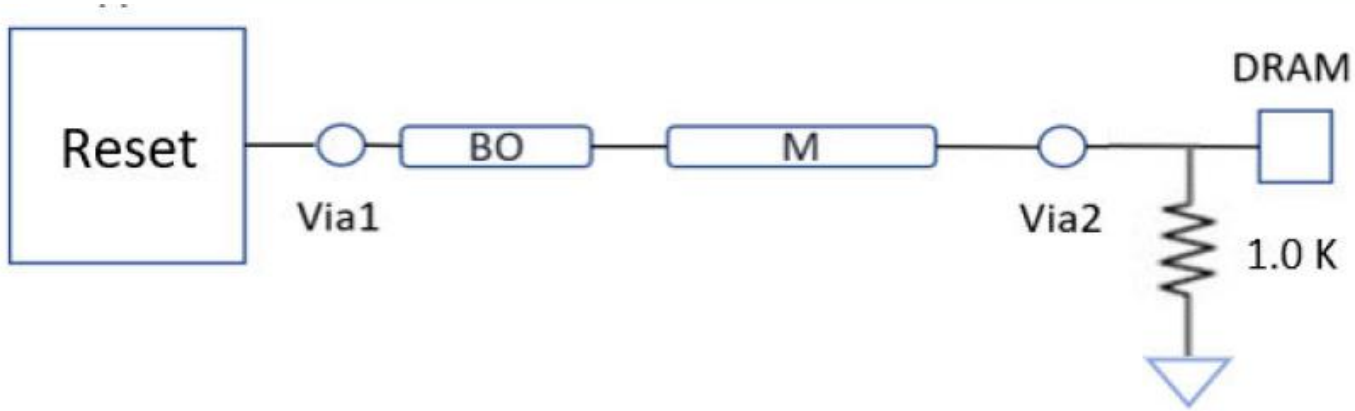
Signal Group	Segment	Routing Layer	Max Length (mil) Segment	Max Length (mil) Total MB	Target Zse (ohm)	Trace Spacing, S1 (mil): Within Group	Trace Spacing, S2 (mil): CMD/CTRL/CLK to DQ/DQS	Trace Spacing, S3 (mil): DQ Nibble to Nibble	Trace Spacing (mil), Within DIFF pair	Trace Spacing (mil), DQS pair to DQ	Trace Spacing (mil), CLK pair to CMD/CTRL/CKE
CA/CS/CKE (Direct Connect)	BO1/BO2	SL	450	4000		5	17		4		17
	M	SL	2500		40		3h		4		3h
	BI	SL	50				3h		4		3h
CA/CS/CKE (Daisy or T)	BO	SL	500	4000		5	17				
	M	SL	2500		40	2h	3h				
	BI	SL	1000			2h	3h				

© Macnica, Inc.

Agilex™ 3 and 5 FPGAs & SoCs + LPDDR4 の回路図確認 3/6

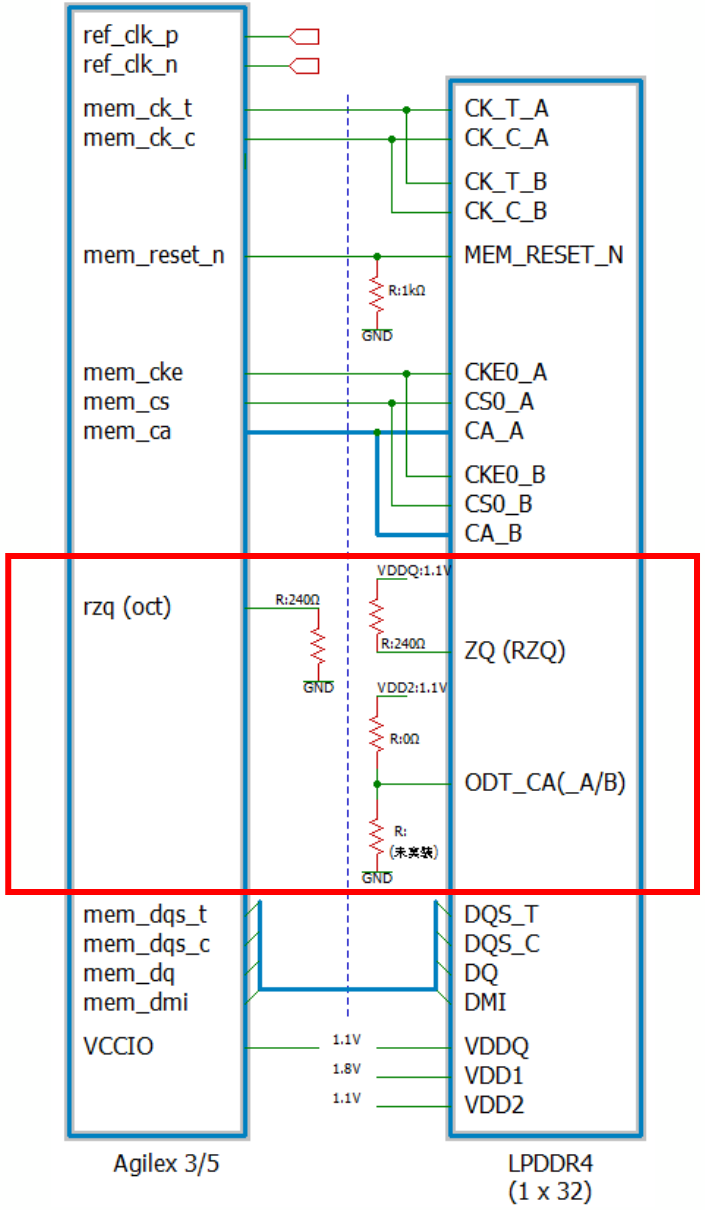


- **mem_reset_n : 1-kΩ Pull-Down (抵抗値は基板シミュレーションで確認)**
  - PCB Design ユーザーガイド, 5.3. LPDDR4 Interface Design Guidelines, Figure 60. Stripline Routing for Reset Signals



© Macnica, Inc.

Agilex™ 3 and 5 FPGAs & SoCs + LPDDR4 の回路図確認 4/6

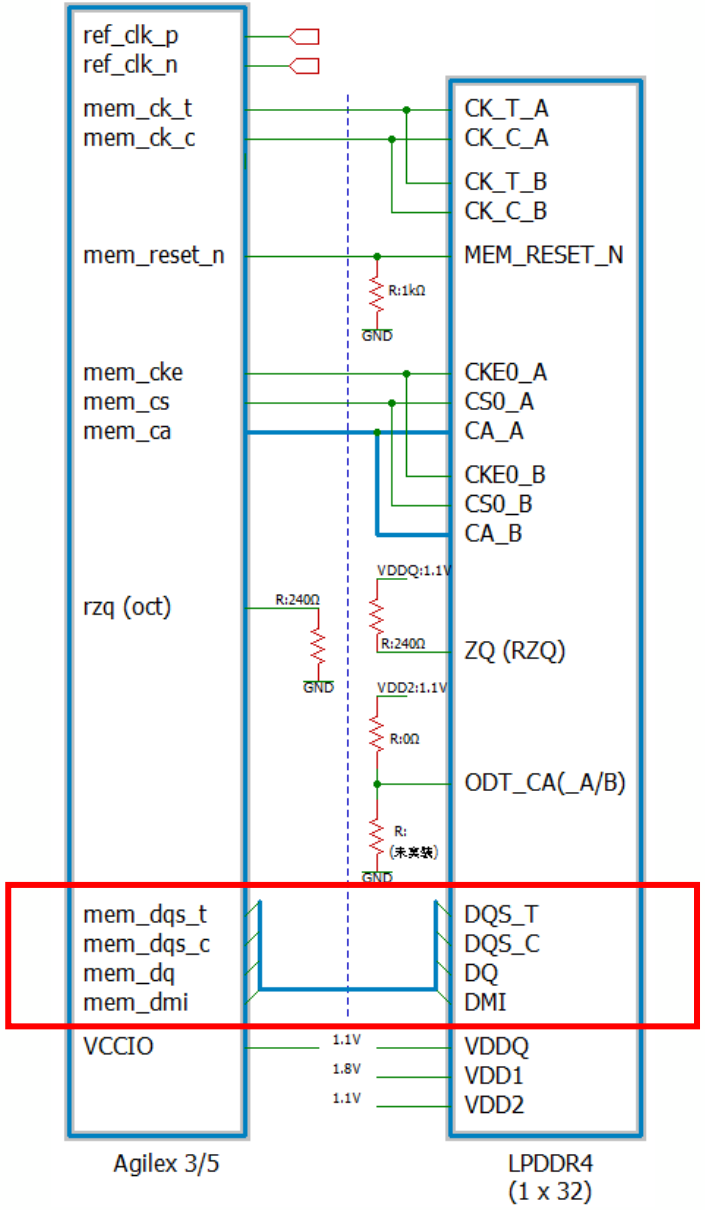


- **FPGA 側 RZQ : 240 Ω Pull-Down**
  - 専用ピンの番号は I/O Bank で “AC1”を配置した Byte Lane の index 2 固定
    - 1ch の場合 Index 38 (Byte Lane 3, Index 2)
    - 2ch の場合、上記に加えて Index 62 (Byte Lane 5, Index 2)
    - Agilex™ 3 : EMIF IP ユーザーガイド, 3.6.2.2. Specific Pin Connection Requirements
    - Agilex™ 5 : EMIF IP ユーザーガイド, 8.2.3.2. Specific Pin Connection Requirements

    (OCT の個所を参照してください)
    - 複数の EMIF IP での共有は同一 I/O Bank 内でのみ可能
- **メモリー側 RZQ : 240 Ω Pull-Up (VDDQ=1.1V)**
- **メモリーODT_CA 信号 : 固定論理値 (VDD2=1.1V)**
  - High/Low (GND) 固定を選択できるようにしておきます
  - CA, CS, CK の ODT 終端の On/Off に影響します
  - シミュレーションまたは実機測定によって調整してください

© Macnica, Inc.

Agilex™ 3 and 5 FPGAs & SoCs + LPDDR4 の回路図確認 5/6



- **mem_dq/dqs/dmi : 終端不要**
  - FPGA 側・メモリー側の双方で 終端不要（内部終端）
    - FPGA 側内部終端：OCT (On-Chip Termination)
    - メモリー側内部終端：ODT (On-Die Termination)
  - ピン配置の制限・注意点は下記を参照してください
    - データ関連ピンの配置レーン、index は指定されています

      Agilex™ 3：
      - EMIF IP ユーザーガイド, 3.6.1.5. LPDDR4 Data Width Mapping
      - EMIF IP ユーザーガイド, 3.6.2.5. Pin Swizzling Guidelines

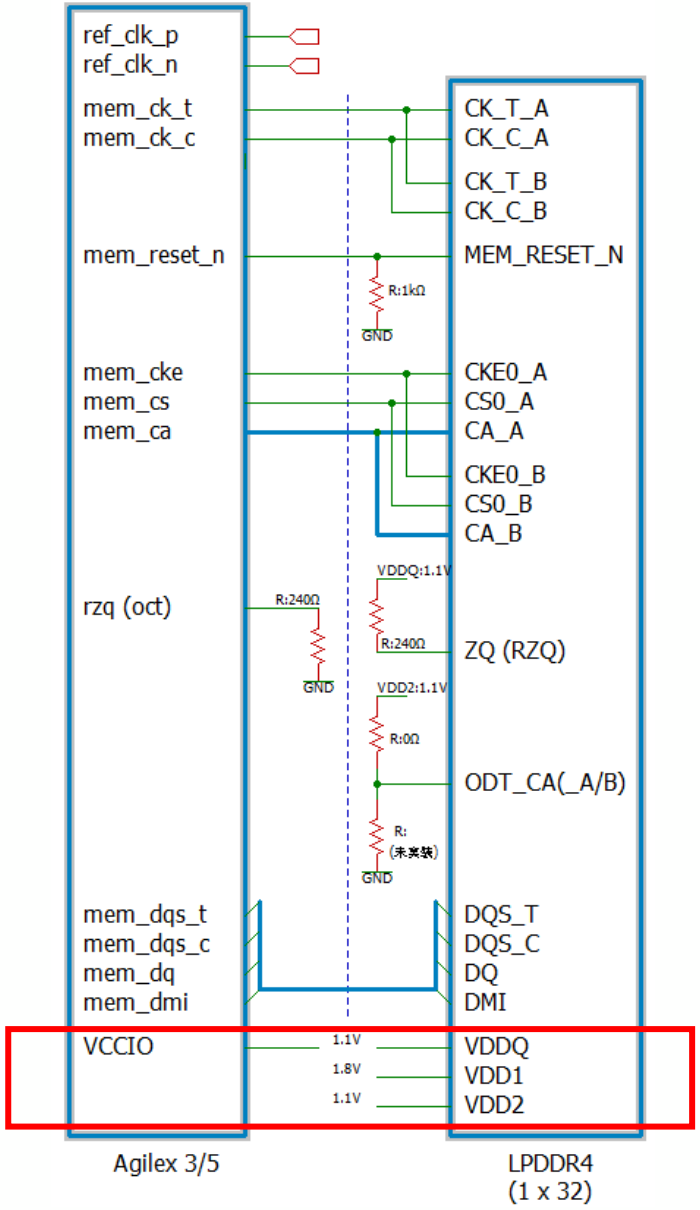
      Agilex™ 5：
      - EMIF IP ユーザーガイド, 8.2.3.6. LPDDR4 Data Width Mapping
      - EMIF IP ユーザーガイド, 8.2.3.7. Pin Swapping Guidelines
    - Pin Swap は “Pin Swizzle” (Pin Swizzling) として指定します

      Agilex™ 3：
      - EMIF IP ユーザーガイド, 6.10.2.1. Verifying High-Level Configuration

      Agilex™ 5：
      - EMIF IP ユーザーガイド, 12.10.2.1. Verifying High-Level Configuration
      - EMIF IP Design Example ユーザーガイド, 2.3. Configuring DQ Pin Swizzling

© Macnica, Inc.

Agilex™ 3 and 5 FPGAs & SoCs + LPDDR4 の回路図確認 6/6



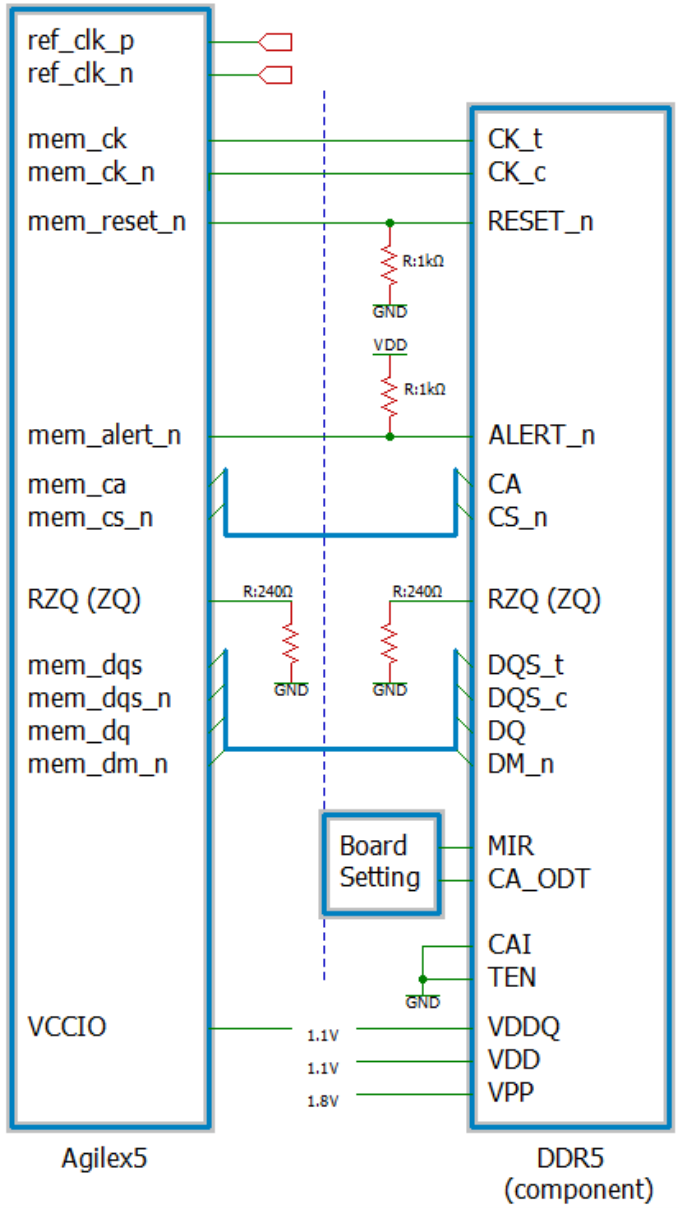
- **VCCIO (FPGA 側), VDDQ (メモリー側)**
  - I/O 用電源電圧
  - 1.1V に接続
- **VDD1 (メモリー側)**
  - コア用電源電圧
  - 1.8V に接続
- **VDD2 (メモリー側)**
  - コアおよび I/O (入力) 用電源電圧
    - CK, CA, CS 信号に使用
  - 1.1V に接続

© Macnica, Inc.

3. DDR5 (Agilex™ 5 FPGA & SoC)

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR5 の回路図確認



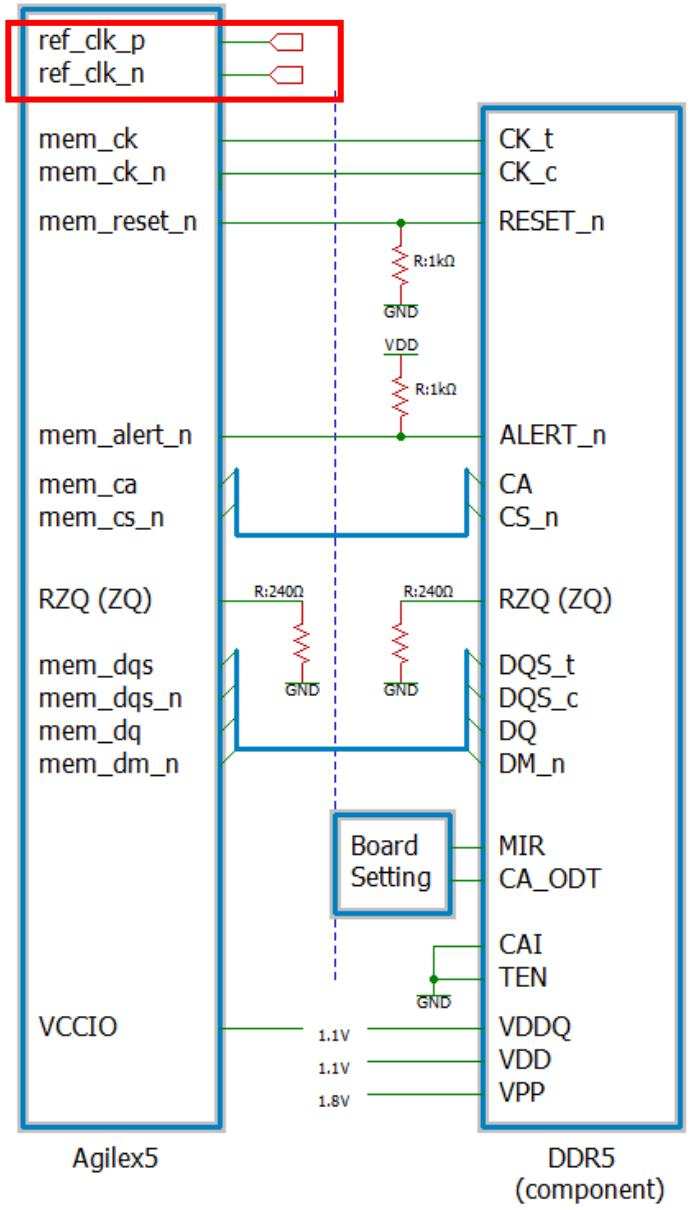
- **左図は Agilex™ 5 FPGA & SoC + DDR5 (component) の参考回路図**

- **抵抗値の決定・確認のため、基板シミュレーションが必要です**
  - 外部終端抵抗と OCT, ODT 設定値を決定・確認します
  - 基板シミュレーションの結果が良い方を選択してください
  - DDR5 では、メモリークロック、コマンド・アドレス信号について外付けの終端抵抗は必要ありません
    - 内部終端(ODT)抵抗で終端されます (Component, DIMM 共通)

- **左図は Component の接続を表しています**
  - **DIMM の参考回路図、固有の注意点は下記を参照してください**
    - DDR5 DIMM の注意点

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR5 の回路図確認 1/9



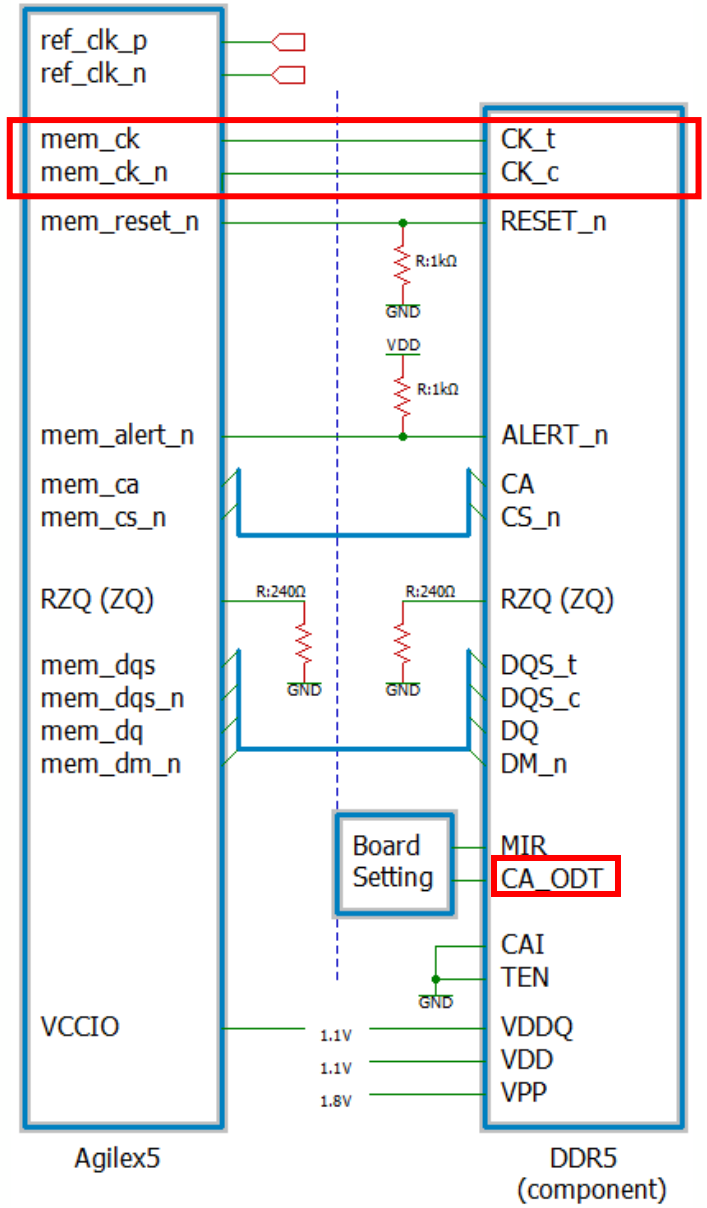
- **pll_ref_clk : 専用ピンに接続**
  - 専用ピンの番号は I/O Bank で “AC0” を配置した Byte Lane の index 10, 11 固定
    - Bottom Sub-Bank に配置の場合 Byte Lane 2
    - Top Sub-Bank に配置の場合 Byte Lane 4
  - 同じ I/O Bank 内で共有可能
  - I/O Standard は True Differntial Signaling のみサポート
  - 詳細は以下の資料を参照してください

    （配置について）
    - EMIF IP ユーザーガイド, 7.3.3.3. Specific Pin Connection Requirements

    （ True Differential Signaling I/O Standard について）
    - GPIO ユーザーガイド, 2.2. HSIO Features

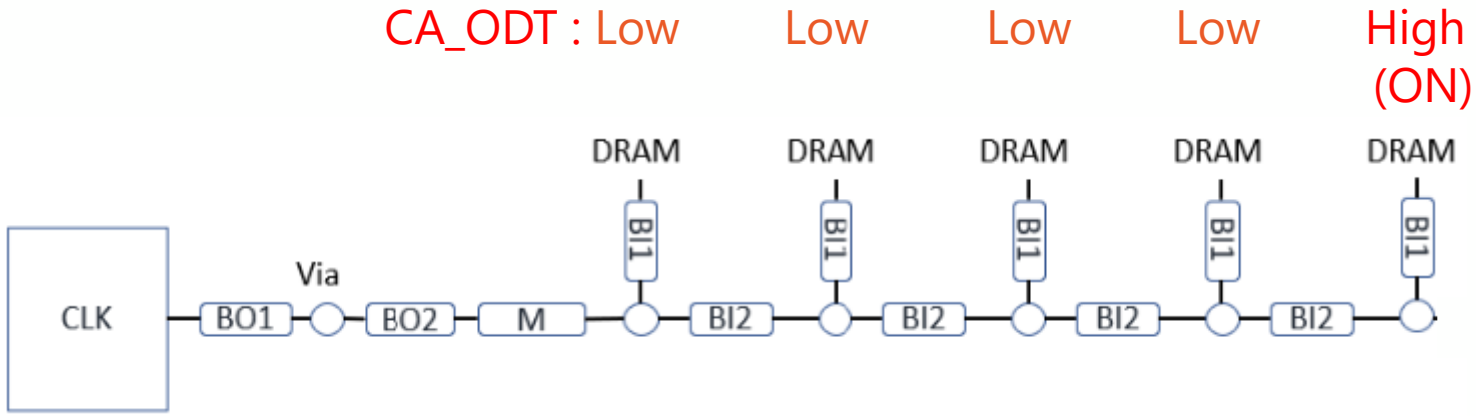
© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR5 の回路図確認 2/9



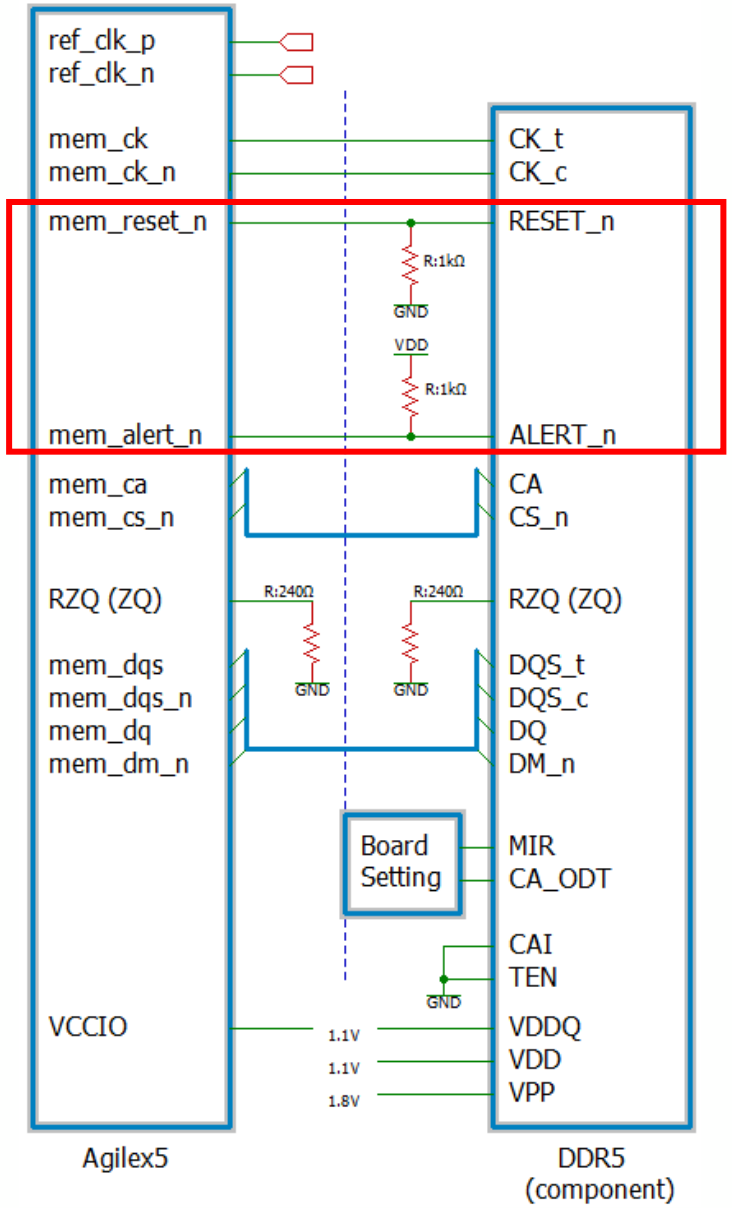
- **mem_ck : ODT 内部終端 (抵抗値は基板シミュレーションで判断)**
  - 複数デバイスの場合共通配線で分配します
  - fly-by トポロジーで配線し、最後尾のデバイスで ODT 抵抗が ON になるように設定します (component の場合)
    - 参照：DDR5 の回路図確認 7/9、CA_ODT の説明

      CA_ODT 信号を最後尾のみ “Hgih” に、それ以外を “Low” に固定



© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR5 の回路図確認 3/9

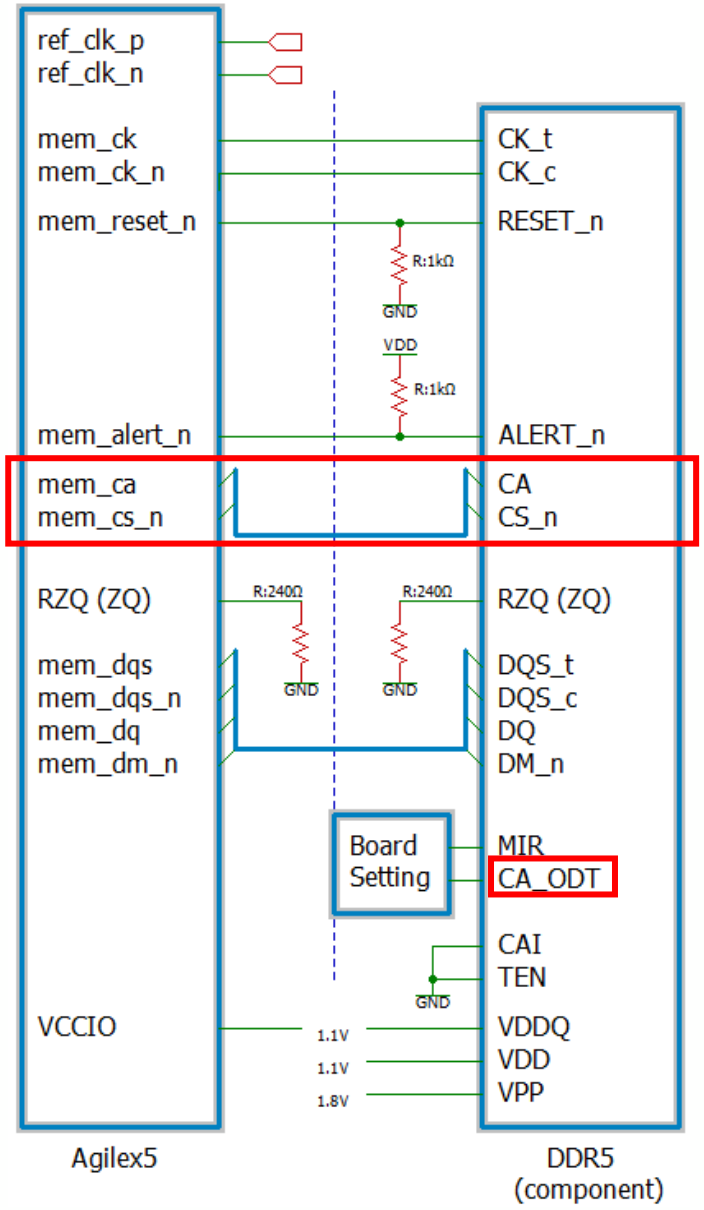


- **mem_reset_n : Pull-Down (抵抗値は基板シミュレーションで判断)**
  - 複数デバイスの場合 共通配線で分配します

- **mem_alert_n : 抵抗を介して VDD 接続 (Pull-Up, 抵抗値は基板シミュレーションで判断)**
  - 複数デバイスの場合 共通配線で分配します

© Macnica, Inc.

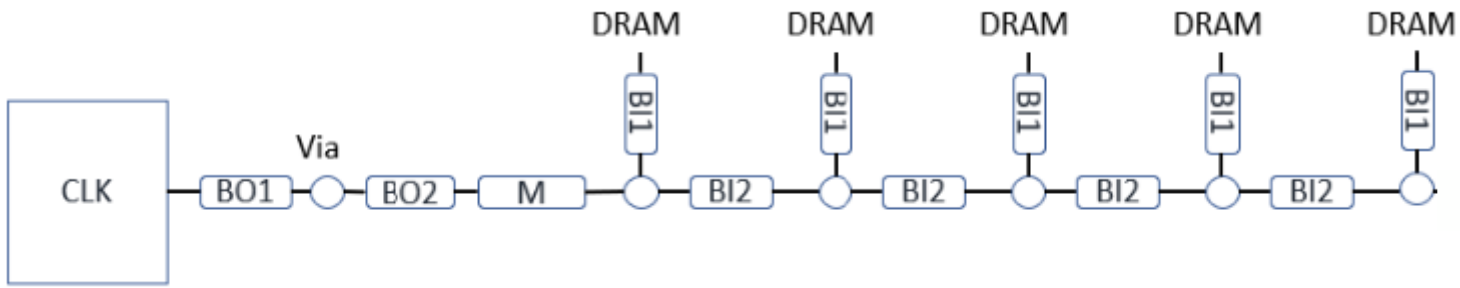
Agilex™ 5 FPGA & SoC + DDR5 の回路図確認 4/9



- **mem_ca/cs_n/par : ODT 内部終端 (抵抗値は基板シミュレーションで判断)**
  - mem_par は RDIMM でのみ使用されます
  - 複数デバイスの場合 信号は共通に分配されます
  - fly-by トポロジーで配線し、最後尾のデバイスで ODT 抵抗が ON になるように設定します (component の場合)
    - 参照：DDR5 の回路図確認 7/9、CA_ODT の説明

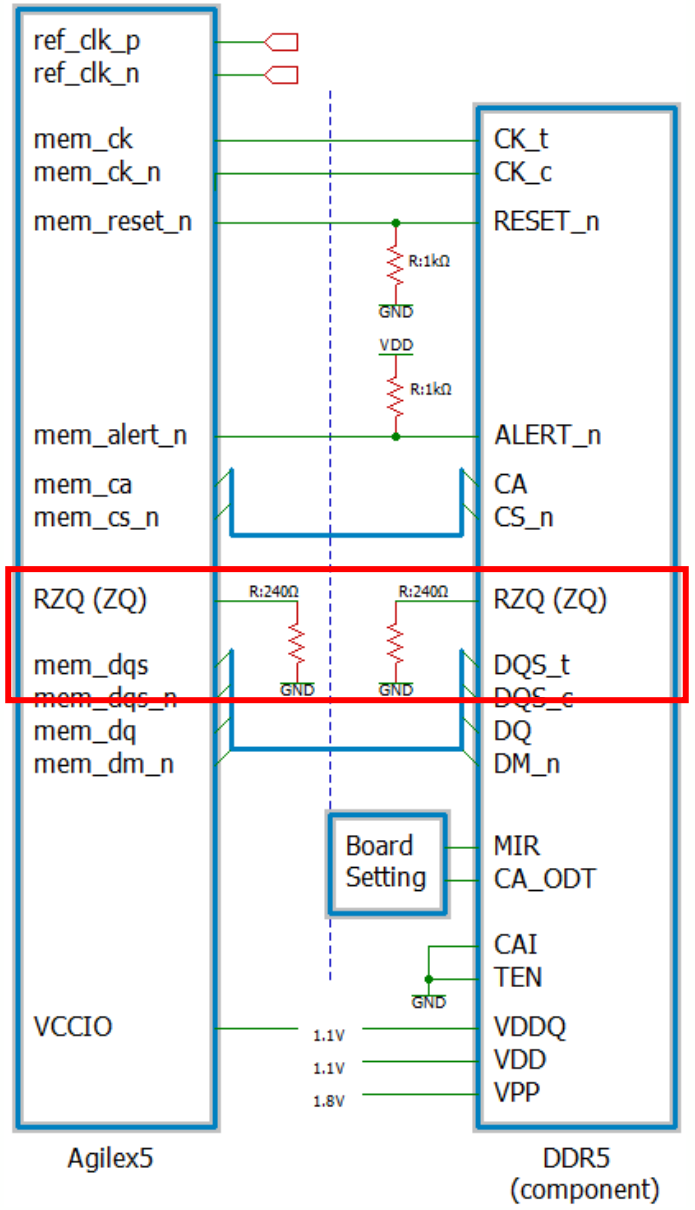
      CA_ODT 信号を最後尾のみ “Hgih” に、それ以外を “Low” に固定

CA_ODT : Low　Low　Low　Low　High (ON)



© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR5 の回路図確認 5/9



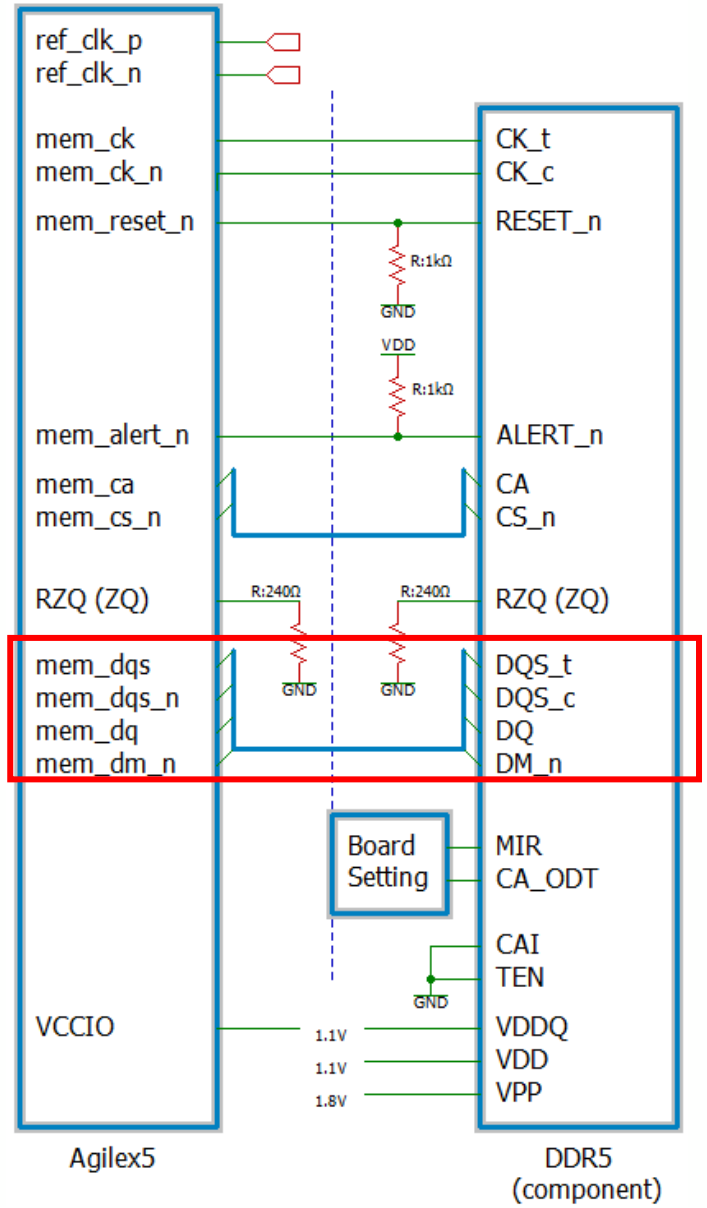
- **FPGA 側 RZQ : 240 Ω Pull-Down**
  - 専用ピンの番号は I/O Bank で “AC1” を配置した Byte Lane (3 または 5) の index 2 ピン
    - EMIF IP ユーザーガイド, 7.3.3.3. Specific Pin Connection Requirements

    （OCT の個所を参照してください）
    - 複数の EMIF IP での共有は同一 I/O Bank 内でのみ可能

- **メモリー側 RZQ : 240 Ω Pull-Down**

© Macnica, Inc.

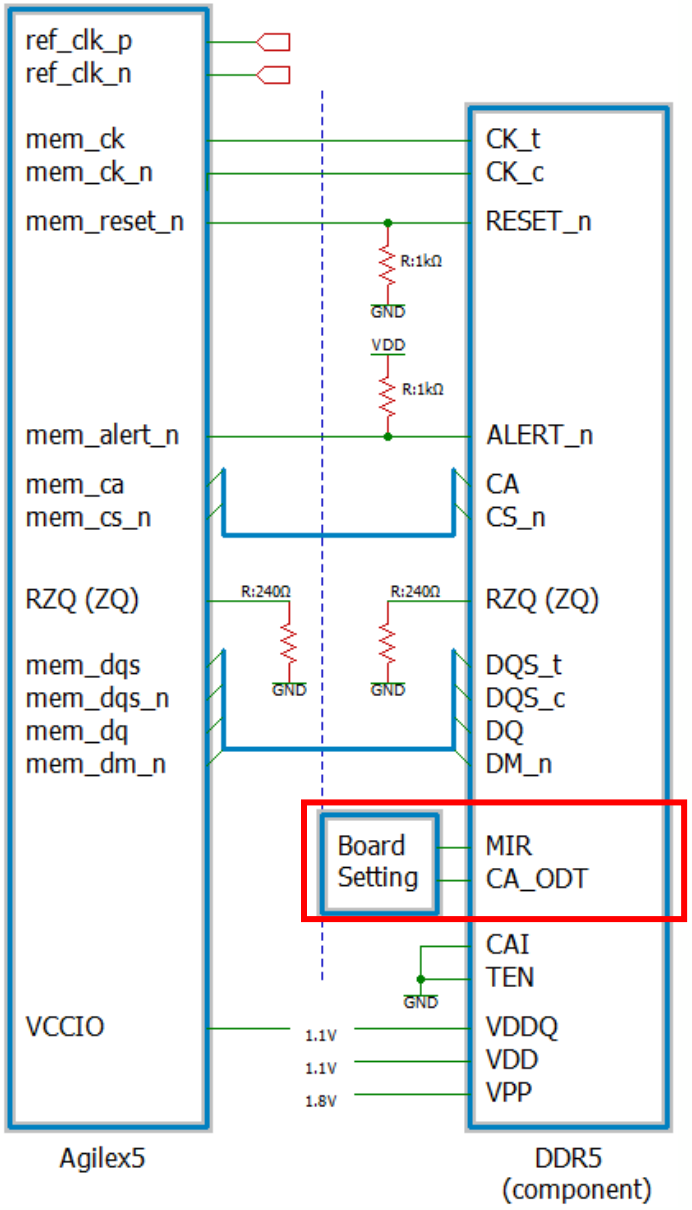
Agilex™ 5 FPGA & SoC + DDR5 の回路図確認 6/9



- **mem_dq/dqs/dm_n : 終端不要**
  - FPGA 側・メモリー側の双方で 終端不要 (内部終端)
    - FPGA 側内部終端：OCT (On-Chip Termination)
    - メモリー側内部終端：ODT (On-Die Termination)
  - ピン配置の制限・注意点は下記を参照してください
    - データ関連ピンの配置レーン、index は指定されています
      - EMIF IP ユーザーガイド, 7.3.4.2. DDR5 Data Width Mapping
      - EMIF IP ユーザーガイド, 7.3.5.3. DDR5 Interface x8 Data Lane
      - EMIF IP ユーザーガイド, 7.3.5. Agilex™ 5 EMIF Pin Swapping Guidelines
    - Pin Swap は “Pin Swizzle” (Pin Swizzling) として指定します
      - EMIF IP ユーザーガイド, 12.10.2.1. Verifying High-Level Configuration
      - EMIF IP Design Example ユーザーガイド, 2.3. Configuring DQ Pin Swizzling

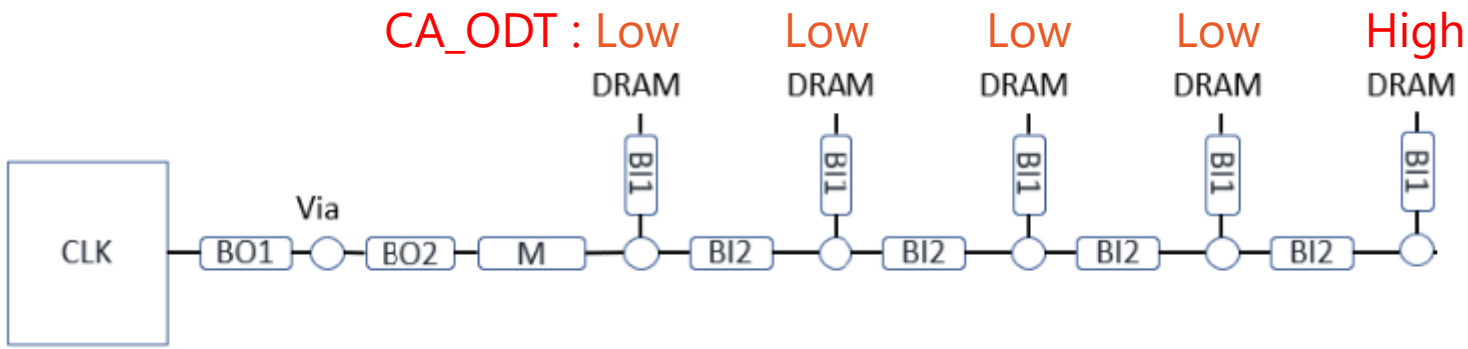
© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR5 の回路図確認 7/9



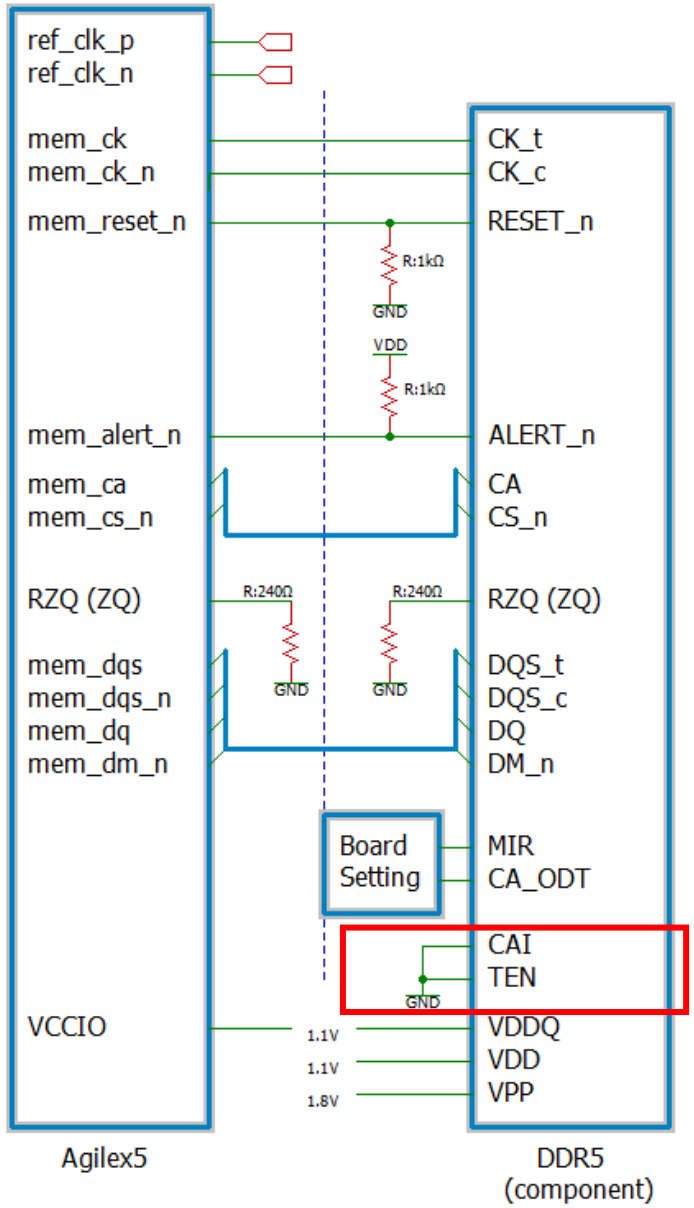
（Component のみの信号）

- **MIR : CA ピン の Mirroring 指定**
  - DDR5 component では個別に MIR 入力信号で指定します
  - Mirroring を行う場合 “High” 固定、それ以外は “Low” 固定
- **CA_ODT : CA/CK/CS の ODT 設定の選択**
  - 各 component で ODT 設定値の2通りの選択を固定的に指定
    - 通常、fly-by トポロジーの最後尾のみ “High” に設定します
    - CA_ODT = “Low” で Group A の設定(Default ODT off)、
    - CA_ODT = “Hgh” で Group B の設定(Default RZQ/6 = 40 Ω)



© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR5 の回路図確認 8/9



（Component のみの信号）

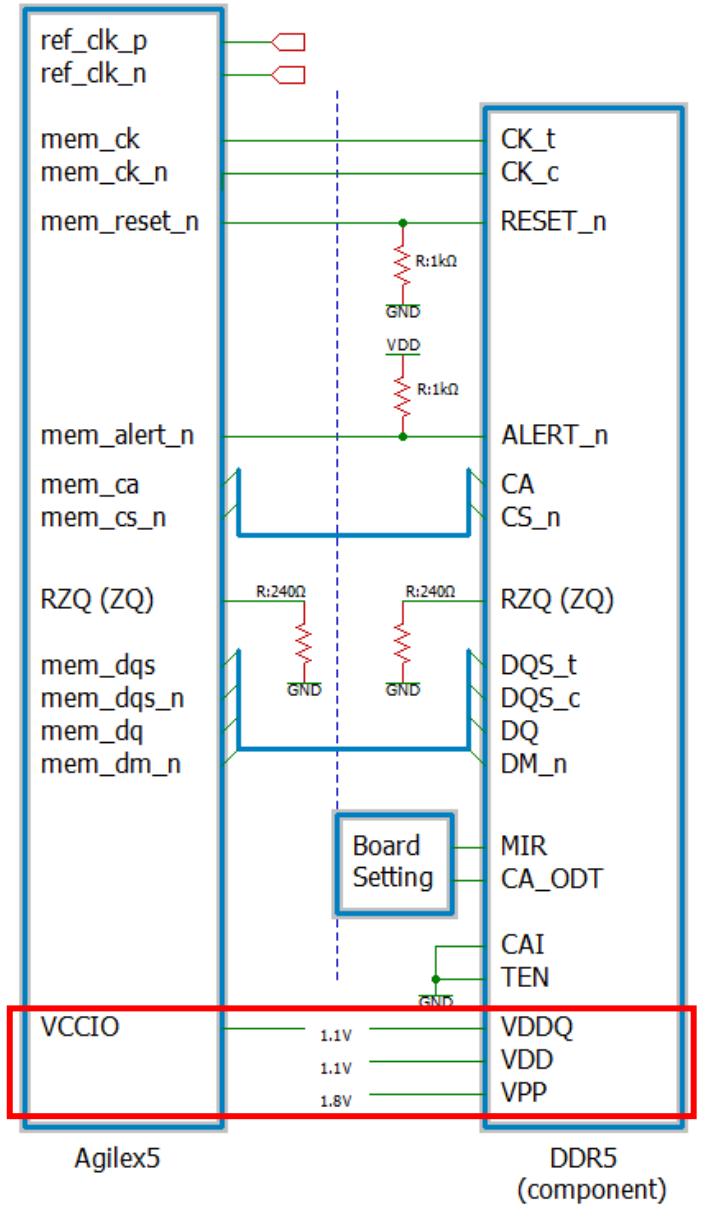
- **CAI : CA ピンの論理反転指定**
  - 特に必要ない限り、GND 固定で問題ありません
- **TEN : テストモード指定**
  - 特に必要ない限り、GND 固定で問題ありません

（Component の場合）

- **LBDQ/LBDQS : Loopback Data および Strobe 信号**
  - DDR5 (component) IP ではサポートしないため、接続は必要ありません（図示せず）
  - 未接続または Pull-Up/Down とします
    - メモリーベンダーのガイドラインに従ってください

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + DDR5 の回路図確認 9/9



（Component の場合の電源構成）

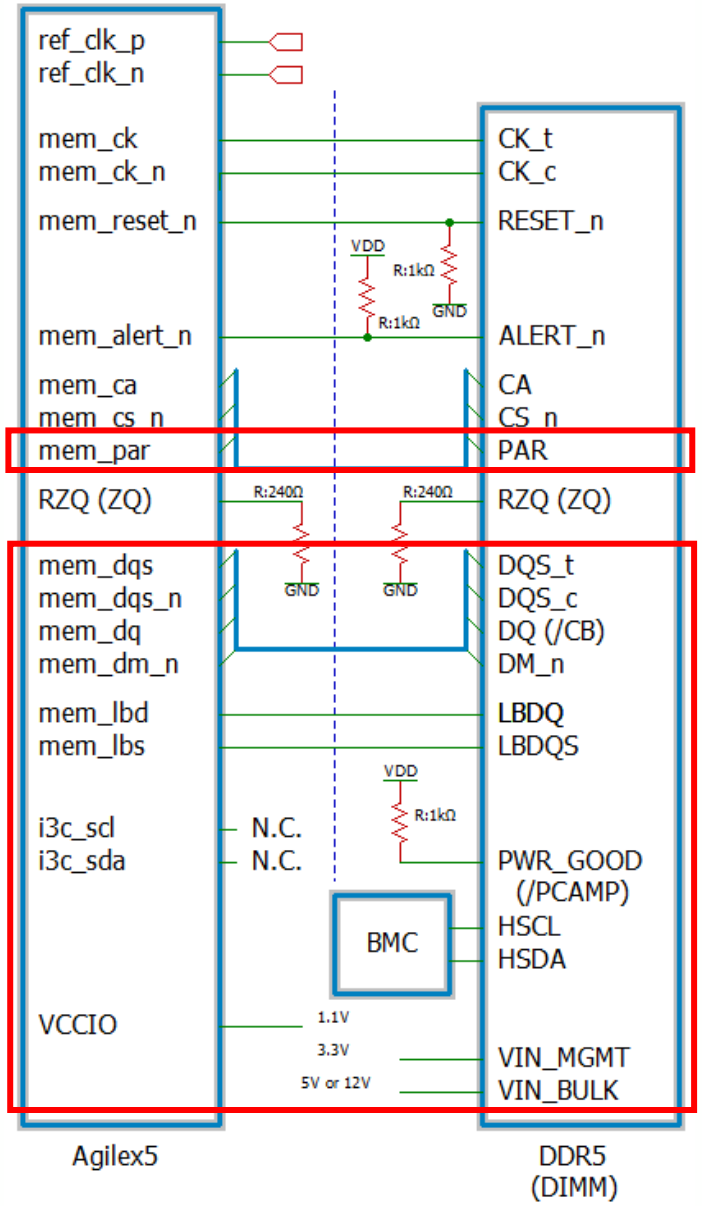
- **VCCIO (FPGA 側)**
  - 1.1V に接続
- **VDD, VDDQ (メモリー側)**
  - 1.1V に接続
  - VDDQ : I/O 用電源
  - VDD : メイン電源
- **VPP (メモリー側)**
  - 調整用電圧（通常、1.8V）
  - 1.8V に接続されていることを確認する

（DIMM の場合は下記を参照）

- DDR5 DIMM の注意点

© Macnica, Inc.

DDR5 DIMM の注意点 (Agilex™ 5 FPGA & SoC) 種類別早見表

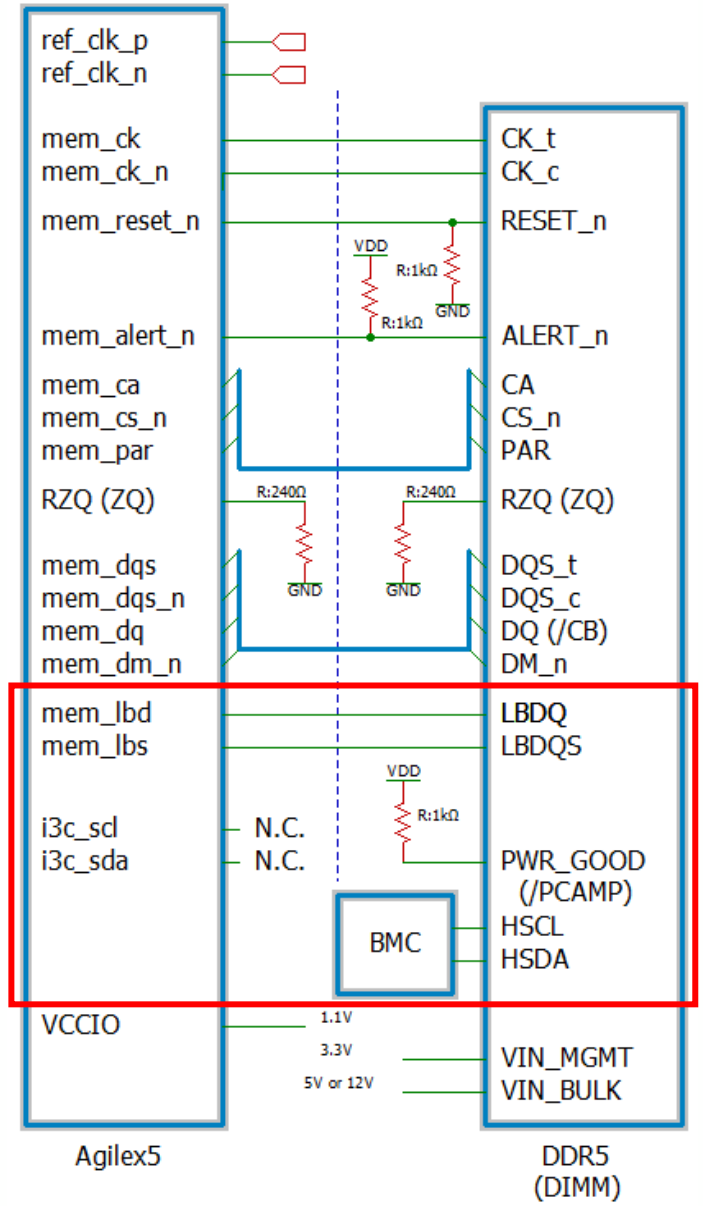


- **下記信号は DIMM タイプで処理が異なります**
  - 詳細はリンク先(後のスライド)を参照してくだい

信号名	UDIMM/SODIMM	RDIMM
LBDQ	n/a	mem_lbd と接続
LBDQS	n/a	mem_lbs と接続
PWR_GOOD	1-kΩ pull-up (VDDQ)	n/a
PCAMP	n/a	1-kΩ pull-up (VDDQ)
HSCL, HSDA	IP の対象外	BMC (CPLD 等) を接続
PAR	n/a	mem_par と接続
DQS/TDQS /DM 兼用信号	n/a	x4, x8 タイプの両者対応の場合 index に注意
VIN_BULK	5V 電源を供給	12V 電源を供給
VIN_MGMT	n/a	3.3 V 電源を供給

© Macnica, Inc.

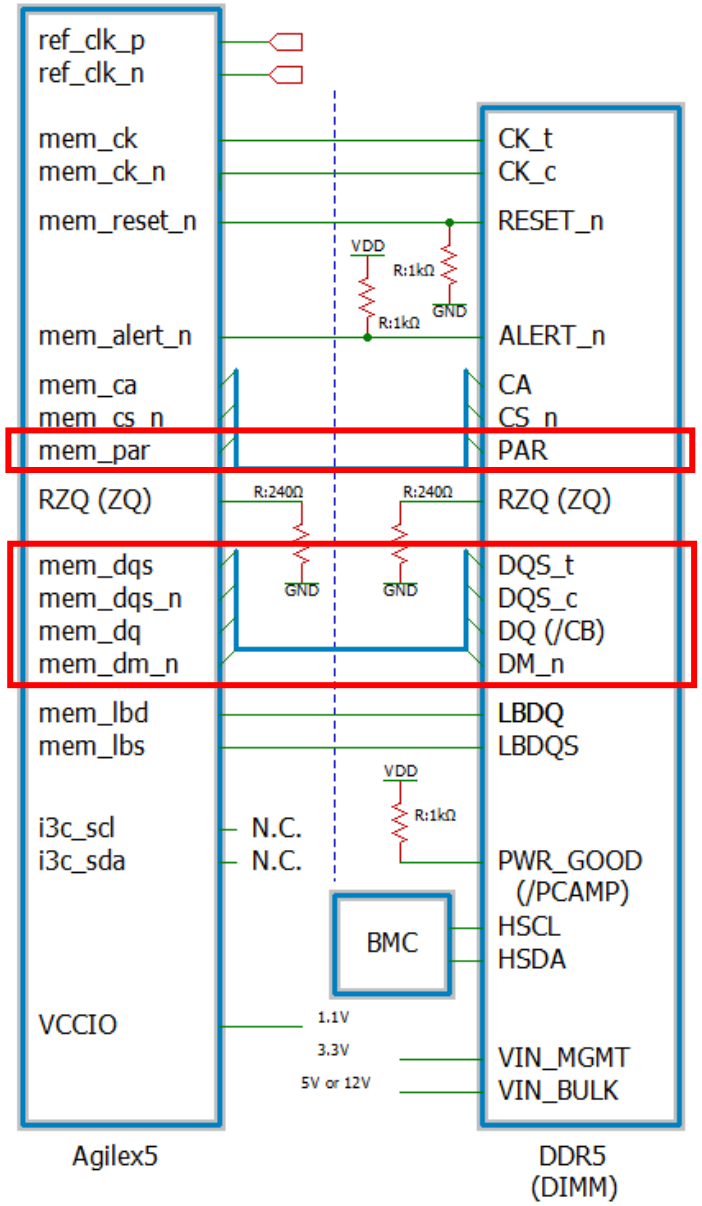
DDR5 DIMM の注意点 (Agilex™ 5 FPGA & SoC) (1/3)



- **左図は Agilex™ 5 FPGA & SoC + DDR5 (DIMM) の参考回路図**
  - DDR5 DIMM IP 、およびその一部設定でのみサポートされる信号について説明します
- **LBDQ/LBDQS : Loopback Data および Strobe 信号**
  - RDIMM : LBDQ-mem_lbd、LBDQS-mem_lbs と接続
  - UDIMM/SODIMM ：規格として対応していません
- **PWR_GOOD(UDIMM/SODIMM)/PCAMP(RDIMM)**
  - 電源 IC のステータス＆制御信号
  - 1-kΩ で VDDQ=1.1V に Pull-Up して下さい
- **HSCL/HSDA : Host Sideband Bus Clock, Data 信号**
  - RDIMM : BMC 用デバイス (CPLD など) に接続
    - BMC：Board Management Controller
    - RDIMM 登載の PMIC の設定を行う必要があります
    - 設定内容は RDIMM のデータシートなどを参照してください
    - IP で生成される i3c_scl/sda 信号は接続しないでください (非対応)
  - UDIMM/SODIMM：IP として対応していません

© Macnica, Inc.

DDR5 DIMM の注意点 (Agilex™ 5 FPGA & SoC) (2/3)

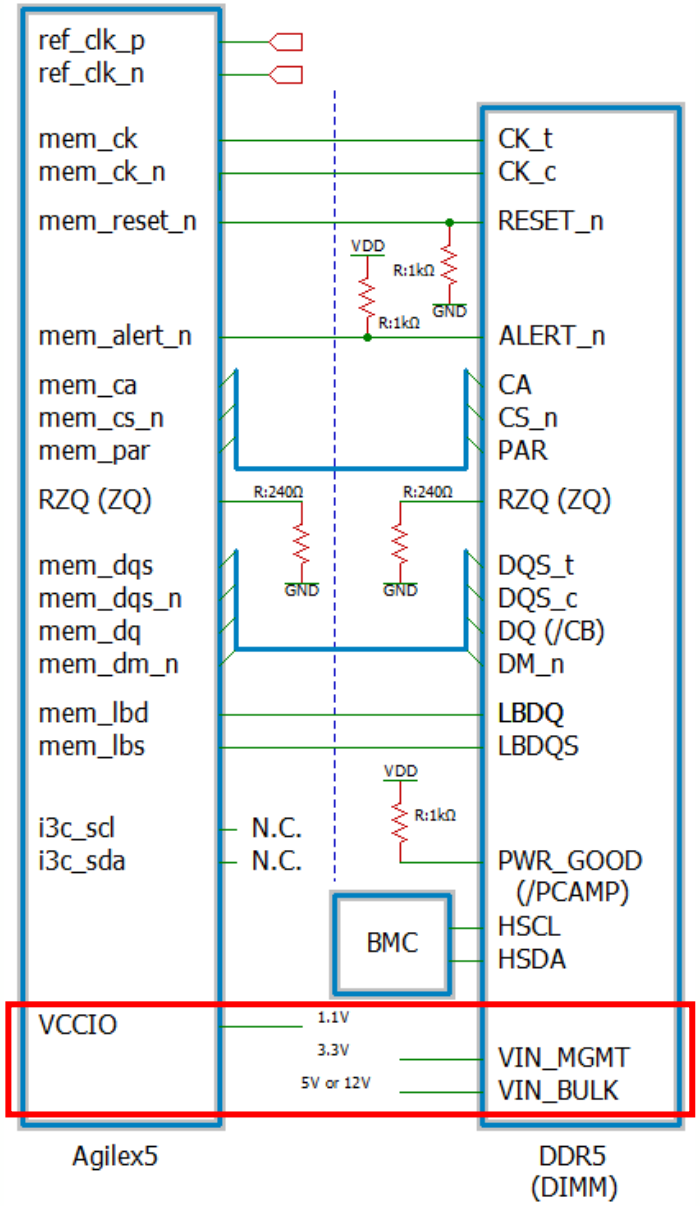


（DIMM 固有の注意点についての補足）

- **PAR 信号：Command and Address の Parity 信号**
  - RDIMM のみ、CA 信号と同様の扱いで問題ありません
- **CB 信号：ECC 用 Check Bit Data**
  - DQ 信号の一部(上位 index) として扱って問題ありません
- **DQS/TDQS/DM 兼用信号：**
  - RDIMM にはメモリー x4 タイプと x8 タイプの2つがあります
  - 両者対応(互換)のためには、x4 タイプ向けに配線してください
    - x4 タイプで DQS_t/c となる信号の半分が、x8 タイプではダミー信号の TDQS_t/c となり、TDQS_t は DM_n と兼用です
  - Intex (Channel 含む) の FPGA 側とメモリー側の対応関係も比較的複雑ですので注意してください
    - 問題回避のため、Pin Swap (Swizzle) もできるだけ避けることが推奨です
    - x8 タイプのデザインが配置可能か tool での確認を推奨します
  - 詳細は下記を参照してください
    - EMIF IP ユーザーガイド, 7.3.5.3. DDR5 Interface x8 Data Lane
    - EMIF IP ユーザーガイド, 7.3.5.4. DDR5 Interface x4 Data Lane

© Macnica, Inc.

DDR5 DIMM の注意点 (Agilex™ 5 FPGA & SoC) (3/3)



（DIMM の場合の電源構成）

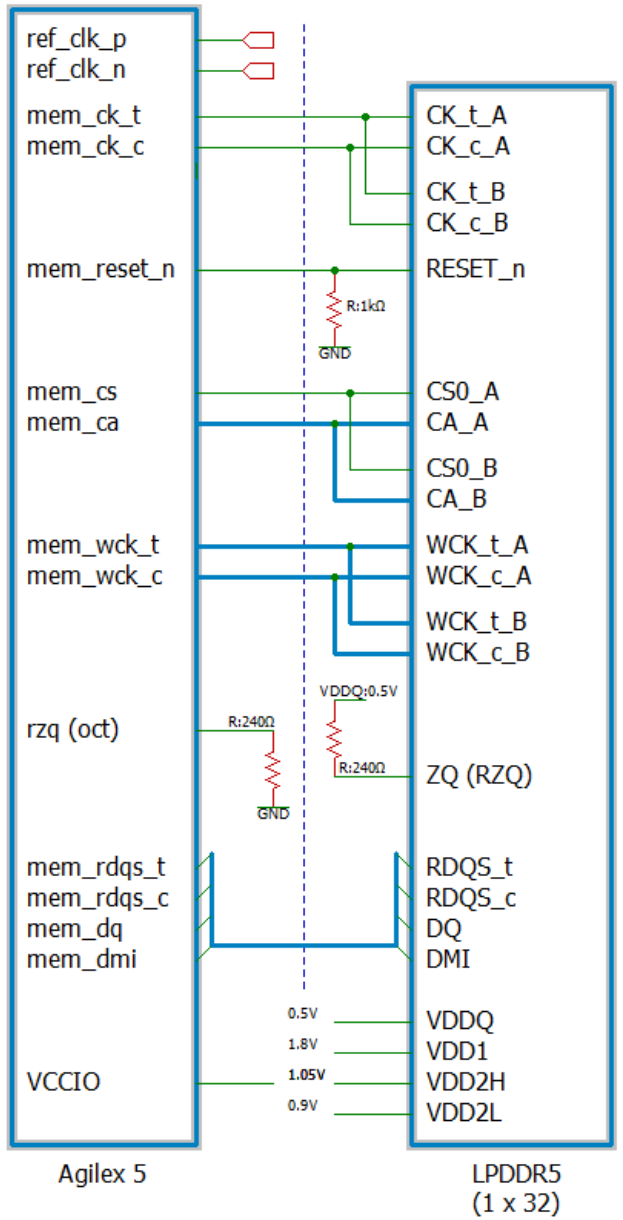
- **VCCIO (FPGA 側)**
  - 1.1V に接続
- **VIN_BULK (メモリー側)**
  - メイン電源
  - UDIMM/SODIMM では VIN_BULK = 5V を供給
  - RDIMM では VIN_BULK = 12V を供給
- **VIN_MGMT (メモリー側)**
  - 電源用 PMIC の内部駆動および LDO 向け
  - UDIMM/SODIMM では用意されません
  - RDIMM では VIN_BULK = 3.3V を供給

© Macnica, Inc.

4. LPDDR5 (Agilex™ 5 FPGA & SoC)

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + LPDDR5 の回路図確認

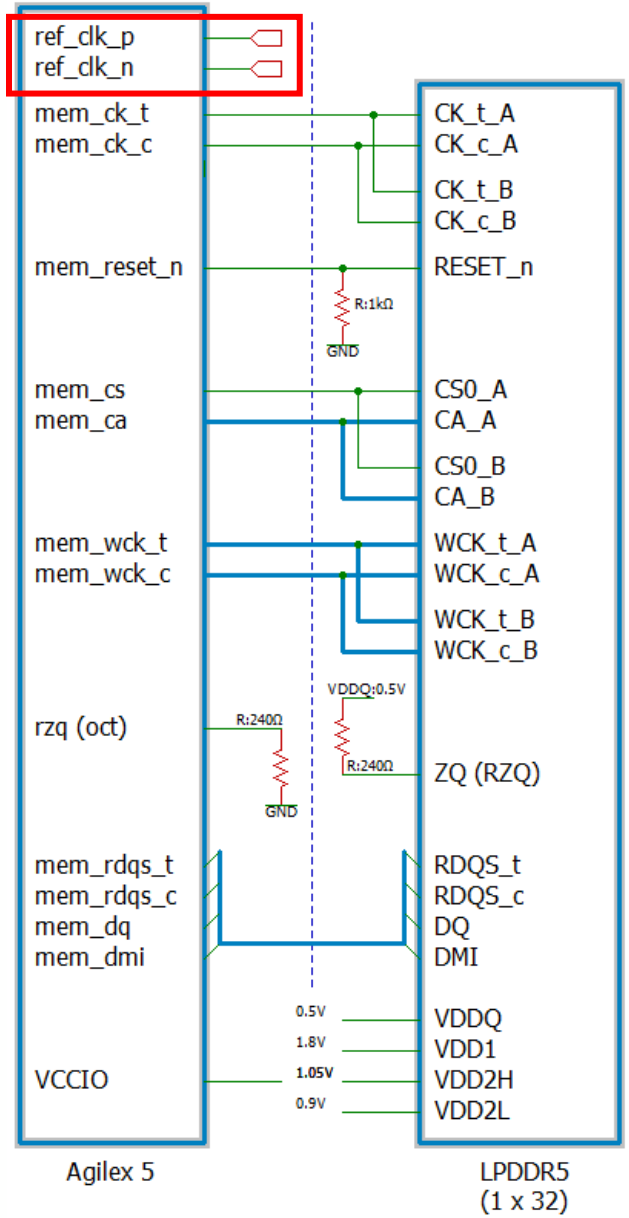


- **左図は Agilex™ 3 and 5 FPGAs & SoCs + LPDDR5 の参考回路図**
  - 標準的な 1ch x 32 構成の場合

- **抵抗値の決定・確認のため、基板シミュレーションが必要です**
  - 外部終端抵抗と OCT, ODT 設定値を決定・確認します
  - 基板シミュレーションの結果が良い方を選択してください

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + LPDDR5 の回路図確認 1/6



- **pll_ref_clk : 専用ピンに接続**
  - 専用ピンの番号は I/O Bank で Byte Lane 2 の index 10,11 固定
  - I/O Standard は True Differntial Signaling のみサポート
  - 詳細は以下の資料を参照してください

    （配置について）（PLL の個所を参照してください）

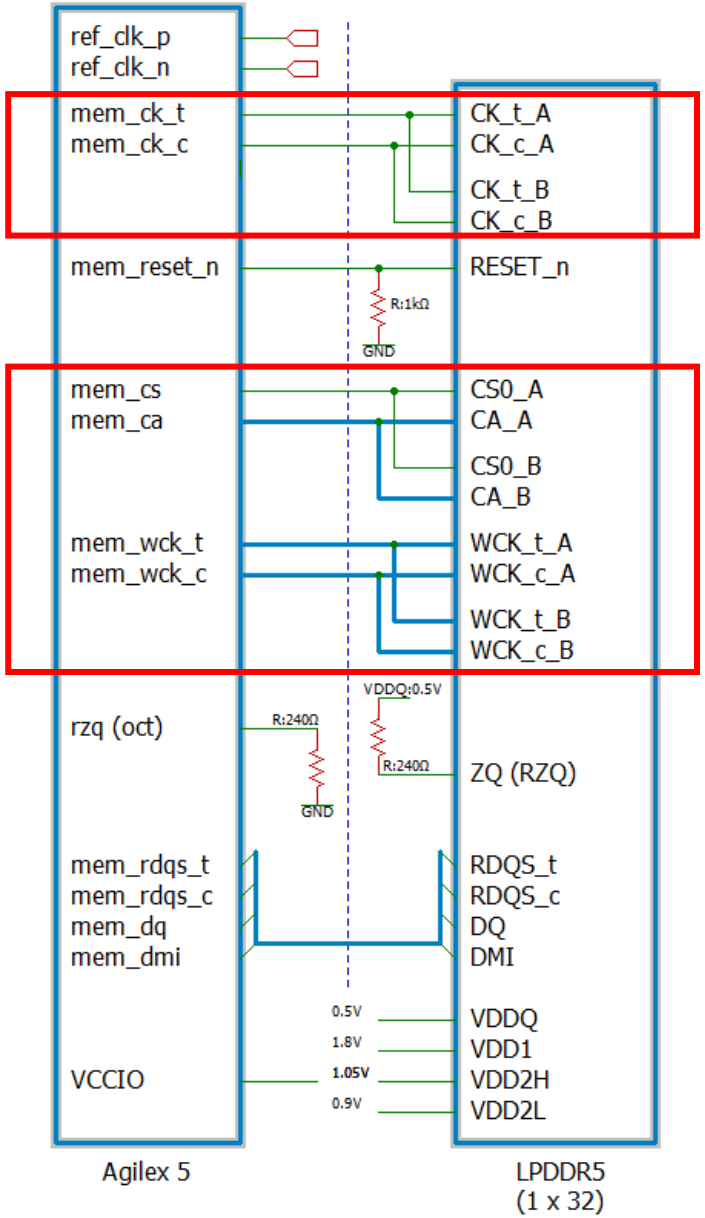
    - EMIF IP ユーザーガイド, 9.2.3.2. Specific Pin Connection Requirements

    （ True Differential Signaling I/O Standard について）

    - GPIO ユーザーガイド, 2.2. HSIO Features

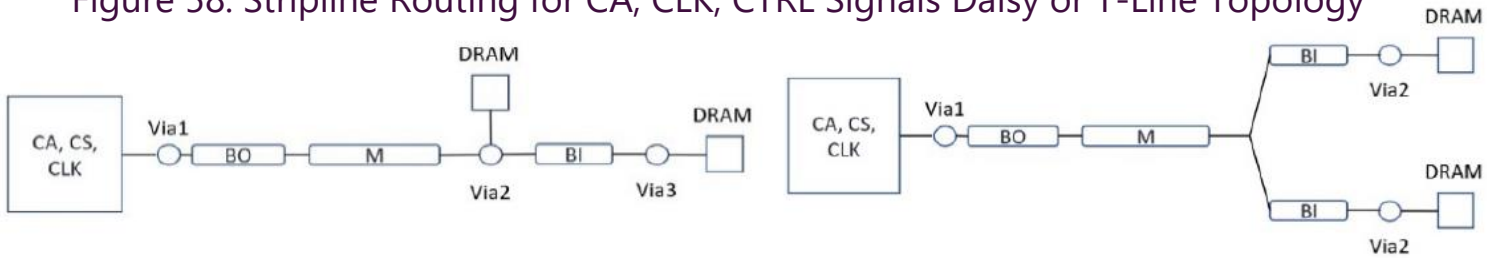
© Macnica, Inc.

Agilex™ 5 FPGA & SoC + LPDDR5 の回路図確認 2/6



- **mem_ck/cs/ca/wck ：LPDDR5 側で A, B ch に分配**
  - ODT 設定可能なためメモリー側終端は不要
    - 信号種類別に ODT の On/Off と抵抗値の選択が可能
  - レイアウトは Daisy-chain (Fly-By) と T-Line (T 分岐)を選択可能
    - ただし、wck については T-Line (T 分岐)を指定
    - 基板シミュレーション結果で判断してください
    - PCB Design ユーザーガイド, 6.3. LPDDR5 Interface Design Guidelines

Figure 58. Stripline Routing for CA, CLK, CTRL Signals Daisy or T-Line Topology

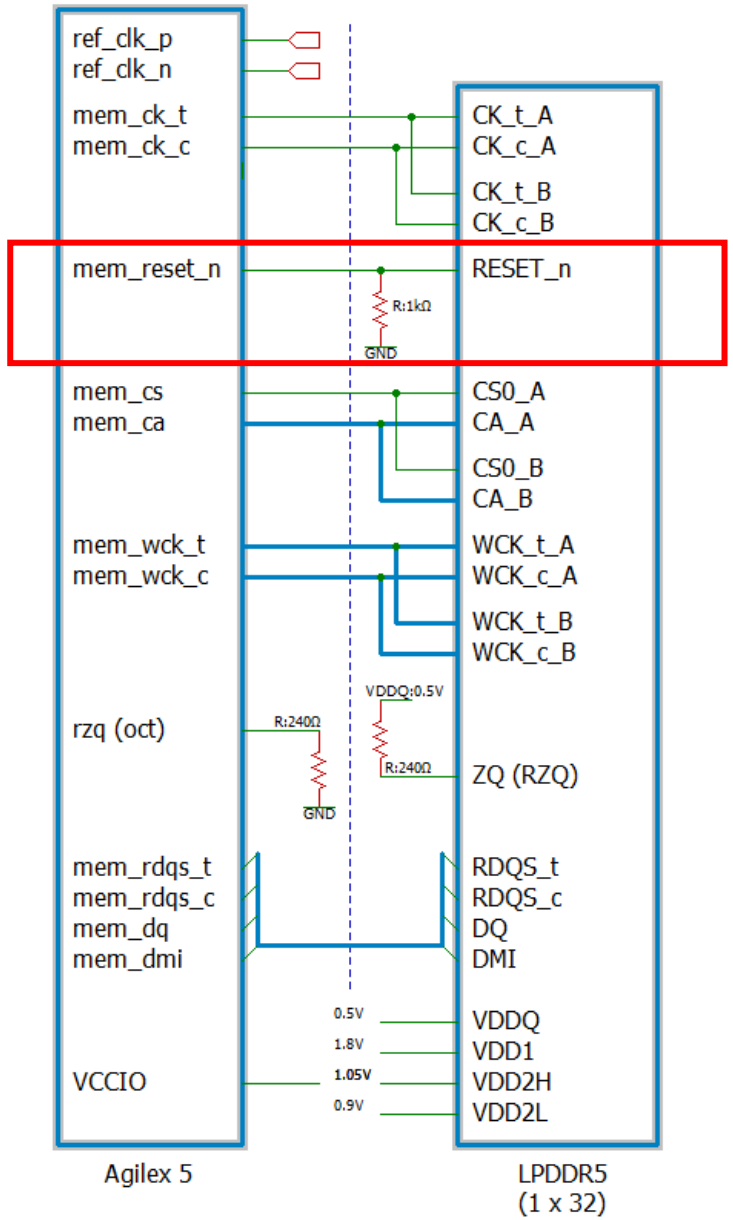


  - それぞれの場合について、レイアウト長と Skew の指定あり
    - PCB Design ユーザーガイド, 6.3.1. LPDDR5 Memory Down Topology (Single Rank or Dual-Rank)

Signal Group	Segment	Routing Layer	Max Length (mil)		Target Zse (ohm)	Trace Spacing, S1 (mil): Within Group	Trace Spacing, S2 (mil): CMD/CTRL/CLK to DQ/DQS	Trace Spacing, S3 (mil): DQ Nibble to Nibble	Trace Spacing (mil), Within DIFF pair	Trace Spacing (mil), DQS pair to DQ	Trace Spacing (mil), CLK pair to CMD/CTRL/CKE
			Segment	Total MB							
DQ, RDQS	BO	SL	1000	4000		5	17	17	4	5	
	M	SL			40	2h	3h	3h	4	3h	
	BO1/BO2	SL	450			5	17		4		17

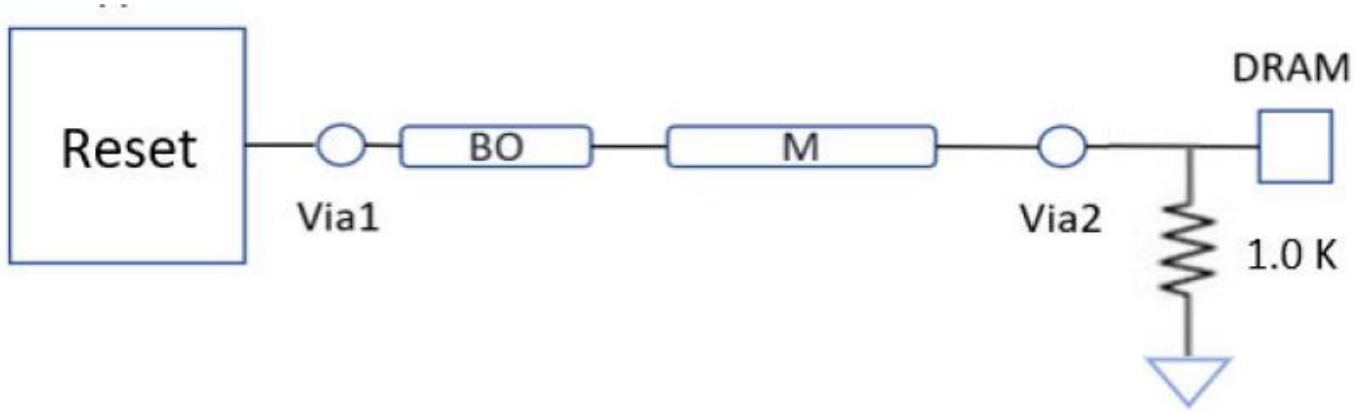
© Macnica, Inc.

Agilex™ 5 FPGA & SoC + LPDDR5 の回路図確認 3/6

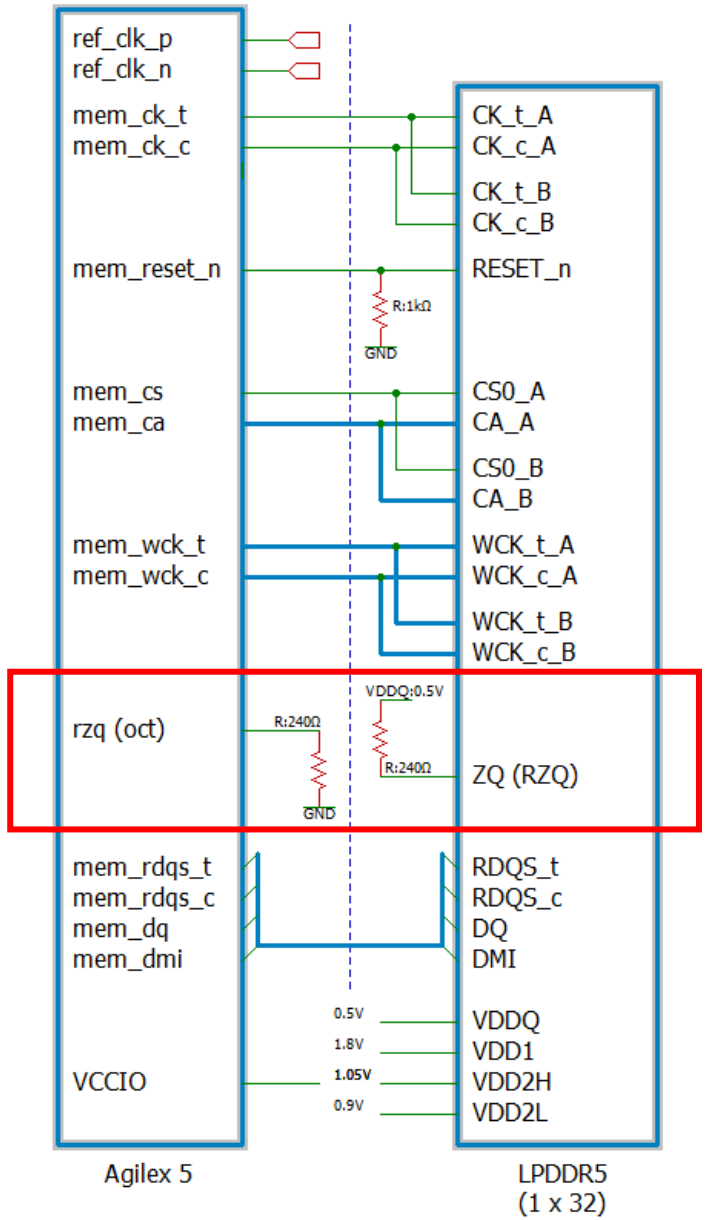


- **mem_reset_n : 1-kΩ Pull-Down (抵抗値は基板シミュレーションで確認)**
  - PCB Design ユーザーガイド, 6.3.1. LPDDR5 Memory Down Topology (Single Rank or Dual-Rank)

Figure 57. Stripline Routing for Reset Signals



Agilex™ 5 FPGA & SoC + LPDDR5 の回路図確認 4/6



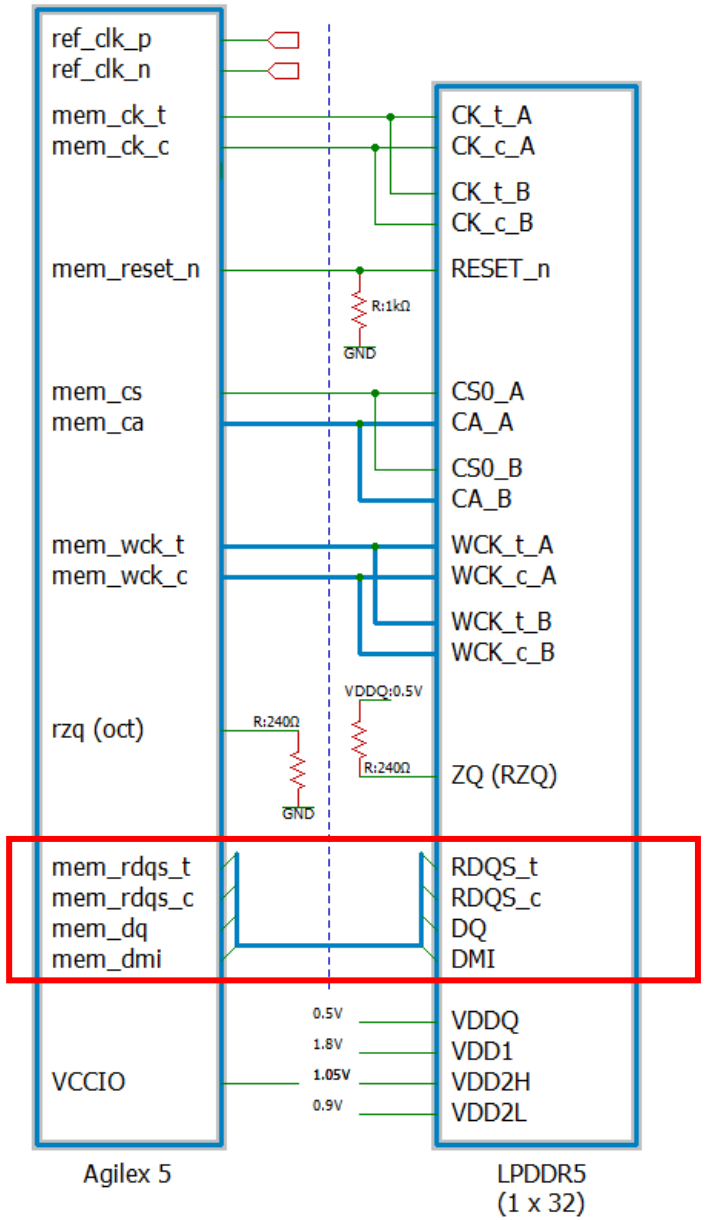
- **FPGA 側 RZQ : 240 Ω Pull-Down**
  - 配置は Index 38 (I/O Bank, Byte Lane 3 index 2) 指定
    - EMIF IP ユーザーガイド, 9.2.3.2. Specific Pin Connection Requirements

    (OCT の個所を参照してください)
    - 複数の EMIF IP での共有は同一 I/O Bank 内でのみ可能

- **メモリー側 RZQ : 240 Ω Pull-Up (VDDQ=0.5V)**

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + LPDDR5 の回路図確認 5/6



- **mem_dq/rdqs/dmi : 終端不要**
  - FPGA 側・メモリー側の双方で 終端不要 (内部終端)
    - FPGA 側内部終端：OCT (On-Chip Termination)
    - メモリー側内部終端：ODT (On-Die Termination)
  - ピン配置の制限・注意点は下記を参照してください
    - データ関連ピンの配置レーン、index は指定されています

      EMIF IP ユーザーガイド, 9.2.4.2. LPDDR5 Data Width Mapping

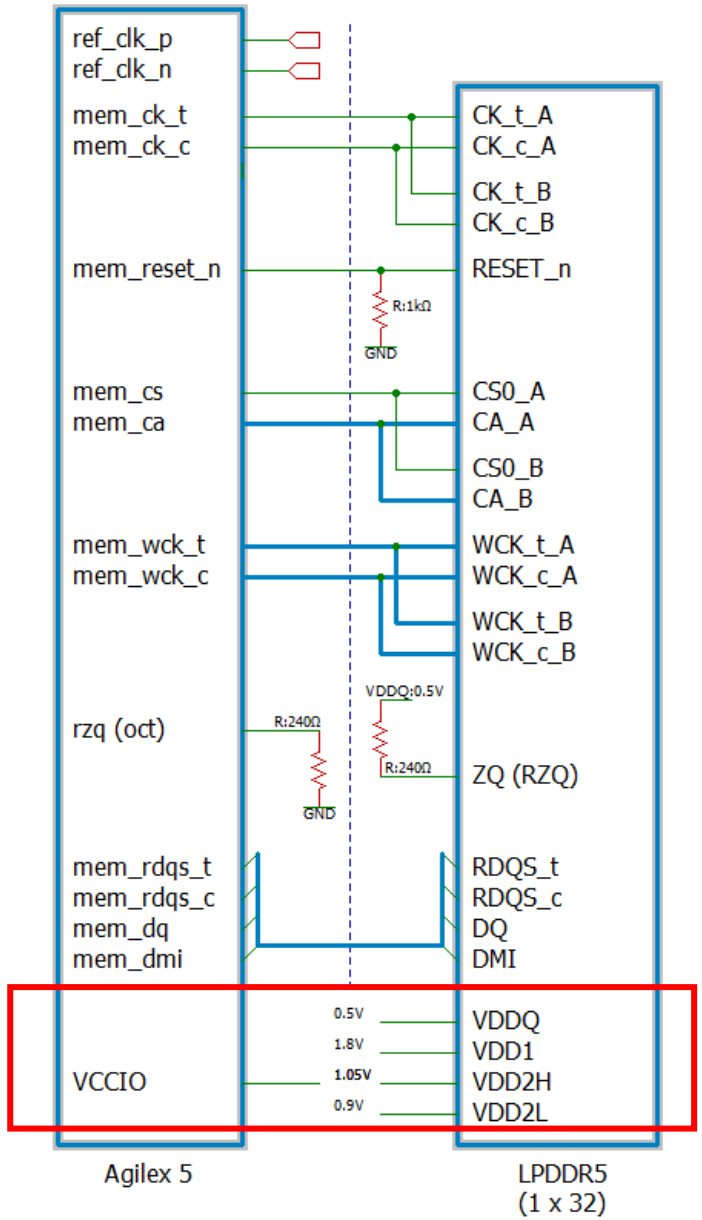
      EMIF IP ユーザーガイド, 9.2.4.3. LPDDR5 Byte Lane Swapping
    - Pin Swap は “Pin Swizzle” (Pin Swizzling) として指定します

      EMIF IP ユーザーガイド, 12.10.2.1. Verifying High-Level Configuration

      EMIF IP Design Example ユーザーガイド, 2.3. Configuring DQ Pin Swizzling

© Macnica, Inc.

Agilex™ 5 FPGA & SoC + LPDDR5 の回路図確認 6/6



- **VCCIO (FPGA 側)**
  - I/O 用電源電圧
    - FPGA 側では I/O Standard としては LVSTL700 を使用
  - 1.05V に接続
- **VDDQ (メモリー側)**
  - I/O 用電源電圧
  - 0.5V に接続
- **VDD1 (メモリー側)**
  - コア用電源電圧
  - 1.8V に接続
- **VDD2H (メモリー側)**
  - メモリー側：コア用および入力用電源電圧
  - 1.05V に接続
- **VDD2L (メモリー側)**
  - コア用電源電圧
  - 0.9V に接続（1.05V にする方法はサポートされません）

© Macnica, Inc.

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。