

第 16 章 Reveal : オンチップロジアナ機能

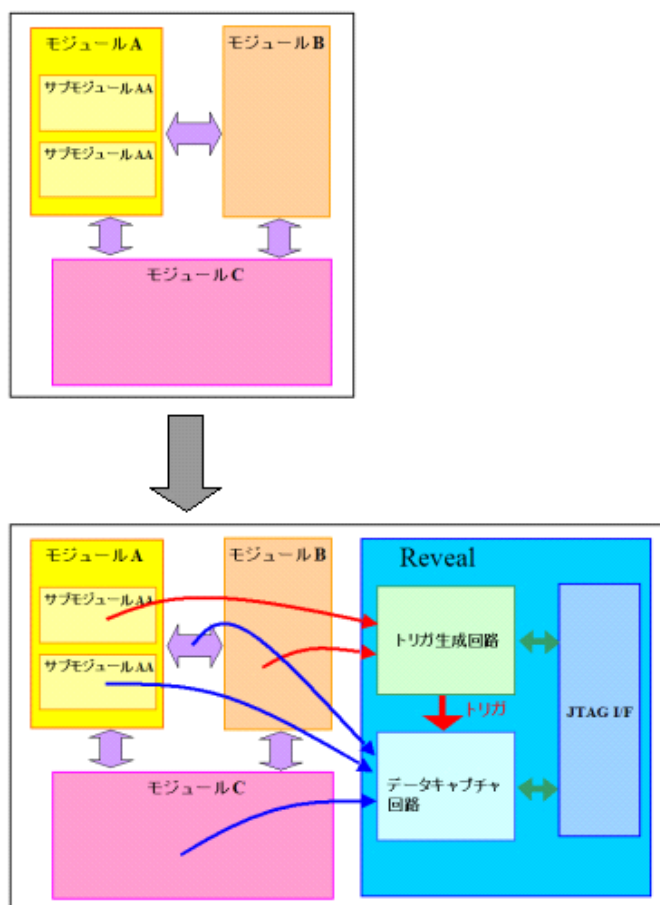
本章では、動作中に FPGA 内の信号（ノード）観測を行うオンチップ・ロジックアナライザ ”Revel” の使用方法等について説明します。

16.1 Reveal の概要

16.1.1 Reveal の機能

Reveal は ボード上でデバイス内部の動作確認をするためのツールです。ユーザー回路と一緒に Reveal コア（Reveal で生成された回路）をインプリメントすることにより、JTAG 経由でデバイス内部の信号を観測することができます。大きくは Reveal Inserter（以下 ”インサータ”）と Reveal Analyzer（以下 ”アナライザ” または LA）より構成されています。

図 16-1. Reveal コア挿入の例



Reveal コアは以下の 3 つの回路で構成されます。

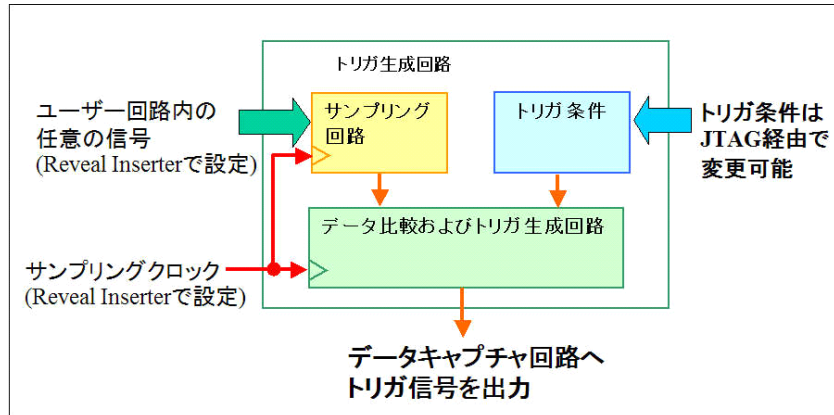
トリガ生成回路：

ユーザーが指定した信号をサンプリングしています。JTAG 経由でトリガ信号生成の指示が入力されると、サンプリングしたデータとトリガ条件の比較を行い、条件を満たした場合にデータキャプチャ回路にキャプチャ開始を指示するトリガ信号を生成します。

トリガ生成条件は、JTAG 経由で変更可能です。

トリガ信号生成のためにサンプリングする信号の選択、選択した信号をサンプリングするためのクロック、トリガ生成の初期条件はインサータ（後述）で設定を行います。

図 16-2. トリガ生成回路の構成

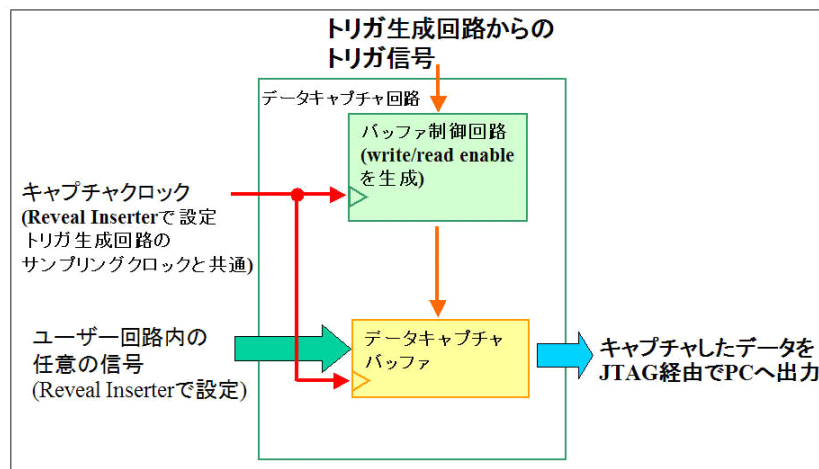


データキャプチャ回路：

トリガ生成回路からのトリガ信号を受けて、バッファに指定された信号をキャプチャします。バッファにキャプチャされた信号は、JTAG 経由で PC に出力され、16.3 節で後述するように Waveform タブに表示されます。

キャプチャする信号の選択、選択した信号をキャプチャするためのクロック、キャプチャするためのバッファの深さ等はインサータで設定を行います。

図 16-3. データキャプチャ回路の構成



JTAG I/F 回路：

JTAG ポートからのトリガ生成回路 / データキャプチャ回路にアクセスするためのインターフェイス回路です。

この回路は予め FPGA 内に組み込まれているもので、データのプログラム等にも使用されます。従って FPGA 内のリソースは消費しません。

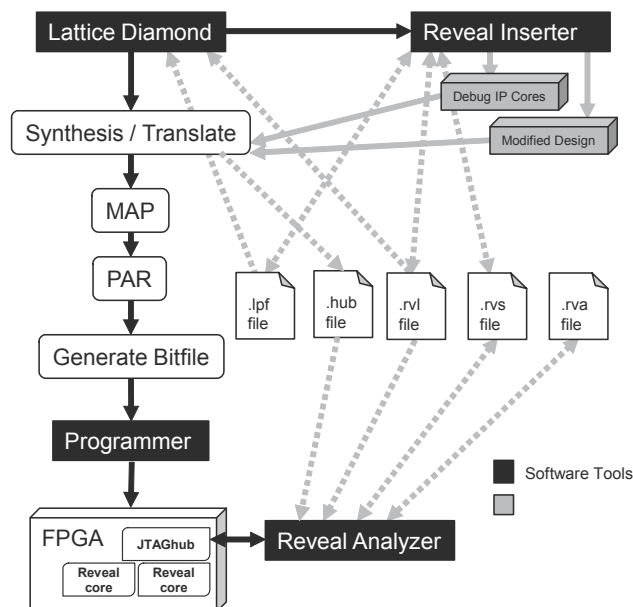
Reveal コアを使用する場合は、ユーザー回路にトリガ生成回路とデータキャプチャ回路を追加（ツールが自動的に処理）するため、必要なリソース（特にブロック RAM）が増えます。

16.1.2 デザインフロー

図 16-4 は Reveal を使用する場合のデザインフローです。Reveal は 2 つのツール、インサータ（Reveal Inserter）とアナライザ（Reveal Logic Analyzer、LA）から構成されます。まずデザインエントリー後にインサータを使用してトリガ条件やキャプチャデータ用バッファのサイズ等の設定を行い、設定後に生成した Reveal コア用のネットリストを生成してユーザー回路に挿入します。

後は通常のデザインフローに従って配置配線および書き込みデータを生成し、ボード上のデバイスに書き込みます。この際に PC とボードをダウンロードケーブルで接続後に LA を起動し、PC 上で信号のキャプチャを指示すると、キャプチャされた波形が LA 上に表示されます。

図 16-4. Reveal を使用したデザインフロー



16.1.3 インサータでサンプリング対象として選択できる信号

インサータはインポートしているデザインファイルが全て VHDL または Verilog HDL の場合は、HDL ソース内の信号リストからサンプリングの対象を選択することができます。VHDL と Verilog HDL の混在プロジェクトもサポートします。また、バス信号も保持しますので、そのまま認識できます。

*****-----

- ・ VHDL の generate 文で複数インスタンスを実現しているモジュールの信号はサンプリングできません
- ・ インサータの挿入対象デザインに generate 文が記述されていても、generate 文でインスタンスしているモジュールの信号をサンプリングしなければ、問題ありません

*****-----

16.1.4 LA で信号をキャプチャできる環境

LA で信号をキャプチャするためには、LA のプロジェクトを作成する必要があります。プロジェクト作成時

Lattice Diamond 日本語ユーザガイド

には、[Insarter ファイル (インサータで作成したファイル) 内の ID] と [デバイスにインプリメントされている Reveal コア内の ID] の比較を行うため、JTAG 経由でデバイス内のデータを読める状態にあることが要求されます。

このため LA のプロジェクト作成時には以下の条件を満たす必要があります。

- ・PC とボードが LA で設定したタイプのダウンロードケーブル (デフォルトは USB) で接続されている
- ・評価対象の FPGA に Reveal コアを含むデータが書き込まれている

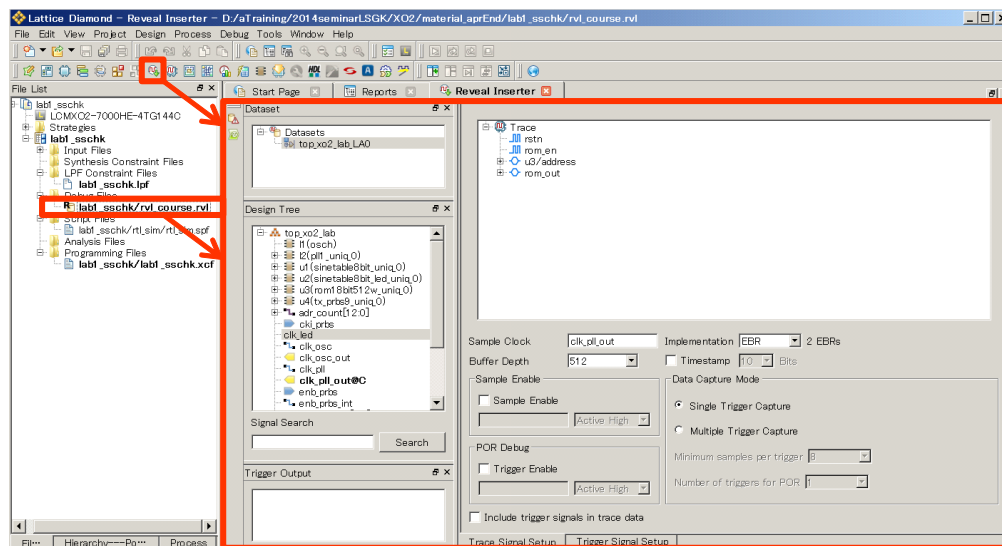
16.2 インサータ

16.2.1 インサータの起動

初めてインサータを起動する際は、まず Lattice Diamond でデザインプロジェクトを作成し、ソース (HDL もしくは EDIF) をインポートする必要があります。その状態でプロジェクト・ナビゲータ上の  アイコンをクリックするか、メニューから [Tools] => [Reveal Inserter] の順で選択すると、インサータが起動します (図 16-5)。

或いは、インサータ・プロジェクトを作成しインプリメンテーションに一度インポートした後は、File List タブの Debug File ツリーにインサータのプロジェクト・ファイル (.rvl) が表示されていますので、これをダブルクリックすることでインサータを起動することもできます。

図 16-5. インサータの起動



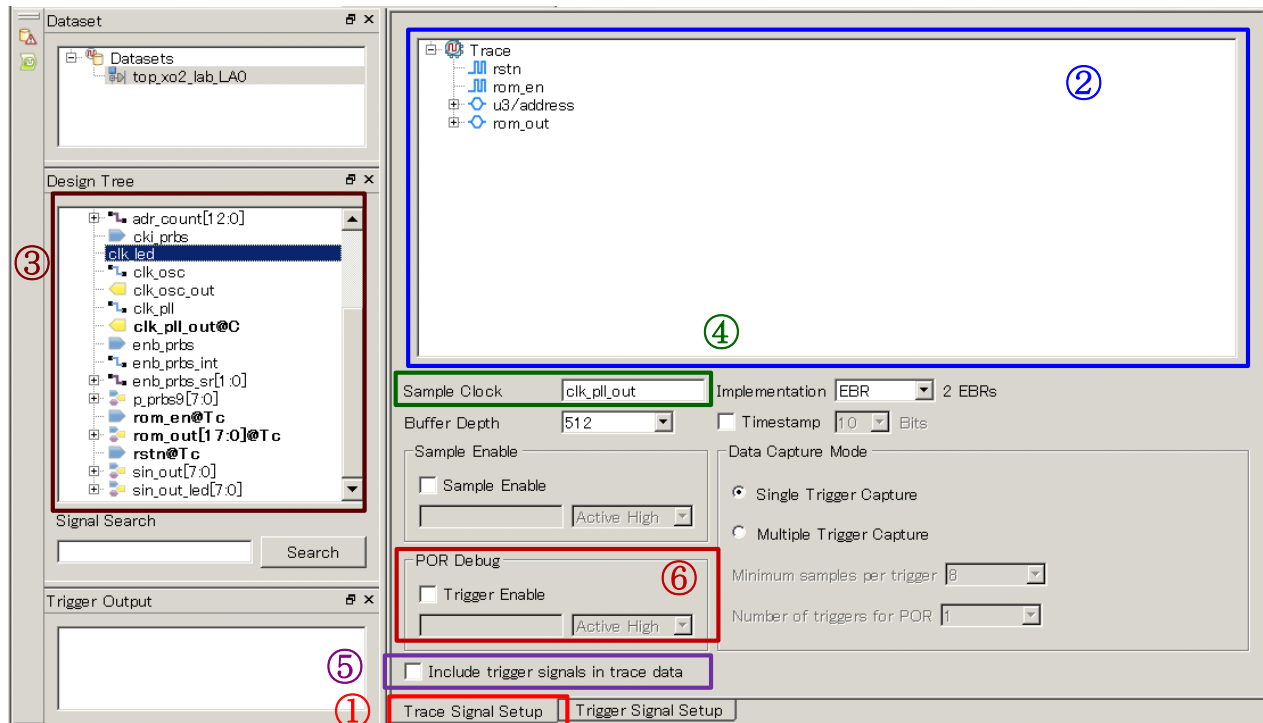
プロジェクトにインポートされているソースの言語が統一されている場合は、論理合成実行前でもインサータで各種設定を行うことができますが、言語が混在の場合は論理合成実行後でないと設定を行うことができません。

16.2.2 キャプチャ設定

16.2.2.1 キャプチャ対象信号とクロックの選択

キャプチャ対象となる信号を選択するために Trace Signal Setup タブを選択します (図 16-6 ①)。

図 16-6. インサータのキャプチャ信号設定タブ



クロックの選択

観測する信号をサンプリングするクロックを Design Hierarchy パネル (図 16-6 ③) で選択し、Sample Clock ボックス (図 16-6 ④) にドラッグします。必ず観測する信号が同期しているクロックを選択してください。なお、サンプリングクロックは、Diamond 3.0 以前では TCK (JTAG クロック) の 3 倍以上、3.1 以降では TCK と同等以上の信号を選択してください。これより遅いと "Signature" ミスマッチのエラーなどが起きる可能性があります。

観測する信号の選択

観測する信号を Design Tree 欄 (図 16-6 ③) で選択し、Trace Signal 欄 (図 16-6 ②) にドラッグします。Reveal コアあたり最大 512 本まで選択することができます。

LA では、Trace Signal 欄に表示されている順番でキャプチャ波形が表示されます。信号の順番を変えたい場合は、Trace Signal 欄内で信号名をドラッグして順番を変更してください。信号をキャプチャ対象から外す場合は、その信号を選択してキーボードの [Delete] キーを押してください。

なお、トリガとして選択した信号もサンプリングする場合は [Include trigger signal in trace data] (図 16-6 ⑤) にチェックを入れてください。

パワーオンリセット (POR) 直後のデバッグ

図 16-6 ⑥にあるセクションが Diamond 3.0 から追加され、コンフィグレーション完了後にデバイスの内部グローバルリセット信号 POR が解除される直後のデバッグが可能になりました。

「Trigger Enable」チェックボックスは従来の [Sample Enable] と全く同様の動作を行います。チェックした後に入力が有効になるその下のセルにトリガとする信号とその有効レベルを指定する必要があります。

観測信号のバス作成

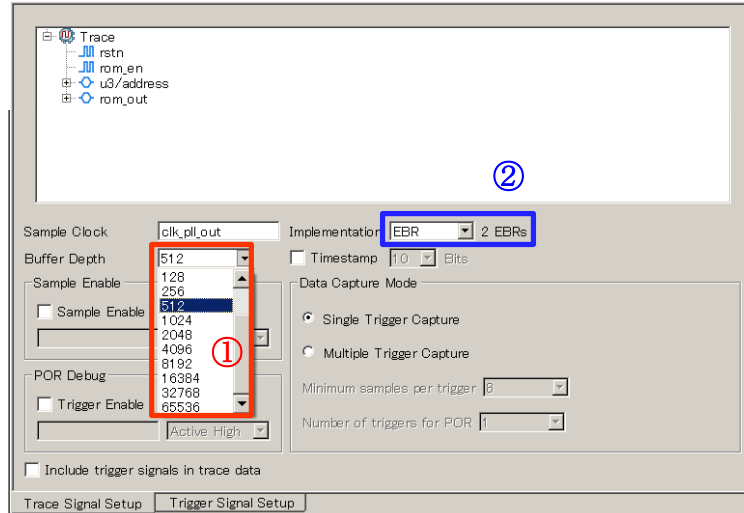
すでに言及したように、Diamond 2.1 からはバス信号もそのまま保持されます。インサータもアナライザも他の信号と同様に扱うことができます。

16.2.2.2 サンプル数の設定

[Buffer Depth] ボックスでデータのキャプチャに使用するバッファのワード数（トータルサンプリング数）を設定します。ボックス右側の矢印をクリックすると、選択肢が表示されるのでその中から適当なサンプリング数を選択します（図 16-7 ①）。

サンプリング数が多くなると、要求されるメモリリソースも増加し、デバイスのメモリリソースが足りなくなることがあります。サンプル数は必要最低限の値に設定することを推奨します。

図 16-7. バッファタイプとサンプリング数の設定



16.2.2.3 データを保存するメモリリソースの選択

インプリメンテーション欄で、サンプリングしたデータを保存するためのメモリのリソースタイプを選択します（図 16-7 ②）。ボックス右側の矢印をクリックすると、選択肢が表示されます。選択できるのは [EBR] と [DistRAM] の 2 つです。[EBR] はブロック RAM、[DistRAM] は SLICE を使用して実現する分散 RAM です。

リソースを選択すると、ボックス右側にサンプリングデータを保存するために必要とされるリソースが表示されます。

16.2.2.4 Timestamp の設定

Timestamp 欄にチェックを入れると、LA で波形をキャプチャした際に波形と一緒にタイムスタンプ（起動時からのカウント値）も表示されます。タイムスタンプのビット幅は右側の欄で選択します。

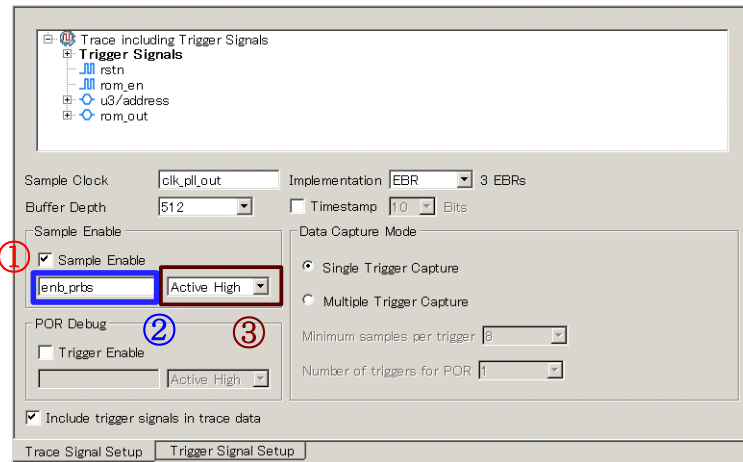
16.2.2.5 サンプリング・イネーブルの追加

特定の信号をサンプリング・イネーブルとして使用する際は、[Sample Enable] にチェックを入れ、その下の欄にサンプリングイネーブル信号として使用信号を [Design Tree] 欄からドラッグしてきます（図 16-8 ① ②）。[Sample Enable] にチェックが入っていない場合は、常時サンプリングが行われます。

信号名入力欄の右側には極性選択欄（図 16-8 ③）があり、イネーブルになる極性を選択することができます。[Active High] を選択すると、指定した信号が High レベルの期間のみサンプリングが行われます。[Active Low] を選択すると、指定した信号が Low レベルの場合のみ信号のサンプリングが行われます。

LA は、指定したサンプリングイネーブル信号が、指定した極性の場合のみ信号のサンプリングを行います。指定した極性でない場合は、信号のサンプリングが行われないためトリガもかかりません。

図 16-8. サンプリング・イネーブルの設定



16.2.2.6 データキャプチャモードの選択

[Data Capture Mode] 欄でデータキャプチャモードの選択を行います (図 16-9 ①)。

Single モード：1 度だけトリガ条件成立後の信号をキャプチャ

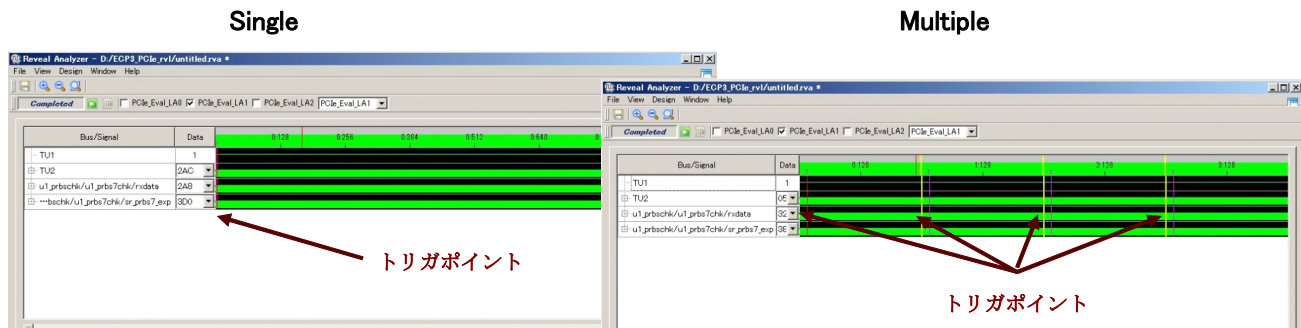
Multiple モード：指定した回数分だけトリガ条件成立後の信号をキャプチャ

Single モードでは、信号のキャプチャが 1 度だけなのでトリガ条件成立後に Buffer Depth (後述) 分のサンプルをキャプチャできます。

これに対し Multiple モードでは、指定した回数分だけトリガ条件成立後にデータのキャプチャを行います。キャプチャ用のバッファを分割して使用するため、指定トリガ回数が増えるとトリガ成立ごとにキャプチャできるサンプル数は $(\text{buffer depth} \div \text{指定トリガ回数})$ となります。

図 16-9 は Single モードと Multiple モードの波形キャプチャ例です。どちらも Buffer Depth の設定は 1024 です。Single モードではトリガポイントは 1 つなので、その後に 1024 サンプル分の波形をキャプチャしています。Multiple モード (トリガ回数 4 回に設定) では、トリガポイント 4 つとそれに続く 256 サンプル $(1024 \text{ buffer depth} \div 4 \text{ トリガ})$ 分の波形が表示されています。

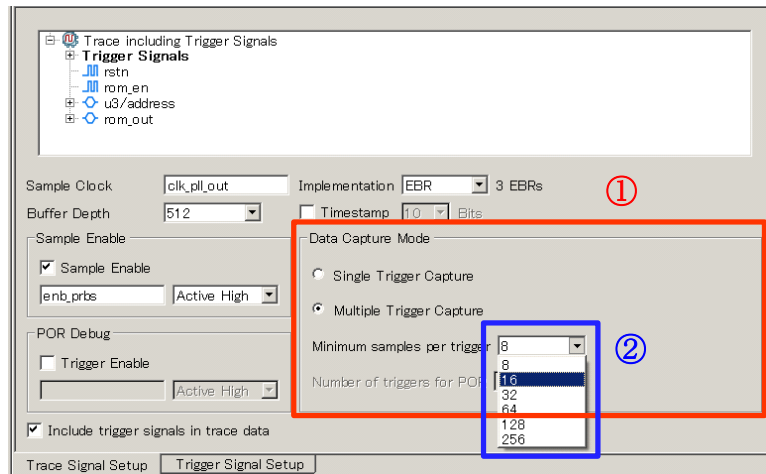
図 16-9. Single モードと Multiple モードでの観測波形の例



Single モードを使用する場合は [Single Trigger Capture] に、Multiple モードを使用する場合は [Multiple Trigger Capture] にチェックを入れます。

Multiple モードを選択した場合は、[Minimum samples per trigger] 欄 (図 16-10 ②) で、トリガ条件成立後にキャプチャする最小サンプルデータ数を設定します。LA でデータをキャプチャする際は、この最小サンプル数単位でサンプル数を設定します。

図 16-10. キャプチャモードの選択



Buffer Depth ÷ Minimum samples per trigger = 最大トリガ回数 となります。

例 : Buffer Depth=512 Minimum samples per trigger=16

512/16 = 32 最大 32 回の繰り返しトリガが可能

- ・ 32 回繰り返しトリガを設定した場合、トリガあたりのサンプル数は 16
- ・ 16 回繰り返しトリガを設定した場合、トリガあたりのサンプル数は 16 もしくは 32 から選択
- ・ 4 回繰り返しトリガを設定した場合、トリガあたりのサンプル数は 16,32,64 もしくは 128 から選択

16.2.3 トリガ条件設定

トリガ条件は、信号とそれに対する条件の組み合わせである TU (Trigger Unit) と、複数の TU を組み合わせる TE (Trigger Expression) を用いて設定します。トリガ条件を設定する際は、まず Trigger Signal Setup タブを選択します (図 16-11)。

16.2.3.1 TU (Trigger Unit) の設定

まず [Trigger Unit] 欄内の [Add] ボタン (図 16-12 ①) をクリックして、空 (Signals セルがブランク) の TUを追加します (既に有る場合はスキップ)。TU は 1 つの Reveal コアに対して最大 16 個作成できます。

Signals セルの設定

[Signals] セルでは、トリガ条件としてモニタする信号の選択を行います。[Signals] セルをダブルクリックすると、信号を選択するウィンドウが起動します (図 16-12)。

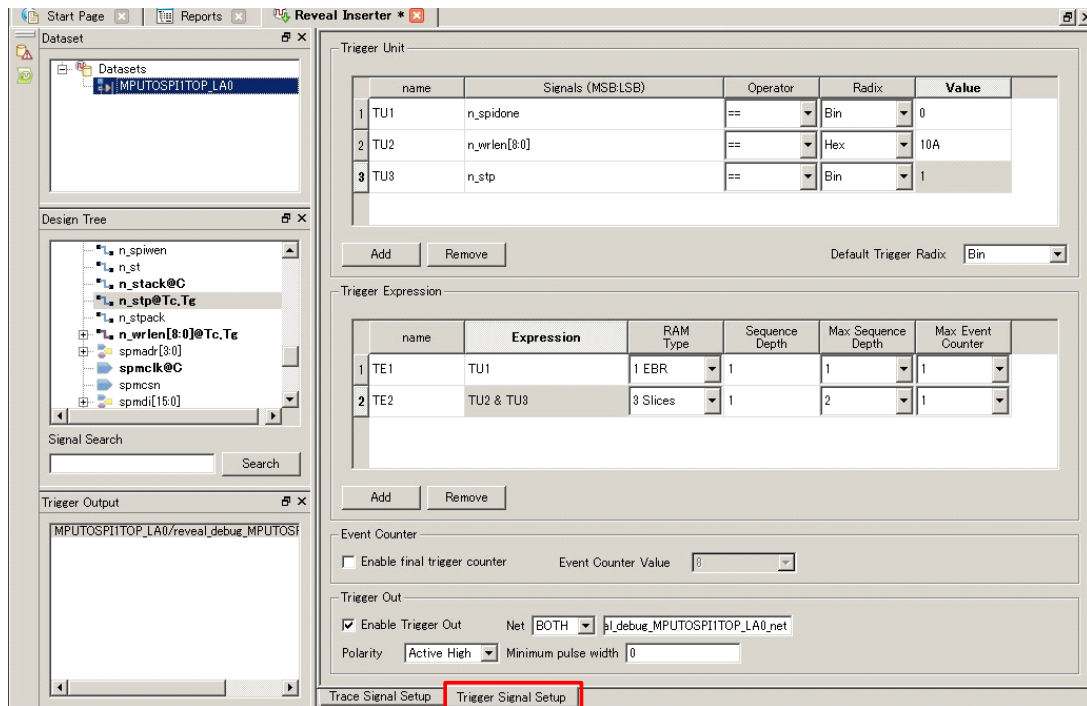
ウィンドウ左側の欄で信号を選択し、ウィンドウ中央の [>] ボタン (図 16-12 ②) をクリックすると選択した信号が右側の欄に追加されます。複数の信号を選択した場合、右側の欄では上側が LSB、下側が MSB になります。欄内で信号を選択しボックス右側の [↑] または [↓] ボタン (図 16-12 ③) をクリックすることで、信号の並び順を変更することができます。

必要な信号を全て選択後、[OK] ボタンをクリックするとウィンドウが閉じ、選択した信号が [Signal] セルに表示されます。

Operator セルの設定

選択した信号と [Value] セル値の評価内容です。表 16-3 は選択肢とその内容の一覧です。インサータでは LA を起動した際のデフォルト値を選択します。LA では実機評価の際に動的に変更することができます。

図 16-11. トリガ設定タブ



Radix セルの設定

[Radix] セルの表示フォーマットです。表 16-2 は選択できる値とその内容の一覧です。インサータでは LA を起動した際のデフォルト値を選択します。LA では実機評価の際に動的に変更することができます。

図 16-12. トリガ信号選択ウインドウ

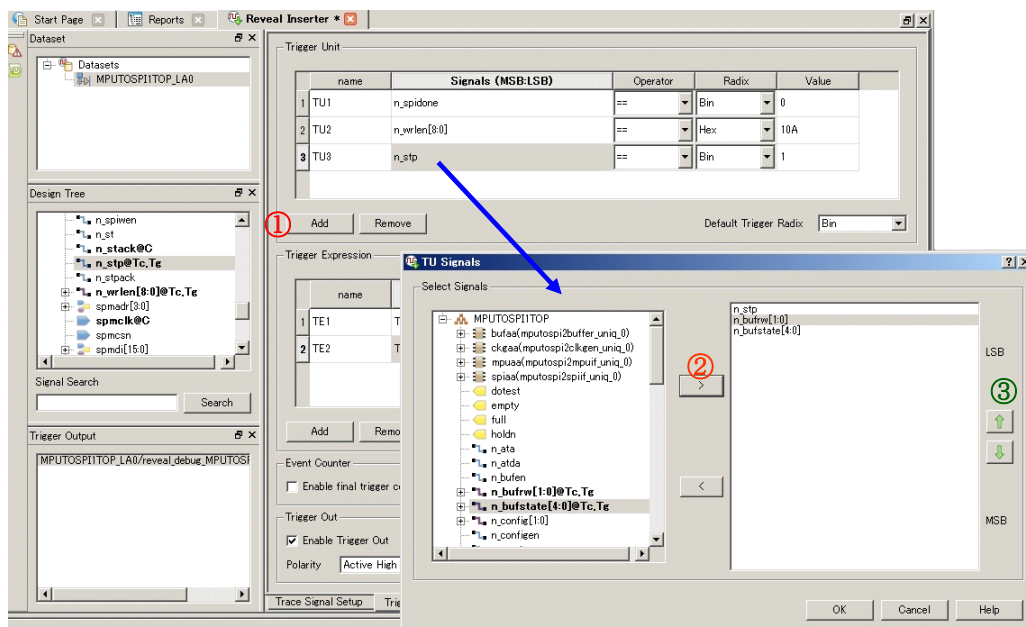


表 16-1. Operate セルの選択肢

選択肢	評価内容
=	選択した信号と Value セルの値が等しい場合に真
!=	選択した信号と Value セルの値が等しくない場合に真
>	選択した信号が Value セルの値より大きな場合に真
>=	選択した信号が Value セルの値より大きいか等しい場合に真
<	選択した信号が Value セルの値より小さい場合に真
<=	選択した信号が Value セルの値より小さいか等しい場合に真
rising edge	選択した信号の内、対応する Value セルの値が '1' に設定されている信号の立ち上がりを検出された場合に真
falling edge	選択した信号の内、対応する Value セルの値が '1' に設定されている信号の立ち下がりを検出された場合に真
serial compare	選択した信号が Value セルの値と同じ順番で観測された場合に真（選択した信号がシングル bit の場合のみ選択可）

表 16-2. Radix セルの選択肢

選択肢	表示フォーマット
Bin	2 進数で記述
Oct	8 進数で記述
Dec	10 進数で記述
Hex	16 進数で記述
REVEAL_ENUM...	VHDL ソースに列挙型等で記述されている変数のタイプ
REVCEAL_INT...	整数型で記述されている変数のタイプ

なお、整数型や列挙型等の論理合成前には bit 幅や決まっていない信号や、状態を表すビットパターンが決まっていない信号については、Reveal が自動的にソース内のタイプや値を読み込んでその値を表示します。

Value セルの設定

選択した信号との評価値です。[Radix] で指定したフォーマットで記述します。適当でない値が入力されると、赤字で表示されます。インサータでは LA を起動した際のデフォルト値を選択します。LA では実機評価の際に動的に変更することができます。

整数型や列挙型等の論理合成前には bit 幅や決まっていない信号や、状態を表すビットパターンが決まっていない信号は、Reveal が自動的にソース内のタイプや値を読み込んでその値を表示します。

16.2.3.2 TE（Trigger Expression）の設定

まず Trigger Expression 欄内の Add ボタン（図 16-13）をクリックして、空（Expression セルかブランク）の TE を追加します（既にある場合はスキップ）。

Expression セルの設定

TE を作成したら Expression セルに、トリガ条件として設定する TU の論理式を記述します。インサータでは LA を起動した際のデフォルト値を選択します。LA では実機評価の際に動的に変更することができます。

表 16-3 は使用できる演算子とその内容の一覧です。

図 16-13. Trigger Expression 設定

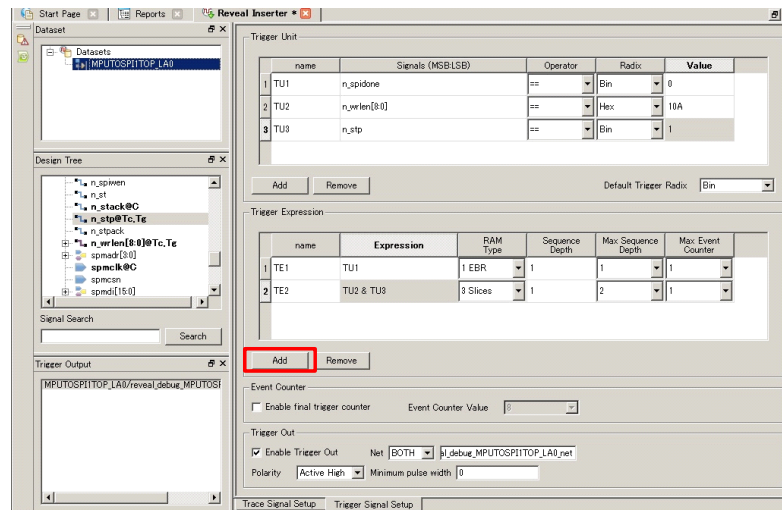


表 16-3. Expression セル内で使用できる演算子

演算子	演算子の意味
&	前後の TU の and 論理
	前後の TU の or 論理
^	前後の TU の xor 論理
!	前後の TU の xor 論理
()	括弧内の論理式を優先
next	前の TU 成立後、次のサンプルであとの TU が成立
then	前の TU 成立後、後の TU 成立
##	前に指定された TU が、後に指定された回数連続して成立
#	前に指定された TU が、後に指定された回数成立

Trigger Expression 記述例

TU1 & TU2 :TU1 と TU2 が同時に真の場合にトリガ生成
 TU1 | TU2 :TU1 もしくは TU2 が真の場合にトリガ生成
 !TU3 :TU3 が真でない場合にトリガ生成
 TU1 & !TU4 :TU1 が真、TU4 が偽の場合にトリガ生成
 TU3 ^ TU1 :TU3 もしくは TU1 のどちらかが真の場合にトリガ生成
 TU1 next TU2 :TU1 が真になった次のサンプリングで TU2 が真の場合にトリガ生成
 TU1 then TU2 :TU1 が真になった次のサンプリング以降に TU2 が真の場合にトリガ生成
 TU5 #2 :TU5 が 2 回真になった場合にトリガ生成
 TU5 ## :TU5 が 2 回連続して真になった場合にトリガ生成

*****-----

- ・ # および ## 演算子で繰り返し回数を指定する場合は [Max Event Counter] セルを設定します
- ・ then および next 演算子で連続トリガを生成する場合は [Max Sequence Depth] セルを設定します

*****-----

RAM Type セルの設定

トリガ生成回路内で使用する RAM のリソースのタイプを選択します。

リソースタイプとして EBR（ブロックメモリ）もしくは Slices（分散メモリ）のどちらかを選択します。セルの右側の矢印をクリックすると、選択肢が表示されます。

リソースタイプの左側に表示されているのは現在の設定で必要とされるリソース数です。

Max Sequence Depth セルの設定

TE で設定するシーケンス段数（then または next 演算子で接続できる項数）の上限を設定します。

[Sequence Depth] セルに、[Expression] セルの記述から自動的に算出されたシーケンス段数が表示されていますので、必ずこれと等しいか大きな値を設定する必要があります（小さな値が選択されていると赤字で表示されます）。セルの右側の矢印をクリックすると選択肢が表示されます。

実機評価の際（インプリメント後）は Max Sequence Depth の値を変更することはできませんが、設定した上限までの範囲内であれば、[Expression] セル内のシーケンス記述を追加することができます。選択できる範囲は RAM Type セルの設定によって変化します。

RAM Type	選択肢
EBR	1/2/4/8/16
Slices	2/4/8/16

Max Event Counter セルの設定

TE で設定する繰り返し回数（# または ## で指定できる値）の上限を設定します。

実記評価の際（インプリメント後）は Max Event Counter を変更することはできませんが、設定した上限の範囲内であれば、[Expression] セルで指定する繰り返し回数を変更することができます。なお、設定するのは一つの項に対する最大値です。各項の繰り返し回数の和ではありません。

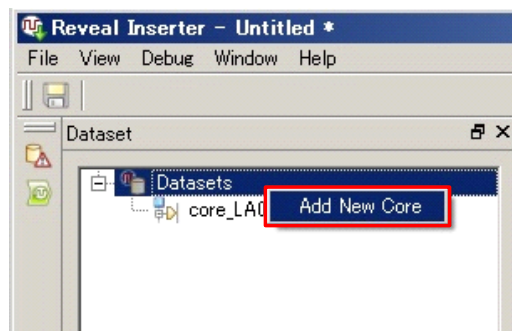
Trigger out 設定

[Trigger out] 欄の [Enable Trigger Out] にチェックを入れると、Reveal コア内で生成されたトリガ信号を外部で観測できるようになります。

16.2.3.3 Reveal コアの追加

インサータ起動時には、自動的に Reveal コアが 1 つ作成されます。1 つの Reveal コア内は 1 本のクロックで動作するため、サンプリングに必要なクロックが複数ある場合は、複数の Reveal コアを使用する必要があります。Reveal コアを追加する場合は、インサータの Dataset パネルで [Dataset] を右クリックし [Add New Core] を選択します（図 16-14）。

図 16-14. Reveal コアのリスト



Reveal コアの名前は変更することもできます。名前を変更する Reveal コアを選択した状態でキーボードの [F2] キーを押すと、名前が変更できるようになりますので、適当な Reveal コア名を入力してください。（または名前を変更する Reveal コアを選択した状態で、右クリックから、Rename Core を選択）

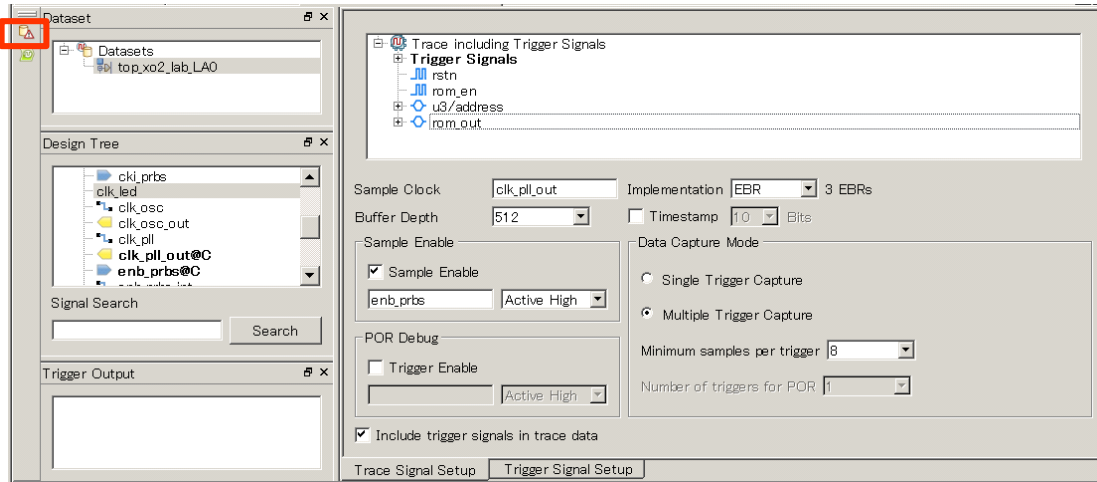
余分な Reveal コアを削除する場合は、対象とする Reveal コアを選択した状態で、キーボードの Del キーを押してください。

16.2.4 デザインルール・チェック

設定が完了したら、内容に問題がないかデザインルール・チェック（DRC）を行います。ウインドウ右上のボタン（図 16-15 をクリックするとデザインルール・チェックが実行されます。チェック結果としてエラーの有無と Reveal に必要なリソースがプロジェクト・ナビゲータの Output パネルに表示されます。

リソースに関するチェックは、Reveal に必要なリソースがデバイス全体のリソースを超えてしまった場合のみエラーがレポートされます。ここでは Reveal を挿入される元の回路のリソースは計算されませんので注意してください。

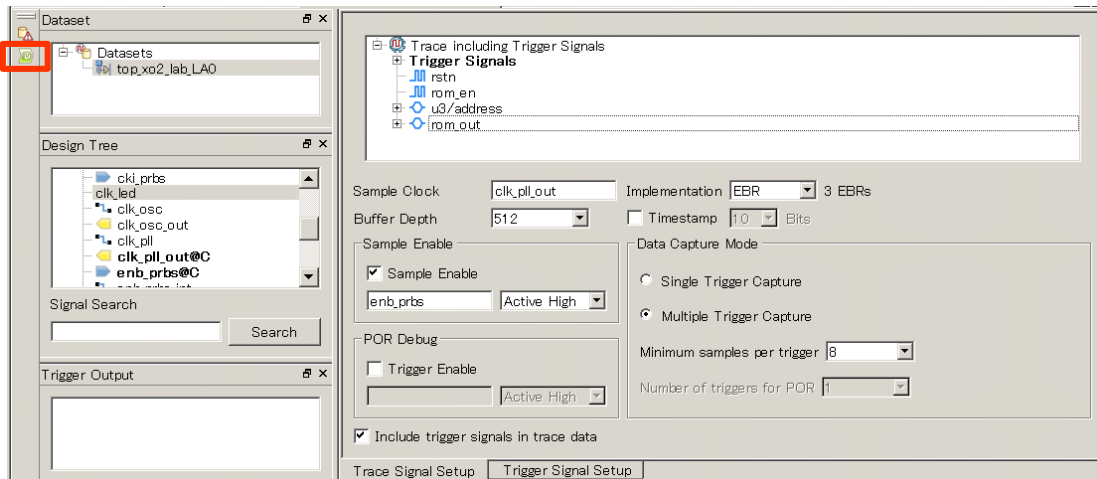
図 16-15. DRC の実行



16.2.5 Reveal コアのユーザデザインへの挿入方法

必要な設定が完了しデザインルール・チェックをパスしたら、Insert Debug ボタン（図 16-16）をクリックし Reveal コアをオリジナルデザインへ挿入します。

図 16-16. Reveal コアの挿入ボタン

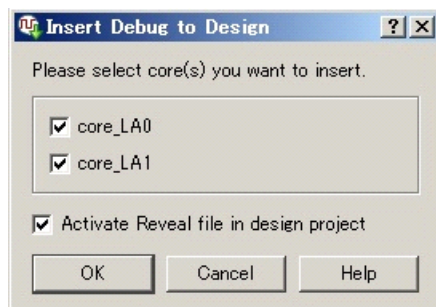


Insert Debug ボタンをクリックすると、挿入する Reveal コアの選択ウインドウが起動します（図 16-17）。このウインドウ上で挿入する Reveal コアの左側のボックスにチェックを入れ、ウインドウ左下の OK ボタンをクリックすると、インサータ・プロジェクト・ファイル (*.rvl) が作成され、プロジェクト・ナビゲータにインポートされます。なお、この際に [Activate Reveal file in...] にチェックが入っていないと、Reveal コア

Lattice Diamond 日本語ユーザガイド

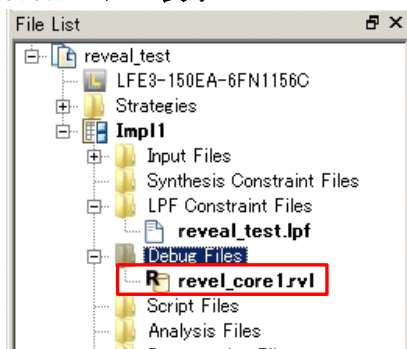
作成されデザイン・プロジェクトにインポートされても、論理合成以降の処理では反映されませんので注意してください。インポートされたインサータ・プロジェクトはプロジェクト・ナビゲータのソースウインドウに表示されます (図 16-18)。

図 16-17. 挿入する Reveal コアを選択ウインドウ



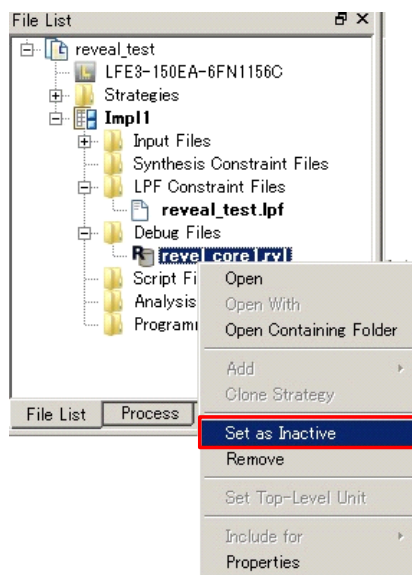
これでインサータでの作業は完了です。後は、通常のデザインフローに従って配置配線と書き込みデータ作成を行ってください。

図 16-18. ソースウインドウ上での Reveal コアの表示



16.2.6 Reveal コアの非アクティブ化

図 16-19. Reveal コアの非アクティブ化



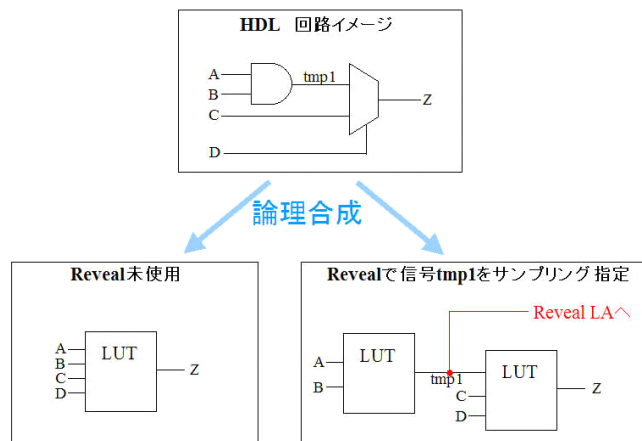
デバッグ完了後に Reveal コアを含まないデザインを実装する場合、Reveal コアを非アクティブ化することで、Reveal コアを含まないオリジナルのソースだけでインプリメントすることができます。インポートされているアクティブ（太字で表示）な Reveal コアを右クリックし、メニューから [Set as Inactive] を選択します。これで Reveal コアは非アクティブ化（細字で表示）されます。

非アクティブな Reveal コアをアクティブ化する場合は、同様に Reveal コアを右クリックして [Set as Active] を選択します。

16.2.7 Reveal が論理合成結果に与える影響について

インサータでトリガ条件またはキャプチャ対象として選択された HDL 内の信号は、最適化されずに論理合成後も必ずネットリスト内に残ります。このため、Reveal コア挿入の前後で観測信号周辺の回路構成が変わってしまうことがあります。ご注意ください。

図 16-20. Reveal コアの挿入により合成結果変わってしまう例



16.3 Reveal Logic Analyzer (アナライザ)

16.3.1 スタンドアローン・アナライザの入手方法

LA (Reveal Logic Analyzer) は、Lattice Diamond のインストールの際に自動的にインストールされますが、ウェブサイトからスタンドアロン版をダウンロードしてインストールすることもできます。このスタンドアロン版はライセンスが不要のため、Lattice Diamond をインストールしていない PC 上で LA のみを使用することができます。

LA は以下の URL からダウンロードできます。

<http://www.latticesemi.com/Products/DesignSoftwareAndIP/FPGAandLDS/LatticeDiamond.aspx>

16.3.2 アナライザ起動の準備

LA を使用するには、ツールの起動前に以下の環境を準備する必要があります。

- ・ 電源が投入されたボードと LA を起動する PC をダウンロードケーブルで接続する
- ・ Reveal コアが挿入されたデータで対象となる FPGA がコンフィグされている
- ・ Lattice Diamond Programmer（または ispVM System）で xcf ファイル（JTAG チェーン情報ファイル）を Lattice Diamond のプロジェクトフォルダに作成する。

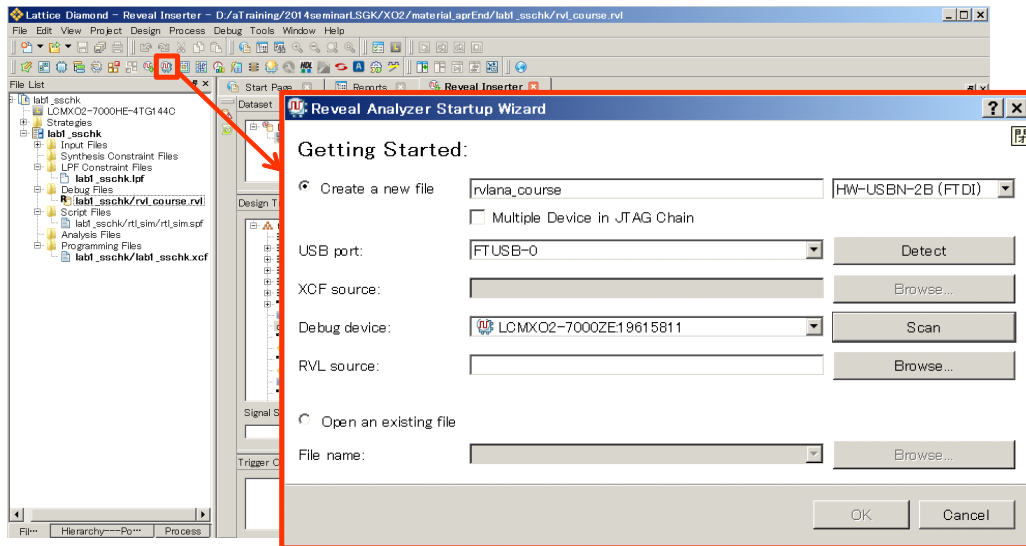
上記の準備が完了後に LA を起動させます。

16.3.3 アナライザの起動

プロジェクト・ナビゲータ上部にあるアイコン  をクリックしてアナライザ (LA) が起動します。

LA は起動時に Lattice Diamond のプロジェクトフォルダ内にある LA プロジェクト・ファイルの検索を行います。初めて LA を起動した際は、LA のプロジェクトが見つからないので、自動的に新しい LA プロジェクトの作成プロセスに進みます (図 16-21)。

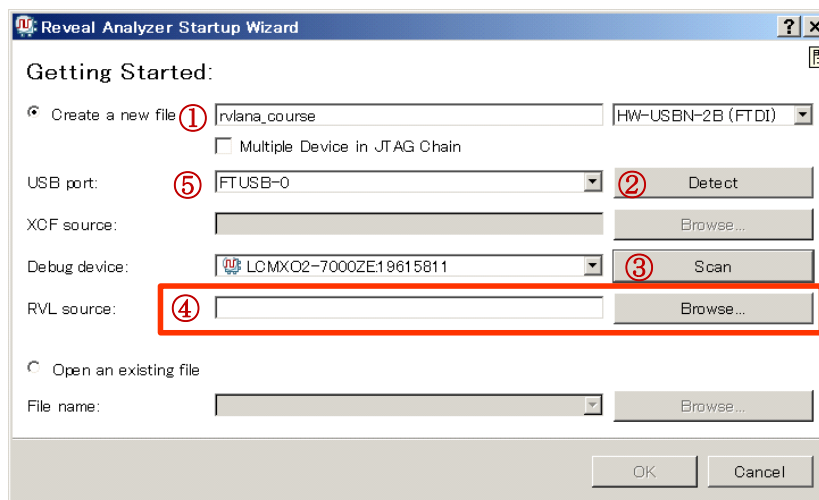
図 16-21. LA の起動



新規に LA プロジェクトを作成する場合は、Wizard 内で Create a new file (図 16-21 ①) にチェックを入れ、その右側の欄に任意の LA プロジェクト名を入力します (図 16-22 ①)。

USB Port 欄で PC とボードを接続しているケーブルのポートを選択します。右側の [Detect] (図 16-22 ②) ボタンをクリックすると、接続されているケーブルが自動的に検出されて表示されます。

図 16-22. LA プロジェクト作成 Wizard



Debug device 欄でデバッグの対象デバイスを選択します。右側の [Scan] (図 16-22 ③) ボタンをクリックすると JTAG チェーンに接続されているデバイスが検出され、Debug Device 欄で選択できるようになります。デバイスのリストは JTAG チェーンの先頭にあるものから順に表示されますので、この中から対象デバイス

を選択します。なお、JTAG チェーン内のデバイスに Reveal コアが含まれているものが全くない場合、エラーメッセージが出力されます。

④の RVL source 欄で右側の Browse ボタンをクリックして、プロジェクトにインポートされている Reveal Inserter のプロジェクト・ファイル(*.rvl)を選択します。

XCF source 欄で JTAG チェーンのデバイス情報が記載されている xcf ファイルを選択します。RVL source までを選択すると、プロジェクトフォルダにある xcf のリストが表示されるようになりますので、その一覧から適切なものを選択します。xcf ファイルの作成方法については Lattice Diamond Programmer のマニュアルを参照してください。

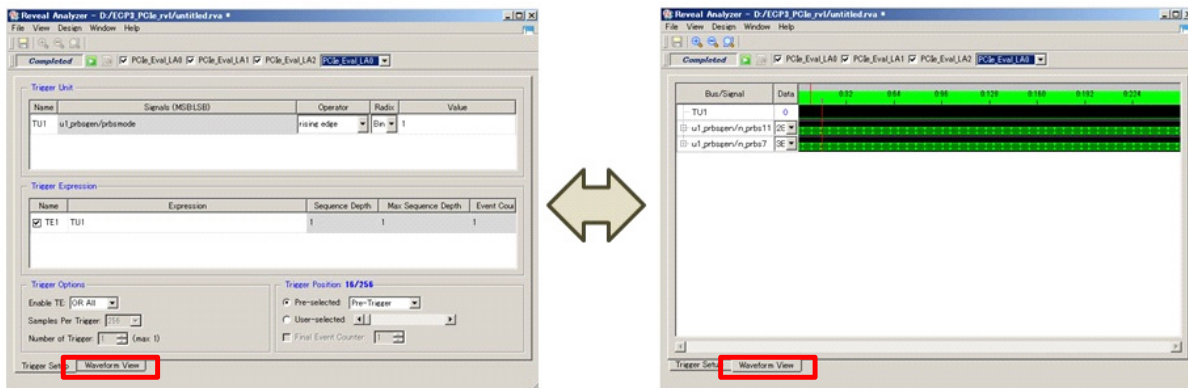
これら全ての設定を行うとウインドウ下部の [OK] ボタンがアクティブになるのでクリックします。これで設定に基づいて LA が起動し、波形キャプチャの準備ができます。

16.3.4 アナライザのウインドウ表示操作

16.3.4.1 LA のウインドウ構成と表示内容の切り替え

アナライザは、トリガ条件を設定する Trigger Setup タブと波形を表示する Waveform View タブで構成されています。タブは LA の右下で選択します。

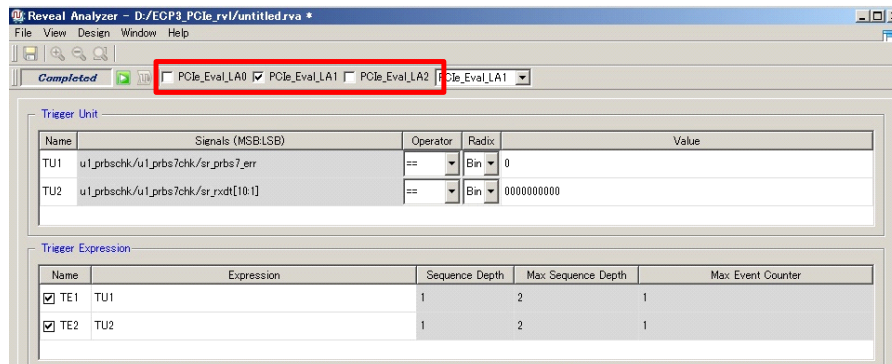
図 16-23. LA のタブ切り替え



16.3.4.2 使用する Reveal コアの選択

複数の Reveal コアが実装されている場合、LA のウインドウ上部に Reveal コアのリストが表示されます。LA 名の左側にはチェックボックスがあり、チェックの入っている Reveal コアのみが波形キャプチャの対象となります。

図 16-24. 動作させる Reveal コアの選択

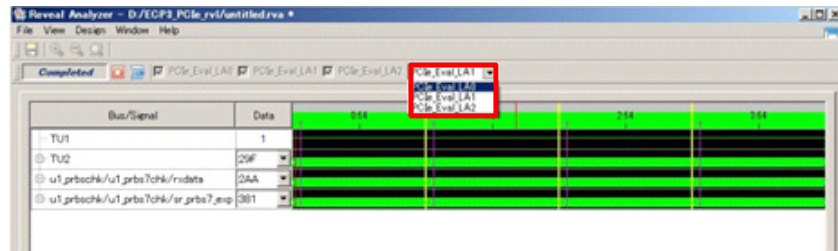


LA は一度実行すると、全ての Reveal コアでの波形キャプチャが完了するまで再実行できません。このため、必要な Reveal コアのみを動作させて波形キャプチャを行うことを推奨します。

16.3.4.3 Reveal コアの表示切り替え

LA では、常に 1 つの Reveal コアの情報のみが表示されています。複数の Reveal コアを実装している場合、トリガ条件の設定や、キャプチャ波形の表示は Reveal コアを切り替えて表示させる必要があります。

図 16-25. 情報を表示する Reveal コアの選択



16.3.5 トリガ設定の編集

16.3.5.1 トリガ条件の編集

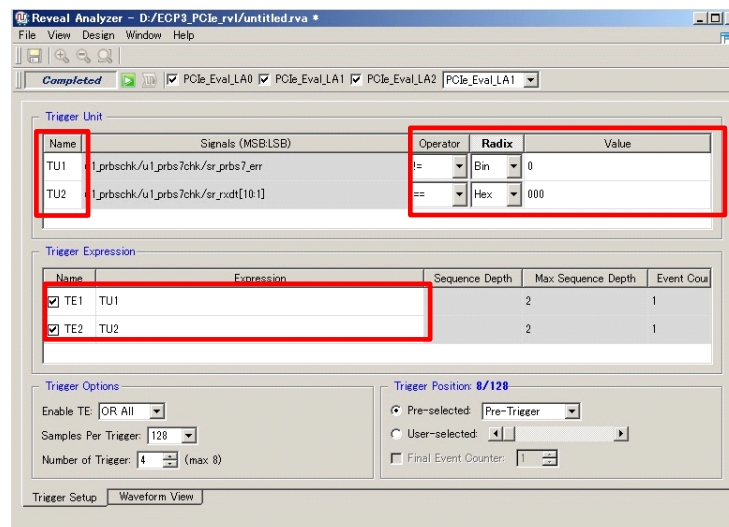
LA の起動時には、インサータで設定したトリガ条件が設定されていますが、トリガ条件の一部は LA 上で変更することができます。

TU/TE の編集

TU および TE の以下の部分 (ウインドウ上でグレイアウトされていないもの) は LA 上で変更することができます。

- TU 名
- TU の Operator (条件) および Value (比較値)
- TE 名
- TE の Expression (TU を使用した条件式)
- 有効な TE の選択 (TE 名の左側のチェックボックス)

図 16-26. LA のトリガ条件変更可能箇所



TU および TE の追加はできません。また TU に設定されているトリガ条件の対象となる信号を LA 上で変更することもできません。TE の Expression は [Max sequence Depth] と [Event count] の範囲内での変更のみが可能です。この範囲内であれば、もともとの Expression 内にはなかった TU の追加も可能です。

例：変更前：TU1 => 変更後：TU1 & TU2 & TU3

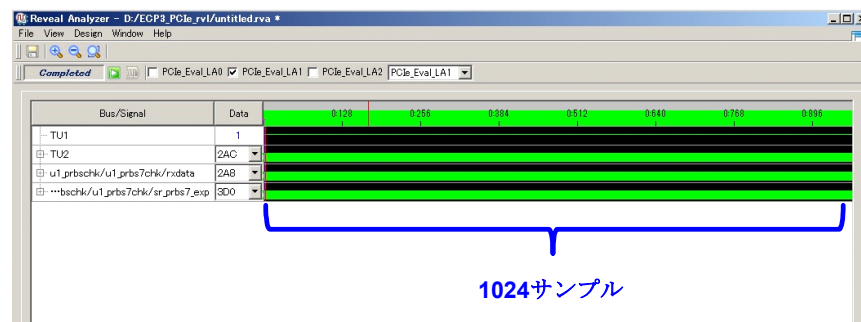
複数の TE が設定されている場合、有効な TE の選択と、実際のトリガ発生条件を選択することができます。TE 名の右側のチェックボックスが有効な TE の選択設定です。チェックが入っている TE のみが有効になります。また Trigger Options の Enable TE 欄でトリガがかかる条件を選択できます。

[OR All] の場合は TE の 1 つが成立した場合にトリガ生成、[And All] の場合は全ての TE が同時に発生した場合にのみトリガが生成されます。

Multiple トリガモードの設定

Installer での設定時に、キャプチャモード（16.2.2.6 項）として multiple を選択していた場合、バッファを複数の領域に分割し、複数回のトリガに対する波形キャプチャを行うことができます。

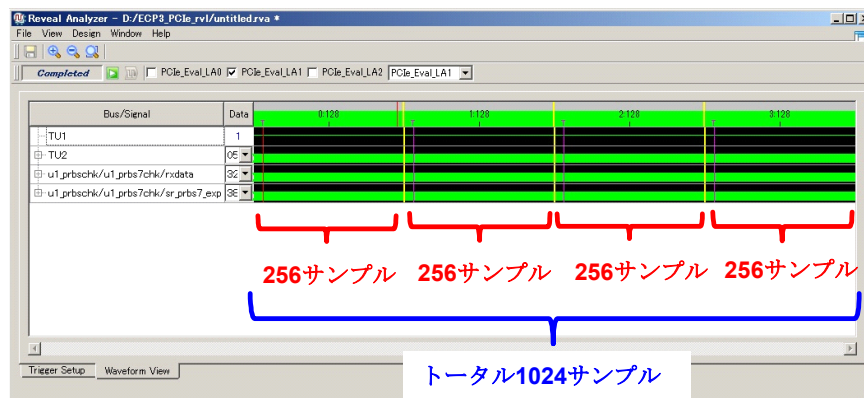
図 16-27. Single trigger 時の観測波形の例 (Number of Trigger=1)



設定は Trigger Options の Samples Per Trigger 欄と Number of Trigger 欄で行います。Number of Trigger 欄ではトリガ回数を選択します。最大値はインサータでの multiple trigger モード設定で決まります。Samples Per Trigger 欄は一回のトリガあたりのサンプル数です。設定可能な値は「Reveal コアの最大サンプル数 ÷ Number of Trigger 設定」です。

なお、Multiple Trigger モードの場合、指定した回数のトリガ条件が成立するまで波形は表示されません。また、マニュアルトリガを掛ける場合も複数回のボタンクリックが必要になります。

図 16-28. Multiple trigger 時の観測波形の例 (Number of Trigger=1)



トリガ表示位置の設定

波形を表示する際に、トリガ条件が成立したサンプルを全体のどこに表示するかを選択することができます。トリガ表示位置の設定は、Trigger Position 欄で設定します。

Pre-selected 欄では予め決められている 3 つのトリガ表示位置から 1 つを選択します。

- Pre-Trigger : トリガ位置は (トータルサンプル数 $\times 1/16$)
- Center-Trigger : トリガ位置は中央 (トータルサンプル数 $\times 8/16$)
- Post-Trigger : トリガ位置は (トータルサンプル数 $\times 15/16$)

User-selected 欄では、ノブをドラッグすることでトリガ表示位置を任意の場所に設定することができます (図 16-30)。

図 16-29. Pre-Selected トリガ表示位置

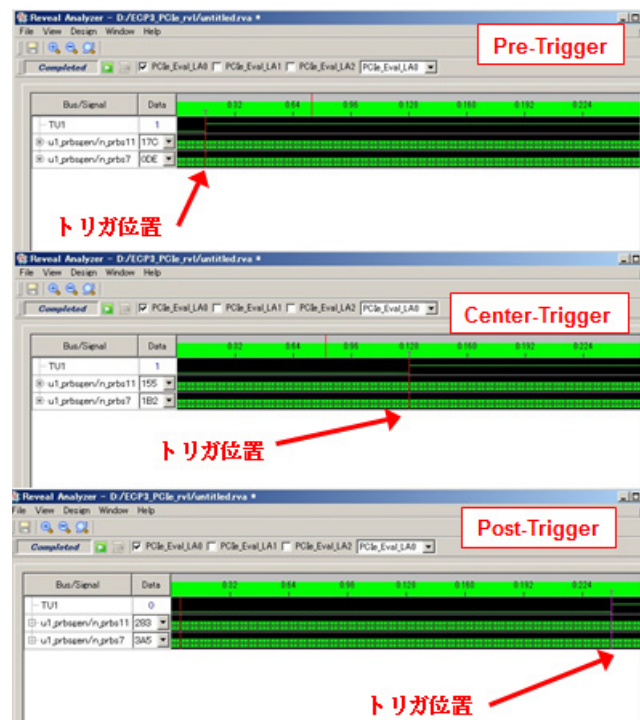
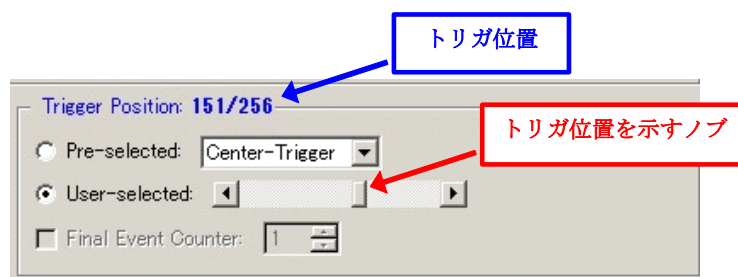


図 16-30. User-selected トリガ表示位置



Multiple Trigger モードではどのような設定を行っても、動作は Pre-Trigger 設定に固定されます。

16.3.6 波形キャプチャの開始

トリガ条件の編集完了後、ウィンドウ上部にあるアイコン  を (図 16-31) クリックすると、設定した条件での波形のキャプチャが開始されます。

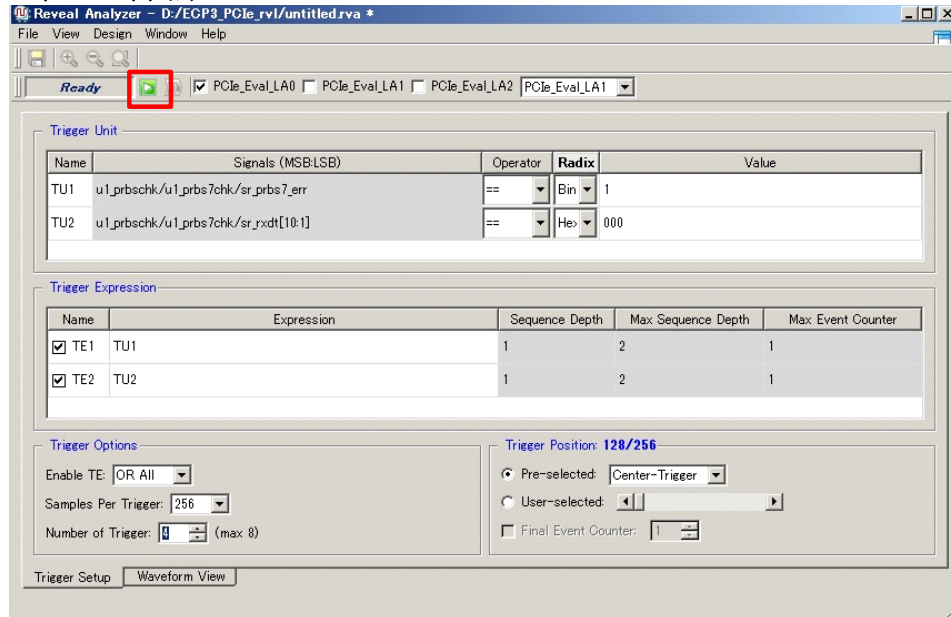
*****-----

- ・ 始めはデバイスへのトリガ条件の書き込み等が行われるので、実際にはトリガ条件の検出や波形のキャプチャが開始されるまで数秒程度必要になります

*****-----

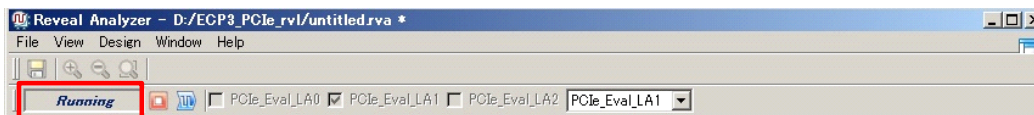
トリガ条件待ちの間は、キャプチャ開始アイコン がキャプチャ停止アイコン に変わります。また、マニュアルでトリガを掛けるアイコン  がアクティブになります（通常時はグレイアウト）。

図 16-31. 波形キャプチャ開始ボタン



LA の状態は実行アイコンの右側に表示されます。[Running] と表示されている場合はトリガ発生を待っていることを表します。

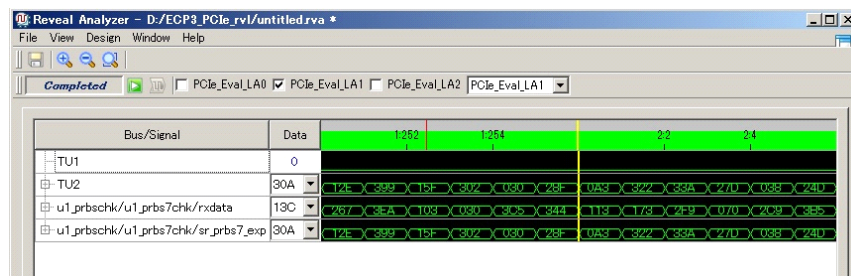
図 16-32. LA のステータス表示



16.3.7 波形表示ウインドウの操作

トリガ条件が満たされ、必要な波形情報がキャプチャされると Waveform View タブに表示されます。

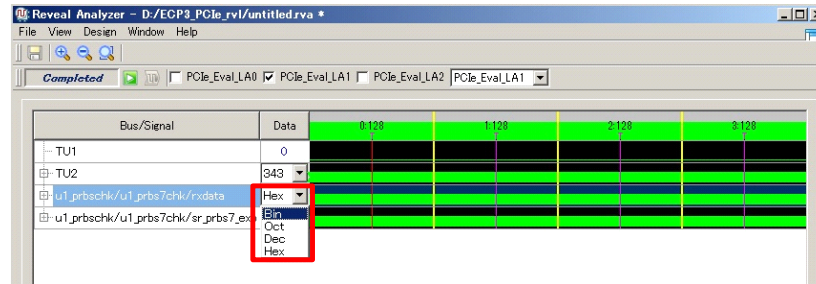
図 16-33. Waveform View



波形の拡大／縮小はウインドウ上部のアイコンで行います。拡大／縮小とも表示されている波形の中央を基準に行われます（カーソルが基準ではありません）。

信号がバスの場合は [Data] 欄をクリックすると、表示フォーマットを変更することができます。

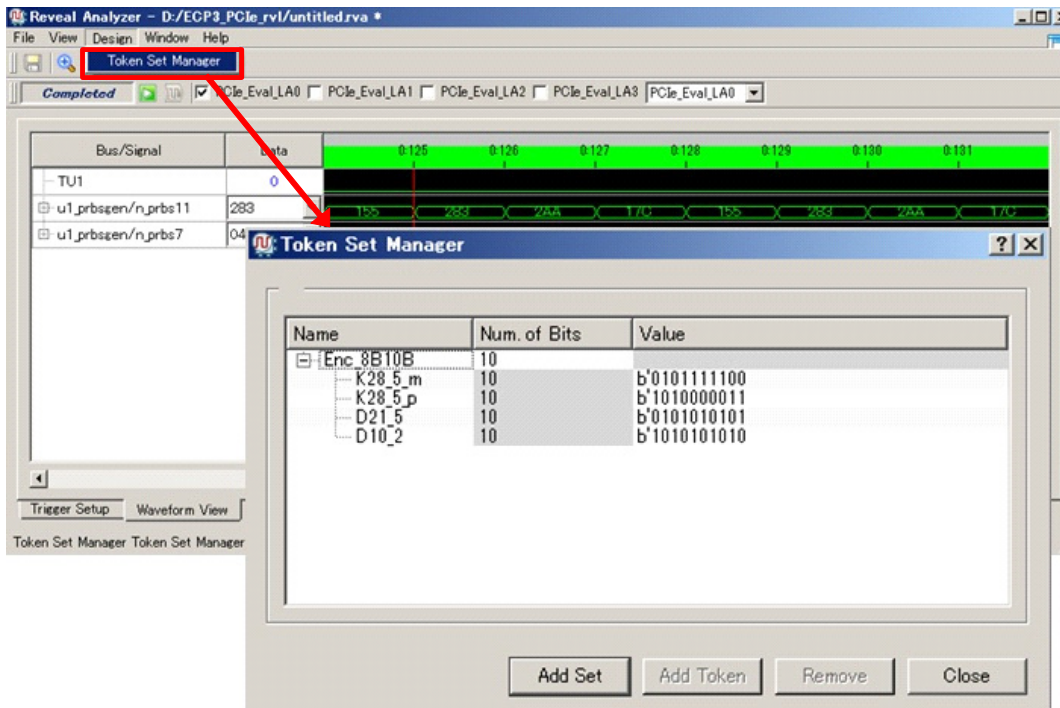
図 16-34. 表示フォーマットの変更



16.3.8 Token Set Manager

LA の波形表示において、特定のデータパターンを文字列に置き換えて表示することができます。このデータパターンと文字列の組み合わせを設定するのが Token Set Manager です。LA のメニューバーから [Design] => [Token Set Manager] の順に選択して起動します (図 16-35)。

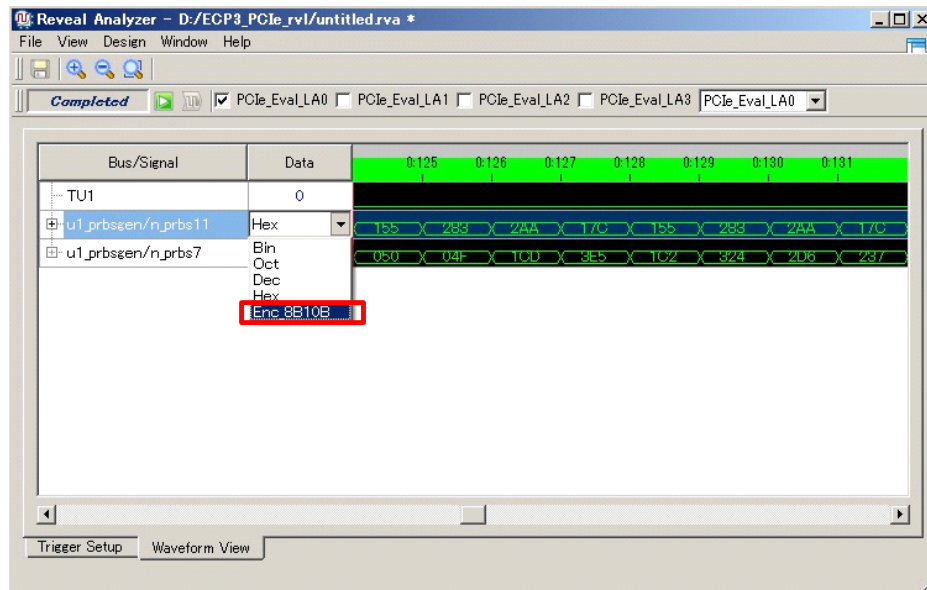
図 16-35. Token Set Manager の起動



Token Set Manager 上では、まず [Add Set] ボタンをクリックして Token Set を生成します。Name 欄、Num. Of Bits 欄をクリックするとそれぞれ任意の Token Set 名と使用するデータの bit 幅を入力できます。

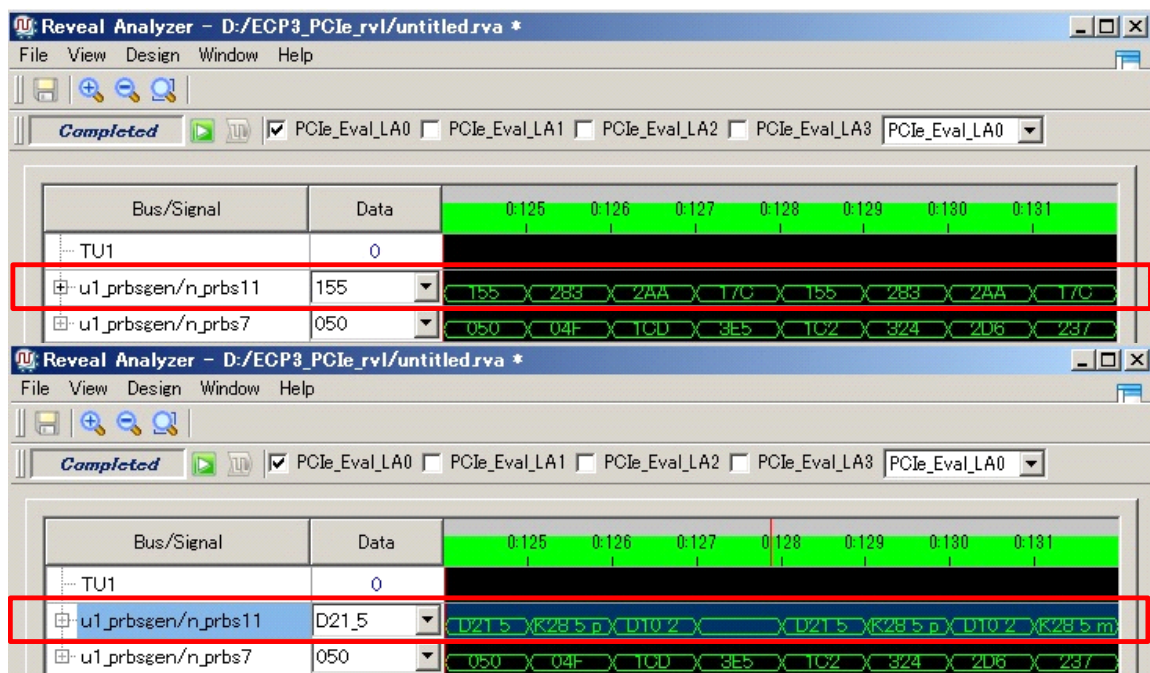
Token Set を生成したら、次は [Add Token] ボタンをクリックして Token (データパターンと文字列の対応) を作成します。Token Set と同様に編集したい個所をクリックすると任意の値を入力できます (bit 幅は固定)。全てのパターンを入力したら [Close] ボタンをクリックして Token Set Manager を閉じます。なお、表示形式として Token Set を選択した場合、Token に一致しないデータパターンは値が何も表示されなくなります。Token Set を定義する場合は、必ず出現する全てのパターンの Token を作成してください。

図 16-36. Token Set の選択



Token Set 作成後、Waveform タブではデータの表示形式として作成した Token Set が選択できるようになります(図 16-36)。ただし、Token Set が選択肢として現れるのは bit 幅が一致しているデータの場合のみです。

図 16-37. データの Hex 表示 (上) と Token Set 表示 (下)



16.4 改訂履歴

Ver.	Date	page	内 容
3.1	May.30, 2014	17-4	図 17-4 差し替え、図 17-6 インサータ起動図を削除（一つに統合）
		--	インサータの図 7 点と、アナライザ初期画面 2 点を更新・差し替え
		17-5	POR デバッグ機能追加について記述
		17-5	クロックの選択（周波数）について記述更新
3.3	Mar. 2015	(16-16)	(16 章に変更) 旧図 17-21 ウェブページ図削除

--- *** ---