

第 7 章 配置配線プロセス (Place And Route)

7.1 概要

配置配線 (以下 PAR) プロセスは、マッピング (Map Design) プロセスまでの処理で生成された (論理的) ネットリストに対して、タイミングなど与えられた設計制約を満たすように、スライス (LUTx2+FFx2) やマクロなど、それぞれの物理的な配置位置とそれらの配線経路を決定します。基本的に、デザインが大きいほど繰り返し処理が必然になり、フィッティング処理全体に対して占める処理時間は大きくなります。

PAR プロセスに適用される設計制約ファイルは *.pdc (Physical Design Constraint) です。制約設定・記述については第 16 章をご参照ください。

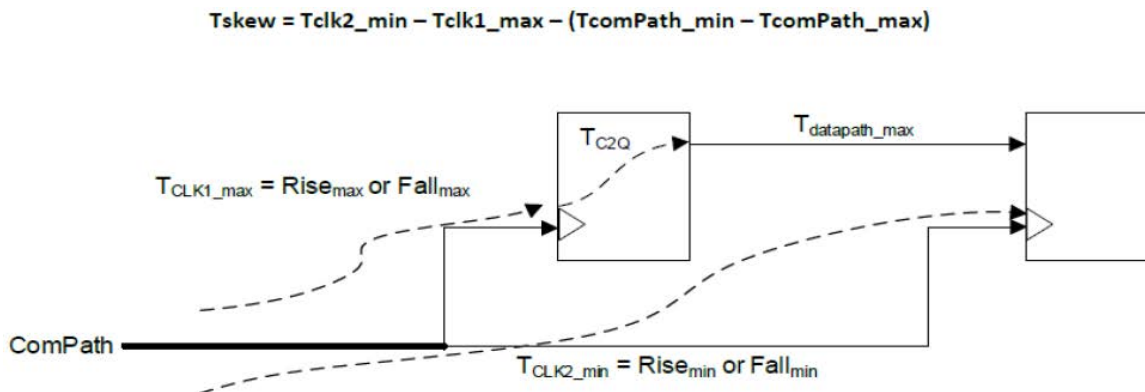
PAR プロセスには、サブプロセスとして "Place & Route Timing Analysis" (タイミング解析) と "I/O Timing Analysis" (I/O タイミング解析) があります。前者は 2023.2 では必ず実行されます。後者は "Task Detail View" でこれらサブプロセス名の行頭にボックスがあり、チェックが入っていると PAR 実行後に、これらも自動的に続けて実行されます (図 7-9 参照)。チェックが入っていない場合でも、サブプロセス名をダブルクリックすれば実行できます。PAR タイミング解析は、PAR 処理の結果を元にした配線遅延値を用います。

7.1.1 Radiant 2023.2 でのタイミング解析手法

2023.2 からのタイミング解析について、以下の点でこれ以前のバージョンから変更されました (FPGA-AN-02074 を参照)。

1. セットアップ解析は従来の高温条件に加えて低温条件でも実行します
2. PAR レポートはワーストケース・タイミングモデルを用いて作成されるのに対して、タイミング (*.twr) レポートはプロジェクトで指定する電圧・温度条件下での解析結果を用いて作成されます。このため PAR レポートの「Cost Table Summary」で表示されるスラック値とタイミングレポートのレポート内容は必ずしも一致しません
3. クロックスキューに関して、ソース FF とデスティネーション FF のクロック配線に共通部分 (図中 ComPath) がある場合に、その最小遅延値と最大遅延値の差が従来のスキュー値に加味されます ("Common Path Skew"。セットアップ解析とホールド解析で min/max 扱いが逆)

図 7-1. Radiant 2023.2 のセットアップ解析のクロックスキュー計算 (Fig.5.3/AN-02074)



註：本 Lattice Radiant 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は正規代理店の技術サポートにお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようにお願い致します。

4. クロックのジッタやスキューなどの不確かさを与える Clock Uncertainty 値を各クロックに与えないと、MAP レポートの "Design Errors/Warnings" セクションにウォーニングとして書き出されます (CRITICAL <52281053> - map: There is no set_clock_uncertainty constraint on the PLL clock output 'CLKOP' of instance 'xxx'.)

5. データパス遅延に関して、ソース FF の有効クロックエッジが立ち上がりか立ち下がりかによって遅延が異なりますが、有効エッジに該当する値を用い、判断できない場合は値の大きい方を採用します

1 と 2 に関して、通常前者 *.par レポートは実デザインのタイミングを反映しているとは限らず、現実以上に厳しい解析結果になります。そのため、ユーザーは後者 *.twr (タイミングアナライザーも等価) の結果を尊重してタイミング・クロージャのための作業を行うことが期待されています。

3 に関して、従来のクロックスキュー値に対してより厳密な解析が適用されることになります。タイミング・レポート "Detailed Report" セクションの各パスレポート内冒頭のサマリーに「Common Path Skew」という名称でリストされています。

セットアップ : $T_{C2Q_max} + Ddly_max + Tsrc_max \leq Tcycle + Tdest_min - (T_{ComPathMin} - T_{ComPathMax}) - t_{SU}$

ホールド : $T_{C2Q_min} + Ddly_min + Tsrc_min \Rightarrow Tdest_max - (T_{ComPathMax} - T_{ComPathMin}) + t_H$

T_{C2Q} はソース FF の Clock-to-Q 遅延、 $Ddly$ はデータパス遅延、 $Tcycle$ はクロック周期、 $Tsrc_min/_max$ と $Tdest_min/_max$ はクロック遅延、 $T_{ComPath}$ はコモンパス遅延

4 に関して、内部 PLL 出力のクロックの場合、ターゲット・デバイス・ファミリーのデータシートにある "sysCLOCK PLL Timing" 項 "Output Clock Cycle-to-Cycle Jitter" の MAX 値とすることが推奨されます

5 については、よりデザインに即した値を採用することになります。

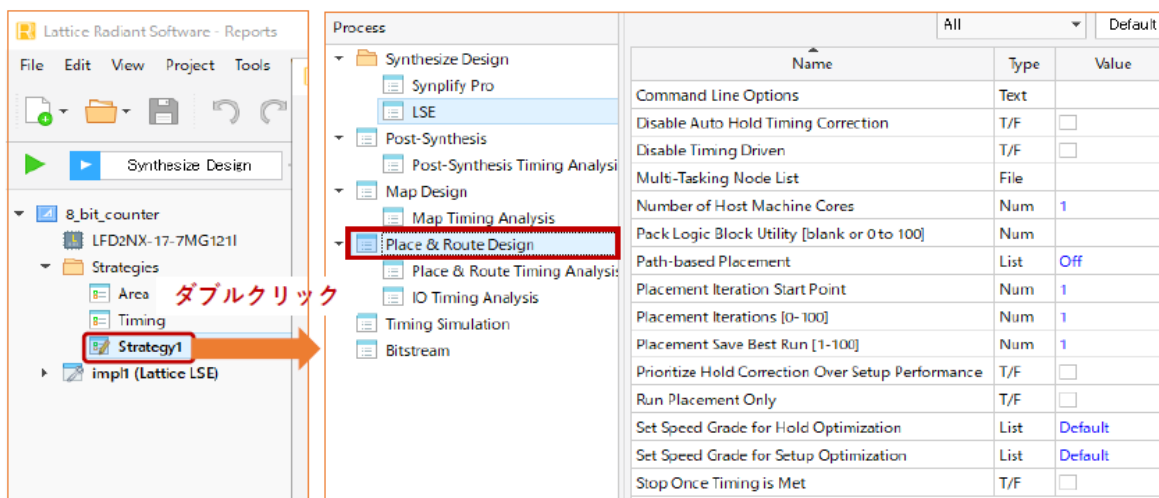
7.2 ストラテジー・オプション設定

7.2.1 ストラテジー設定ウィンドウの起動

ファイルリスト・ビューの "Strategies" セクションにはストラテジーの一覧が表示されています。各インプリメンテーションで使用されるのは、太字で表示されている (アクティブな) 1 つだけです。編集できるのは、デフォルトでは "Strategy1" のみです。ダブルクリックすると、ストラテジー設定ウィンドウが開きます。

ストラテジーはプロセスごとに表示されますので、"Process" 枠から [Place & Route Design] を選択します (図 7-2)。

図 7-2. PAR (Place & Route Design) のストラテジー・オプション



7.2.2 PAR プロセスのストラテジー・オプション項目

以下に各ストラテジー・オプションについて記述します。詳細についてはオンラインヘルプで [Reference Guides] → [Strategy Reference Guide] → [Place & Routing Design Options] を選択すると、ご参照いただけます。

Command Line Options

パラメータ：文字列 デフォルト：ブランク

規定のオプション以外を使用する場合に、直接引数等を記述します。複数設定する場合は、以下のよう
に各オプションをコロン”:” で区切って記述します。最後のオプションの後は不要です。

-exp オプション 1 : オプション 2 : オプション 3

Avant ファミリーで Reveal コアを挿入している場合は、次のコマンドを記述する必要があります

-exp WARNING_ON_PCLKPLC1=1

Disable Auto Hold Timing Correction

パラメータ：True / False デフォルト：False

デフォルトでは自動的にホールド時間違反を解消する処理を実行します。[True] に変更すると潜在的
にホールド時間違反が残る可能性があります。

Disable Timing Driven

パラメータ：True / False デフォルト：False

デフォルトでは PAR 実行時にタイミング制約を考慮した処理を行います。[True] にするとタイミン
グ制約を無視して PAR を行います。

Multi-Tasking Node List

パラメータ：ファイル名 デフォルト：ブランク

複数の CPU コアをもつ PC で、CPU コアごとに異なる条件で PAR を並列処理させる場合に、ここに
規定書式で記述されたファイル名を指定します。ファイルの記述書式については第 7.7 節をご参照くだ
さい。

Number of Host Machine Cores

パラメータ：数値 デフォルト：1

複数の CPU コアによる PAR 処理の場合に、ここに使用するコア数を記述します。”Multi-Tasking Node
List” でファイルを指定しない場合でも、ここに ”2” 以上の数値を入力すると有効です。

Pack Logic Block Utility (Avant-E ファミリーにはありません)

パラメータ： デフォルト：(ブランク)

パーセント値としてデバイス内スライスのパッキング密度を指定します。数値が小さいほど、PAR エ
ンジンは密にパッキングしようとします。過剰に小さな値にするとクロック周波数・周期制約を満た
すことが難しくなる傾向になります。0 が最大値、100 が最小値です。ブランクの場合、デバイスファ
ミリーによってデフォルトが自動的に決定されます。例えば LIFCL の場合は ”75” です。

Path-based Placement (Avant-E ファミリーにはありません)

パラメータ：On / Off デフォルト：Off

配置のアルゴリズムに関連する設定で、デフォルトはスライス間の接続を重視した配置を行います。
[On] にすると、パス（レジスタ-レジスタ間）の経路を考慮した配置を行います。

Placement Iteration Start Pt.

パラメータ：数値 (0 ~ 100) デフォルト値：1

PAR 処理で使用する ”コストテーブル” (または ”シード”。参照するデータベース) に関する設定
で、次に記述する ”Placement Iteration” 回数のうちの初回の配置処理で使用するコストテーブルの番号
です。

Placement Iterations

パラメータ：数値（0 ～ 100） デフォルト値：1

配置処理の繰り返し回数の設定です。”0” はタイミング制約を満たすまで最大 100 回繰り返し、それ以外は設定した回数配置処理を繰り返します。最大値は ”99” です。

”Placement Iterations” の設定値が 2 以上の場合（”マルチ PAR”）、2 回目以降は毎回 1 を加算した番号のコストテーブルが使用されます。この番号が連続していても、参照されるデータはランダム化されていますので、それらに相関関係はありません。

例：Placement Iterations = 5, Placement Iteration Start Pt. = 3 の場合、コストテーブルは 3, 4, 5, 6, 7 です。

図 7-3. シードのスキップ結果を含むコストテーブル・サマリー例

Level/ Cost [udbl]	Number Unrouted	Worst Slack	Timing Score	Worst Slack(hold)	Timing Score(hold)	Run Time	Run Status
S_1	0	-0.737	734	-1.541	21831	01:15	Complete
S_2	-	-	-	-	-	01:01	Skipped
S_3	-	-	-	-	-	01:01	Skipped
S_4	-	-	-	-	-	01:00	Skipped
S_5	-	-	-	-	-	01:02	Skipped
S_6	-	-	-	-	-	01:00	Skipped
S_7	-	-	-	-	-	01:05	Skipped
S_8	-	-	-	-	-	01:03	Skipped
S_9	-	-	-	-	-	01:03	Skipped
S_10	-	-	-	-	-	01:03	Skipped

INFO - par: Iterations S_2, S_3, S_4, S_5, S_6, S_7, S_8, S_9, and S_10 were skipped during the PAR proc

マルチ PAR（複数のコストテーブル指定＝ Placement Iterations が 2 以上）の場合、”自動シード・スキップ”機能が有効になり、トータル・ランタイムは相対的に短縮されます。この機能は、実行されるシード（Seed=Cost Table）の途中経過で、それ以前のシードによる PAR 結果より良い結果が出ることが予想されない場合はその処理を打ち切り、次のシードに進むものです。これによりトータル・ランタイムを短縮します。

図 7-3 に例を示します。処理打ち切りのシードについては右端のステータスに ”Skipped” と表示し、処理を打ち切ったことをレポートします。このサマリーでは ”5_<cost>” のような表記でコストテーブルを示し、タイミングスコア順にソートされています（スキップしたコストはスコアなし）。

なお、この PAR レポートは本章冒頭で記述した通り、2023.2 から解析手法が変更になったため、サマリー一部の結果は現実以上に悲観的になっています。より実環境に即したデザインのタイミング解析結果は PAR タイミング・レポート（*.twr）やタイミング・アナライザーで確認するようにします。

このアルゴリズムはデフォルトで ON になっています。強制的にオフにするためには、ストラテジー・オプションの ”Command line Options” セルに以下のようなコマンドを記述します。

-exp parASE=0

Placement Save Best Run

パラメータ：数値（1 ～ 100） デフォルト値：1

プロセス終了後に、保存するネットリストの数に関する設定です。”Placement Iterations” が 2 以上の場合、結果が良い順にここに設定した数のネットリストを保存します。

Prioritize Hold Correction Over Setup Performance

パラメータ：True / False デフォルト値：False

PAR 処理に於いてセットアップ時間とホールド時間をともに満たすことができない状況があり得ますが、[True] にすると、そのような場合にホールド時間を満たすことを優先します。

Run Placement Only

パラメータ：True / False デフォルト：False

配線処理（Routing）の実行に関する設定で、[True] にすると配置処理のみを行います。

Set Speed Grade for Hold Optimization

パラメータ：(Speed Grades)) デフォルト：Default

Lattice ツールのホールド解析は、デフォルトの ”m” グレードが基本（Default）です。それ以外は Radiant プロジェクトのターゲット・デバイスで選択できるグレードが候補になります。特別な理由がない限りはデフォルトから変更しないようにします。

Set Speed Grade for Setup Optimization

パラメータ：(Speed Grades)) デフォルト：Default

Lattice ツールのセットアップ解析は、Radiant プロジェクトのターゲット・デバイスで選択しているグレードが基本（Default）になります。ここで別のグレードを選択すると、それが優先されます。

Stop Once Timing is Met

パラメータ：True / False デフォルト：False

[True] にすると、マルチ PAR の場合にあるコストテーブルでタイミング制約を満たした時点で処理を終了し、その際のコストテーブルには進みません。

7.2.3 PAR タイミング解析のストラテジー項目

PAR プロセスのタイミング解析では、スライス（LUT/FF）などのエレメント遅延、データパスの配線遅延、およびクロック配線遅延などを、生成されるネットリストをベースに正確に抽出された値を用います。

ストラテジー・オプションによってタイミング解析条件やレポートスタイル等を変更することができます。アクティブなストラテジーをダブルクリックして設定ウィンドウを表示し、左側 ”Process” 枠で ”Place and Route Timing Analysis” を選択します（図 7-4）。

Command Line Options

パラメータ：数値 デフォルト：ブランク

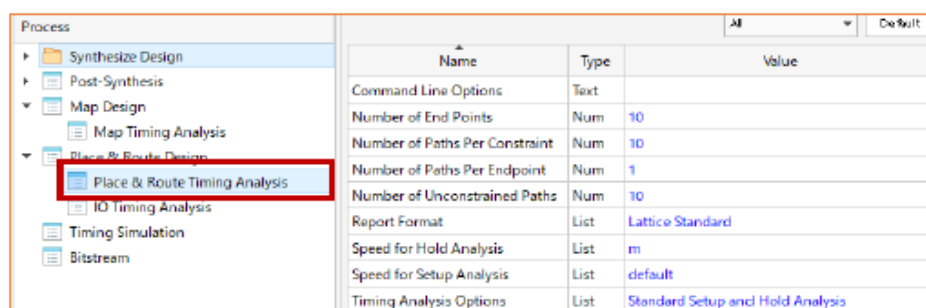
設定可能なオプション項目以外を使用する場合に、直接引数等をここに記述します。

Number of End Points

パラメータ：数値 デフォルト：10

クリティカル・エンドポイント・サマリーでのエンドポイント数を指定します。

図 7-4. PAR タイミング解析のストラテジー・オプション



Number of Paths Per Constraint

パラメータ：数値 デフォルト：10

詳細パスレポートのパス数を指定します。

Number of Paths per Endpoint

パラメータ : 数値 デフォルト : 1

各エンドポイントに対する最大パス数を指定します。

Number of Unconstrained Paths

パラメータ : 数値 デフォルト : 10

未制約パス（タイミング制約でカバーされていないパス）のレポート数を指定します。

Report Format

パラメータ : Lattice Standard / Diamond Style デフォルト : Lattice Standard

[Lattice Standard] は業界標準ツールの書式に準じたレポート・フォーマットです。[Diamond Style] は既存ツール Lattice Diamond のタイミング・レポートと同じフォーマットです。

Speed for Hold Analysis

パラメータ : m / (Speed Grades) デフォルト : m

Lattice ツールのホールド解析は、デフォルトの "m" グレードが基本です。それ以外は Radiant プロジェクトのターゲット・デバイスで選択できるグレードが候補になります。特別な理由がない限りはデフォルトから変更しないようにします。

Speed for Setup Analysis

パラメータ : default / (Speed Grades) デフォルト : default

Lattice ツールのセットアップ解析は、Radiant プロジェクトのターゲット・デバイスで選択しているグレードが基本です。ここで別のグレードを選択すると、それが優先されます。

Timing Analysis Options

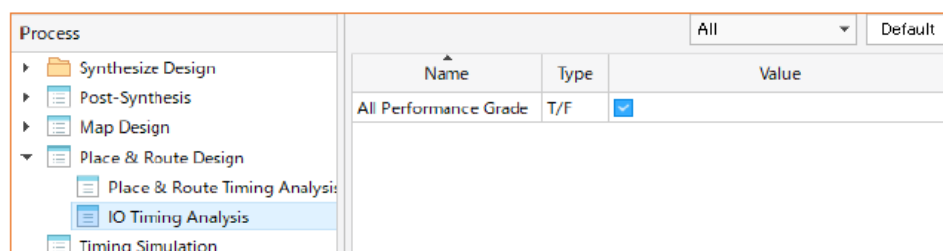
パラメータ : Hold Analysis / Standard Setup Analysis / Standard Setup and Hold Analysis（デフォルト）

デフォルトでセットアップ / ホールド時間解析の両方を同時に行います。[Hold Analysis] にすると、ホールド解析のみを行い、[Standard Setup Analysis] セットアップ解析のみを行います。

7.2.4 I/O タイミング解析のストラテジー項目

サブプロセスの I/O タイミング解析 (I/O Timing Analysis) は、PAR 結果のネットリストに対する I/O のみの静的タイミング検証 (STA) です。制約を与えていなくても、入力ポートのセットアップ / ホールド時間や、出力ポートの最大・最小遅延を解析します。I/O タイミング解析は、ストラテジー・オプションで解析条件を変更することができます (図 7-5)。

図 7-5. I/O Timing Analysis のストラテジー



All Performance Grade

パラメータ : True / False デフォルト : False

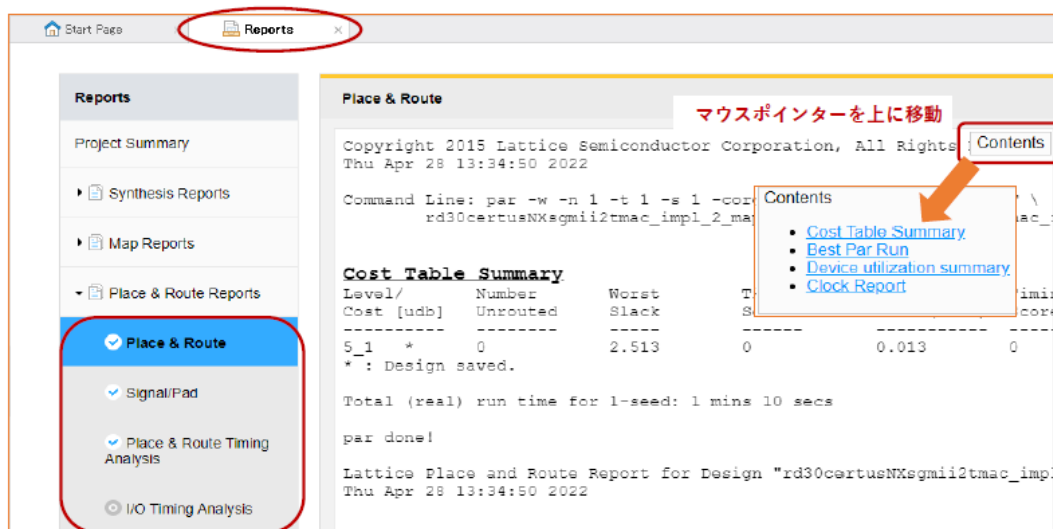
レポート内容に関する設定で、デフォルトではワーストケース・グレードのみを解析し、その結果をレポートします。[True]にすると、全スピードグレードで解析を行い、その結果をレポートします。

7.3 PAR プロセス・レポート

7.3.1 レポートの種類

PAR プロセスを実行時すると、レポート・ビューに結果がレポートされます。GUI 上部の [Reports] タブをクリックし、ウィンドウ左側のセクションで [Place & Route Reports] をクリックすると、サブ項目として三つがリスト表示されます。[Place & Route] はプロセス実行結果のレポート、[Signal/Pad] はパッドレポート、[Place & Route Timing Analysis] はタイミング解析レポート、[I/O Timing Analysis] は I/O ポートのタイミング解析レポートです。

図 7-6. PAR プロセスのレポート表示



7.3.2 プロセス・レポート項目

PAR プロセスの結果は、大きく以下のような内容ごとに分類されてレポートされます。

Cost Table Summary

コストテーブル（シード）ごとの実行結果で、タイミングスコア（Timing Score）や最悪スラック値などです。

Best Par Run

最も良い結果となったコストテーブルでの処理について、スライス使用数や信号・コネクション数などです。ウォーニングがあれば合わせてレポートされます。

Device Utilization summary

GSR / PLL / EBR / IOLOGIC / ECLKDIV / ECLKSYNC / SLICE (LUT/REG) など、各種リソースの使用数と使用率です。

Clock Report

グローバル・クロックネットやエッジクロックの使用や、I/O 使用数やタイプのサマリーです。

7.4 Signal/Pad レポート

Signal/Pad レポート（以下パッドレポート）には6つのセクションがあります（図 7-7、図 7-8、図 7-8）。

Pinout by Port Name

デザインで定義している I/O ポート全てについて、それぞれの配置されたピン番号とバンク、バッファタイプ、パッド名、ドライブ強度やスルーレートなどの属性を表形式でレポートしています。

Vccio by Bank

バンクごとの Vccio 値です。

Vref by Bank

Vref ピンを使用するデザインでは、Vref 名、配置されたピン番号とバンク、Vref の付加対象となるピンがレポートされます。

図 7-7. パッドレポート例：左 “Pinout by Port Name”、右上 “Vccio by Bank”、右下 “Vref by Bank”

Signal/Pad

PAD Specification File

PART TYPE: LFD2NK-17

Performance Grade: 5_High-Performance_1.0V

PACKAGE: CSFBGA121

Package Status: Final Version 5

Thu Apr 28 13:35:22 2022

Pinout by Port Name:

Port Name	Pin/Bank	Buffer Type	Site	Properties
clk100m	L2/3	LVCMOS18H_IN	PB70A	SLEW:NA PULL:DOWN
enbl_rx	K10/4	LVCMOS18H_IN	PB40A	SLEW:NA PULL:DOWN
enbl_tx	G11/5	LVCMOS18H_IN	PB20B	SLEW:NA PULL:DOWN
ext_rstn	J1/3	LVCMOS18H_IN	PB68A	SLEW:NA PULL:DOWN
hdinip	F11/5	LVDS_IN	PB18A	SLEW:NA
hdoutp	K5/3	LVDS_OUT	PB58A	SLEW:NA

Vccio by Bank:

Bank	Vccio
1	3.3V
2	3.3V
3	1.5V
4	1.5V
5	1.2V
6	3.3V

Vref by Bank:

Vref	Pin	Bank # / Vref #	Load(s)
VREF1_BANK_3	W11	3 / VREF1 (REF_16)	R12 P12 Y13 V14 Y14 W12 U12 T12 T14 U15 V16 U16 V17 P13 R13 W15

Pinout by Pin Number

ターゲットとしているパッケージで利用できる全ピンについて、アルファベット順にピン番号とバンク、デザインでのピン名称とプルアップ / ダウンなどの情報、*.pdc での配置指定あり・なし、バッファタイプ、パッド名、などをレポートします。

sysCONFIG Pins

コンフィグレーション関連ピンのパッド名、ピン機能名、ピン番号とバンク、などです。

Locate Constraints for each Pin

配置結果に相当する PLL やピン配置制約の記述がリストされます。コピーしてそのまま制約ファイル *.pdc にペーストして再利用することができます。

図 7-8. パッドレポートの例：“Pinout by Pin Number”

Pinout by Pin Number:					
Pin/Bank	Pin Info	Preference	Buffer Type	Site	Dual Function
A8/81				SD7_TXDN	
A9/81				SD7_TXDP	
A11/81				SD6_TXDN	
A12/81				SD6_TXDP	
A14/81				QD5_TVDN	
AD1/70				ADC_CN1	
AD3/3	ddr_dq_io[6]	LOCATED	LVSTL_I_BIDI	PB156A	LRC_GPLL0T_IN/ATB_FORCE/BDQ150
AD4/3	ddr_dq_io[5]	LOCATED	LVSTL_I_BIDI	PB152A	ADC_CP12/BDQ150
AD5/3	ddr_dmi_io[1]	LOCATED	LVSTL_I_BIDI	PB144A	BDQ138
AD6/3	ddr_dq_io[8]	LOCATED	LVSTL_I_BIDI	PB140A	BDQ138
AD9/3	ddr_dq_io[18]	LOCATED	LVSTL_I_BIDI	PB130A	BDQ126
AD10/3	ddr_dq_io[20]	LOCATED	LVSTL_I_BIDI	PB128A	BDQ126
AD11/3	ddr_dq_io[26]	LOCATED	LVSTL_I_BIDI	PB116A	ADC_CP8/BDQ114
AD12/3	ddr_dq_io[25]	LOCATED	LVSTL_I_BIDI	PB112B	PCLRC3_0/ADC_CN4/BDQ114
AD13/4	unused, PULL:DOWN			PB104B	ADC_CN9/BDQ102
AD14/4	unused, PULL:DOWN			PB96A	BDQ80

この HTML ベースのレポートと同一内容のテキストファイル *.pad も生成されます。

7.5 PAR タイミング・レポート

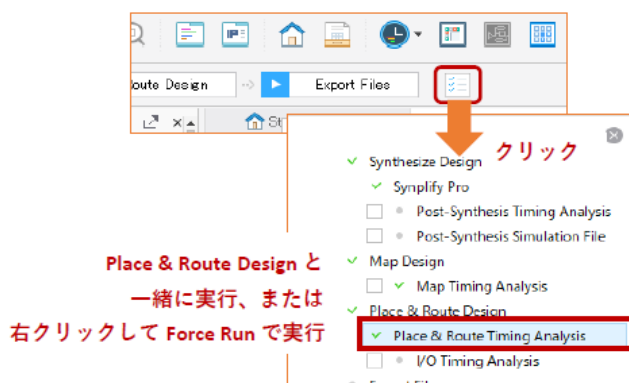
PAR 後タイミング・レポート生成のサブプロセスとしてはタイミング解析 (Place & Route Timing Analysis) と、I/O タイミング解析が (I/O Timing Analysis) あります。

タイミング解析は (デフォルトのストラテジー設定で) PVT (Process= スピードグレード / 電圧 / 温度) のベストケースでホールド時間を、ワーストケースでセットアップ時間を静的に解析します。与えられた設計制約を満たすための PAR 処理は、実際はタイミング解析エンジンとの相互動作です。繰り返し (Iteration) 回数分、両エンジンの処理が密接に実行されます。

一方 I/O タイミング解析は、PAR プロセス結果のネットリストに対する静的解析です。入出力信号 (内部でレジスタに接続されているもの) に対して自動的にスピードグレードやベスト / ワースト条件を網羅的に解析し、その条件とともにレポートします。

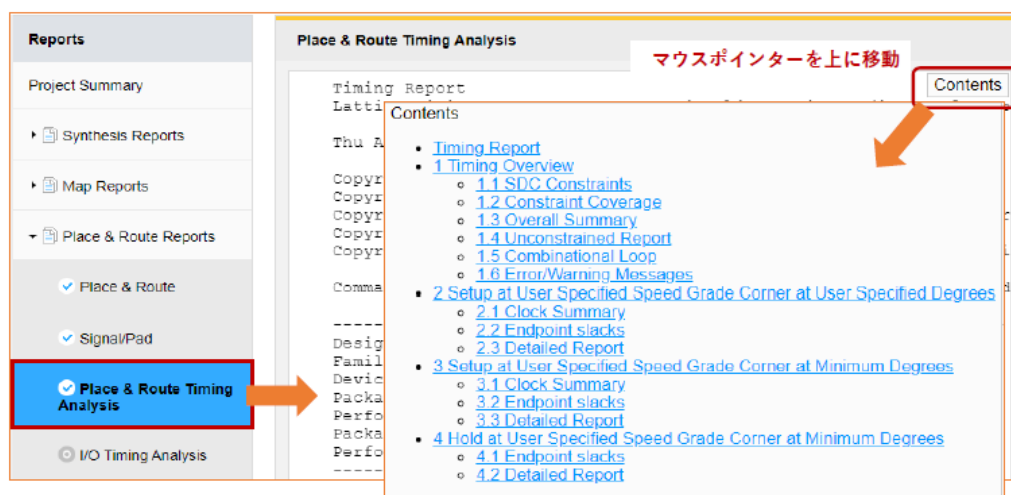
[Place & Route Timing Analysis] と [I/O Timing Analysis] は、他のサブ項目の行頭が ☒ 印で閲覧可能であることを示しているのに対して、デフォルトや更新後の制約条件で未実行時は  印になっていて、有効なレポートが閲覧できる状態ではないことを示しています。

図 7-9. PAR タイミング解析サブプロセスの実行



レポートを出力するためには、"Task Detail View" アイコンをクリックすると現れるビュー内で該当するサブプロセス "Place & Route Timing Analysis" ボックスをクリックして有効化してから PAR を実行するか、或いは PAR 実行後にこのサブプロセスのみをダブルクリックして解析を実行します (図 7-9)。"I/O Timing Analysis" も同様です。

図 7-10. PAR タイミング・レポート



レポートの先頭は、解析を行ったツールやライブラリーのバージョン、解析対象のネットリストおよび制約ファイル等の情報が出力されます。この下に「Contents」の内容が続きます。レポート・ビュー右上にある『Contents』ボタンにマウスポインターを移動すると、リンク有りのその項目一覧がポップアップしますので、いずれかをクリックすればレポート内の当該箇所にジャンプして表示します（図 7-10）。

セットアップ解析に対しては、本章冒頭で記述した通り、解析手法が変更になったため、指定温度グレードの最低ジャンクション温度でのレポートが第三項目として追加されています（図 7-10）。この最低温度とは、ターゲット・デバイスがコマーシャル・グレード品では 0℃、インダストリアル・グレード品とオートモーティブ・グレード品では -40℃です。以下の概要説明ではこの項目については基本的に 2 のセットアップ項目と同様の内容なので、説明は省略します。

各項目の概要は以下の通りです。

1. DESIGN CHECKING

1.1 SDC Constraints *.pdc 制約ファイルで与えられている制約をリストアップします。

1.2 Constraint Coverage 与えられている制約のカバレッジを%でレポートします。

1.3 Overall Summary セットアップ / ホールド・タイミング解析結果のサマリーです。タイミングエラーのエンドポイント数、及びネガティブ・スラック値の合計です。

図 7-11. タイミング・レポート例 ～ デザイン・チェックングの 1.1 から 1.3

```

1 DESIGN CHECKING

1.1 SDC Constraints
create_generated_clock -name {u_mc4avant/lscg_mc_avant_inst/u_ddrphy/pll_inst/pll_clkophy} -source [get_pins {u_mc4avant/lscg_mc_avant_inst/u_ddrphy/pll_inst/pll_clkophy}]
create_generated_clock -name {u_mc4avant/lscg_mc_avant_inst/sclk_o} -source [get_pins {u_mc4avant/lscg_mc_avant_inst/u_ddrphy/pll_inst/pll_clkophy}]
create_clock -name {aclk_i} -period 10 -waveform {0.000 5.000} [get_pins {aclk_i_ibuf.bb_inst/0}]
create_clock -name {pll_refclk_i} -period 10 -waveform {0.000 5.000} [get_pins {pll_refclk_i_ibuf.bb_inst/0}]
create_clock -name {pclk_i} -period 10 -waveform {0.000 5.000} [get_pins {pclk_i_ibuf.bb_inst/0}]

1.2 Constraint Coverage
Constraint Coverage: 99.2564%

1.3 Overall Summary
Setup at Speed Grade 3 Corner at 85 Degrees          Timing Errors: 1 endpoints; Total Negative Slack: 0.464 ns
Setup at Speed Grade 3 Corner at 0 Degrees           Timing Errors: 3 endpoints; Total Negative Slack: 1.068 ns
Hold at Speed Grade m Corner at 0 Degrees            Timing Errors: 413 endpoints; Total Negative Slack: 1355.47

```

1.4 Unconstrained Report 未制約のパス（Unconstrained Start/End Points）や I/O ポート、クロックネットなどをレポートします。パス数はストラテジー項目の “Number of End Points” に準じます。

1.5 Combinational Loop 組み合わせ回路のループがある場合にレポートされます。ない場合はブランクです。

1.6 Error/Warning Messges エラーやウォーニングがある場合のレポートです。

次にセットアップ部です。

2. Setup at User Specified Speed Grade Corner at User Specified Degrees

2.1 Clock Summary ターゲット周波数（周期）と結果をクロック・ネットワークごとにサブ項目としてリストしてレポートします。またほかのドメインからの（domain crossing）パスがある場合、クロックエッジ間のタイミングをレポートします。左は一つのネットについてのレポート例です。ストラテジー項目の “Report Format” で指定する “Lattice Standard” と “Diamond Style” でほぼ同じ書式です。

2.2 Endpoint slacks パスのエンドポイントでセットアップ時間をスラックの小さい（ネガティブスラックの大きい）順にレポートします。“Lattice Standard” と “Diamond Style” でほぼ同じ書式です。

2.3 Detailed Report セットアップ時間解析の詳細を、スラックの小さい（ネガティブスラックの大きい）クリティカル・パス順にレポートします。パス数はストラテジーの “Number of Paths Per Constraint” に準じます。

セットアップ・レポートの詳細レポート（2.3）の例を図 7-13 に示します。

図 7-12. セットアップ詳細レポート例 (Lattice Standard)

```

+++++Detailed Report for timing paths+++++
+++++Path 1 +++++
Path Begin      : genblk1[4].u_csi2rxWb2p/u_csi2rx_que/lsc_dphy_rx_inst/secured_instance_100_2/secured_instance_99_1/secured_instance_98_123/CLK
Path End        : genblk1[4].u_csi2rxWb2p/u_B2Pconv_vlp60/lsc_byte2pixel_inst/genblk5.lsc_pixcntr/wc_pix_sync[8].ff_inst/DF
Source Clock     : byte_clk_cont (R)
Destination Clock: mpcs_tx_clk0 (R)
Logic Level      : 1
Delay Ratio      : 76.0% (route), 24.0% (logic)
Clock Skew       : -0.376 ns
Setup Constraint : 2.000 ns
Common Path Skew : 0.000 ns
Path Slack       : 0.386 ns (Passed)

Source Clock Path
Shown in: [X] Netlist Analyzer [X] Physical Designer Placement Mode [X] Physical Designer Routing Mode
Name      Cell/Site Name      Delay Name      Incr      Arrival/Required Time      Fanout
-----
u0_pll14_b2p.lsc_pll_inst/gen_no_refclk_mon.u_PLL.PLL_inst/CLKOP      CLOCK LATENCY      0.000      0.000      3926
u0_pll14_b2p/lsc_pll_inst/byte_clk_cont      NET DELAY      2.473      2.473      3926
genblk1[4].u_csi2rxWb2p/u_csi2rx_que/lsc_dphy_rx_inst/secured_instance_100_2/secured_instance_99_1/secured_instance_98_123/CLK      CLOCK PIN      0.000      2.473      1

Data Path
Shown in: [X] Netlist Analyzer [X] Physical Designer Placement Mode [X] Physical Designer Routing Mode
Name      Cell/Site Name      Delay Name      Incr      Arrival/Required Time      Fanout
-----
genblk1[4].u_csi2rxWb2p/u_csi2rx_que/lsc_dphy_rx_inst/secured_instance_100_2/secured_instance_99_1/secured_instance_98_123/CLK      SLICE_R33C109D      REG_DEL      0.306      2.779      5
genblk1[4].u_csi2rxWb2p/u_csi2rx_que/lsc_dphy_rx_inst/secured_instance_100_2/secured_instance_99_1/secured_instance_98_123/CLK      NET DELAY      0.967      3.746      5
genblk1[4].u_csi2rxWb2p/u_B2Pconv_vlp60/lsc_byte2pixel_inst/genblk5.lsc_pixcntr/wc_pix_sync[8].ff_inst/DF      ENDPPOINT      0.000      3.746      1

Destination Clock Path
Shown in: [X] Netlist Analyzer [X] Physical Designer Placement Mode [X] Physical Designer Routing Mode
Name      Cell/Site Name      Delay Name      Incr      Arrival/Required Time      Fanout
-----
u_mpcs_txonly.u_mpcs_txOnly.lsc_mpcs_top_inst.Q0_PCSX4.u_PCSX4.Q0_pcs_merge_pcs_merge.PCSX4_inst/CHO_PIPE_PCS_TXCLK0      CONSTRAINT      0.000      2.000      1
genblk1[1].u_csi2rxWb2p/u_csi2rx_que/lsc_dphy_rx_inst/secured_instance_100_2/secured_instance_99_1/secured_instance_98_123/CLK      PCS_CORE_PCS_CORE_R102      CLOCK LATENCY      0.000      2.000      2175
genblk1[1].u_csi2rxWb2p/u_csi2rx_que/lsc_dphy_rx_inst/secured_instance_100_2/secured_instance_99_1/secured_instance_98_123/CLK      NET DELAY      2.097      4.097      2175
genblk1[4].u_csi2rxWb2p/u_B2Pconv_vlp60/lsc_byte2pixel_inst/genblk5.lsc_pixcntr/wc_pix_sync[8].ff_inst/CLK      CLOCK PIN      0.000      4.097      1
Uncertainty      -(0.000)      4.097
Common Path Skew      0.000      4.097
Setup time      -(-0.035)      4.132

Required Time      4.132
Arrival Time      -(3.746)

Path Slack (Passed)      0.386

```

”Diamond Style” と ”Lattice Standard” はほぼ同じ書式ですが、各パスごとのセクションの初めに始点と終点のクロックとデータ遅延のサマリーが含まれかどうか、などが異なります。

この HTML ベースのレポートと同一内容のテキストファイル*.twr も生成されます。

7.6 I/O タイミング・レポート

前述のとおり、サブプロセスとして I/O タイミング解析 (I/O Timing Analysis) で生成するタイミング・レポートは、PAR 結果のネットリストに対する I/O のみの静的タイミング検証結果です (図 7-13)。

この HTML ベースのレポートと同一内容のテキストファイル*.ior も生成されます。

図 7-13. I/O Timing Analysis レポート例 (一部)

I/O Timing Analysis

Design: dut_top

Family: LAV-AT

Device: LAV-AT-500E

Package: LPG676

Performance: 3

Package Status: Advanced

Version 53

Performance Hardware Data Status : Advanced Version 47.1

I/O Timing Report

Performance Grade Translation Table

Code|Performance Grade

1 | 1

2 | 2

3 | 3

Worst FPGA Input Port Results for Performance Grade: 1, 2, 3

Port Name | Setup |Grade|Edge| Hold |Grade|edge| Clock Port

uw_enfif0 |3.758 ns| 2 | R |-1.911 ns| 3 | R |aclk_i_ibuf.bb_inst/0(internal clock)

uw_data[10]|3.020 ns| 2 | R |-1.944 ns| 3 | R |aclk_i_ibuf.bb_inst/0(internal clock)

uw_data[11]|2.950 ns| 2 | R |-1.884 ns| 3 | R |aclk_i_ibuf.bb_inst/0(internal clock)

uw_data[5]|2.736 ns| 2 | R |-1.740 ns| 3 | R |aclk_i_ibuf.bb_inst/0(internal clock)

uw_data[9]|2.681 ns| 2 | R |-1.658 ns| 3 | R |aclk_i_ibuf.bb_inst/0(internal clock)

uw_data[7]|2.643 ns| 2 | R |-1.644 ns| 3 | R |aclk_i_ibuf.bb_inst/0(internal clock)

図 7-14. I/O Timing Analysis レポート例 (一部、つづき)

Worst FPGA Output Port Results for Performance Grade: 1, 2, 3									
Port Name	Clock To Out (MAX)	Grade	Edge	Clock To Out (MIN)	Grade	Edge	Clock Port		
urd_data[2]	7.945 ns	1	R	5.333 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_valid	7.926 ns	1	R	4.937 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[7]	7.903 ns	1	R	5.294 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[6]	7.882 ns	1	R	5.286 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[15]	7.865 ns	1	R	5.275 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[0]	7.821 ns	1	R	5.232 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[3]	7.799 ns	1	R	5.212 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[4]	7.748 ns	1	R	5.178 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[11]	7.717 ns	1	R	5.167 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[5]	7.688 ns	1	R	5.126 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[12]	7.631 ns	1	R	5.082 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[13]	7.629 ns	1	R	5.080 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[10]	7.584 ns	1	R	5.056 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[1]	7.570 ns	1	R	5.036 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[8]	7.564 ns	1	R	5.052 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[14]	7.530 ns	1	R	5.005 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
urd_data[9]	7.467 ns	1	R	4.967 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
rdfifo_wready	10.970 ns	1	R	--	--	--	pll_refclk_i_ibuf.bb_inst/0(internal clock)		
ip_stat_ready	10.803 ns	1	R	--	--	--	pll_refclk_i_ibuf.bb_inst/0(internal clock)		
mstat_run	8.214 ns	1	R	5.542 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		
ip_stat_ready	--	--	--	4.878 ns	3	R	pclk_i_ibuf.bb_inst/0(internal clock)		
rdfifo_wready	--	--	--	5.941 ns	3	R	aclk_i_ibuf.bb_inst/0(internal clock)		

ストラテジー項目の [All Performance Grade] が [True] の場合、図 7-13 のあとに "Detailed Analysis of Each Performance Grade" セクションが続き、該当するスピードグレードごとに同様な内容でレポートされます。

レポート内 "Edge" は対象クロックの有効エッジを示し、"R" は立ち上がり (rising)、"F" は立ち下がり (falling) です。また、*.pdc 制約ファイルで "set_input_delay" や "set_output_delay" で与えられた値そのものには関わらず、ネットリストに対する解析値がレポートされます。

7.7 複数 CPU コアによる並列処理

オプション "Placement Iterations" でデフォルトの '1' 以外を設定する場合、PAR 処理をマルチコア CPU の各コアで並列実行させることができます。各コアに異なる PAR 処理の初期値 (コストテーブル) を割り当てて並列処理を行うことで、トータルの処理時間を短縮できます。

ストラテジー・オプション ”Multi Tasking Node List” のセルに、以下の例のように記述されたテキストファイルのパスを指定することで、適用します。ファイル名は任意です。

記述フォーマット	コメント
[” コンピュータ名 ”]	[] で括る
SYSTEM = システムタイプ	”PC”、または ”LINUX”
CORENUM = CPU コア数	数値 (最大値は ”CPU コア数 - 1” 以下)

--- 記述例

[DemoPC]	
SYSTEM = PC	Windows
CORENUM = 3	CPU コア数が ’4’ の場合の最大値 (推奨)

Windows PC の場合のシステム名は、”コントロールパネル” から ”システム” を選択すると表示される、”コンピューター名” が該当します。CPU コア数は同様に ”デバイスマネージャ” の ”プロセッサ” 項を展開して確認することができます。

CPU コア数と同じ値を ”CORENUM” に設定すると、他のアプリケーションや OS に割り当てられる余裕がなくなり、実質的に全ての PAR 処理が終了するまで何もできなくなりますので、ご注意ください。

このテキストファイルを指定することで、オプション ”Number of Host Machine Cores” の値がデフォルト (1) のままでも並列処理が実行されます。或いはこれをデフォルトから ”2” 以上に変更することで、このファイルを指定しなくても同等の作用が得られます。変更する数値について留意すべきことは同じです。

また、ランマネージャーと併用する際はこの機能は使用しないことを推奨します (第 3.4 節参照)。

7.8 タイミング解析のコマンドライン実行

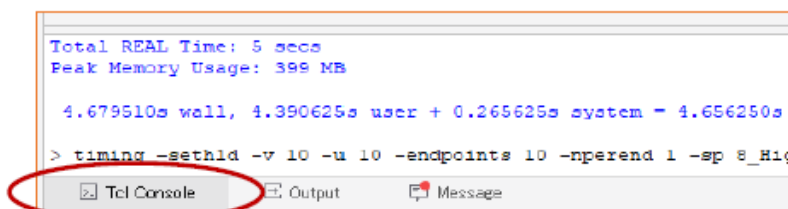
PAR プロセス実行時に反映されるストラテジー項目の値とは異なる条件で、タイミング・レポートの生成のみを行いたい場合があります。このような場合の手段が TCL コマンド実行です。(Lattice Diamond のように) *.pdc で与えているタイミング制約や環境条件を変更し、PAR を再実行しないでタイミング解析のみを行うことはできません。

Radiant では *.udb にタイミング制約情報が埋め込まれていますので、ユーザーが用意するのは解析対象のネットリスト <proj. 名>_<impl 名>.udb のみです。他に *_map.udb や *_syn.udb など幾つかの udb ファイルがありますので、間違えないようにします。

より詳細については、オンラインヘルプで [Reference Guides] → [Command Line Reference Guide] → [Command Line Tool Usage] → [Running Timing from the Command Line] とたどることで、ご参照いただけます。

Radiant GUI では、下部領域はデフォルトでログ出力表示用 [Output] タブが選択されています。コマンドライン実行時は『Tcl Console』を選択します (図 7-15)。その時点でカレント・ディレクトリがどこかを確認する際は ”pwd” をタイプします

図 7-15. ”Tcl コンソール” タブ



コマンド実行例と典型的なオプションの説明を以下に示します。

```
> timing -sethld -v 10 -u 10 -endpoints 10 -nperend 1 -sp 8_High-Performance_1.0V -hsp m -html -rpt
aproj_impl1_16b.twr aproj_impl1_16b.udb
```


-sethld	セットアップ時間とホールド時間解析の両方を実行
-v <val>	レポートする制約ごとのパス数
-u <val>	レポートする未制約エンドポイント数
-endpoints <val>	レポートするエンドポイント数
-nperend <val>	レポートするエンドポイントごとのパス数
-sp <val>	セットアップ時間解析対象のスピードグレード指定
-hsp <val>	ホールド時間解析対象のスピードグレード指定（基本的に”m”を指定）
-html	HTML形式レポートを出力する
-rpt <output>.twr	出力するレポートファイル名
<netlist>.udb	解析対象のネットリスト・ファイル名

更新履歴

リビジョン	ページ	内 容
2022.1	5-13	Rev.3.2.1 からのバージョン・アップに伴い、プロセスレポート、タイミングレポートとそれらの項目について画像・記述を更新
2023.2.1	--	Radiant 2023.2 バージョン・アップデートに伴う更新

--- *** ---