

第 7 章 配置配線プロセス (Place And Route)

7.1 概要

配置配線 (以下 PAR) プロセスは、マッピング (Map Design) プロセスまでの処理で生成された (論理的) ネットリストに対して、タイミングなど与えられた設計制約を満たすように、スライス (LUTx2+FFx2) やマクロなど、それぞれの物理的な配置位置とそれらの配線経路を決定します。基本的に、デザインが大きいほど繰り返し処理が必然になり、フィッティング処理全体に対して占める処理時間は大きくなります。

PAR プロセスに適用される設計制約ファイルは *.pdc (Physical Design Constraint) です。制約設定・記述については第 16 章をご参照ください。

PAR プロセスには、サブプロセスとして "Place & Route Timing Analysis" (タイミング解析) と "I/O Timing Analysis" (I/O タイミング解析) があります。"Task Detail View" でこれらサブプロセス名の行頭にボックスがあり、チェックが入っていると PAR 実行後に、これらも自動的に続けて実行されます (図 7-9 参照)。チェックが入っていない場合でも、サブプロセス名をダブルクリックすれば実行できます。PAR タイミング解析は、マッピング後とは異なり、PAR 処理の結果を元にした配線遅延値を用います。

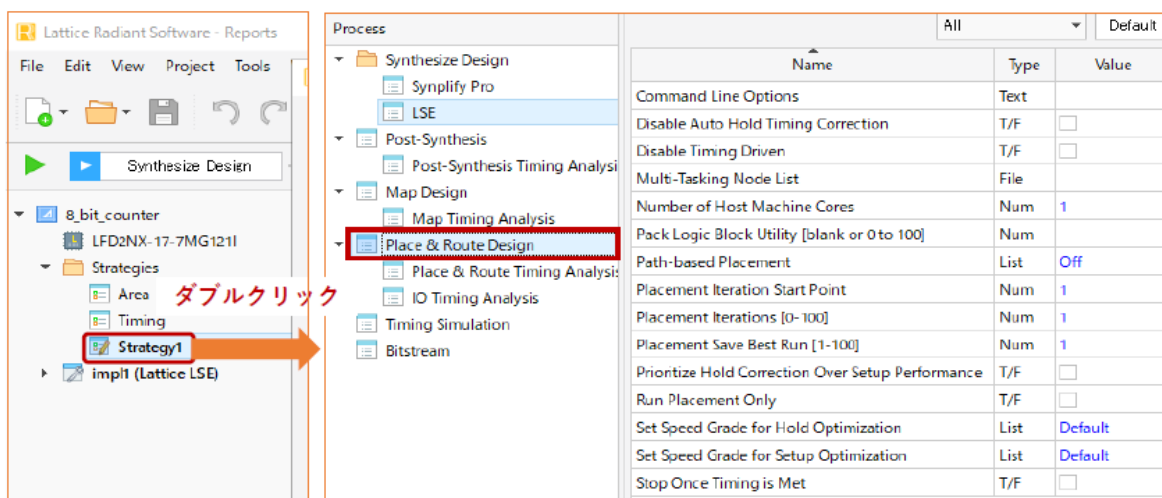
7.2 ストラテジー・オプション設定

7.2.1 ストラテジー設定ウィンドウの起動

ファイルリスト・ビューの "Strategies" セクションにはストラテジーの一覧が表示されています。各インプリメンテーションで使用されるのは、太字で表示されている (アクティブな) 1 つだけです。編集できるのは、デフォルトでは "Strategy1" のみです。ダブルクリックすると、ストラテジー設定ウィンドウが開きます。

ストラテジーはプロセスごとに表示されますので、"Process" 枠から [Place & Route Design] を選択します (図 7-1)。

図 7-1. PAR (Place & Route Design) のストラテジー・オプション



註：本 Lattice Radiant 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は正規代理店の技術サポートにお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

7.2.2 PAR プロセスのストラテジー・オプション項目

以下に各ストラテジー・オプションについて記述します。詳細についてはオンラインヘルプで [Reference Guides] → [Strategy Reference Guide] → [Place & Routing Design Options] を選択すると、ご参照いただけます。

Command Line Options

パラメータ：文字列 デフォルト：ブランク

規定のオプション以外を使用する場合に、直接引数等を記述します。複数設定する場合は、以下のよう
に各オプションをコロン”:” で区切って記述します。最後のオプションの後は不要です。

-exp オプション 1 : オプション 2 : オプション 3

Disable Auto Hold Timing Correction

パラメータ：True / False デフォルト：False

デフォルトでは自動的にホールド時間違反を解消する処理を実行します。[True] に変更すると潜在的
にホールド時間違反が残る可能性があります。

Disable Timing Driven

パラメータ：True / False デフォルト：False

デフォルトでは PAR 実行時にタイミング制約を考慮した処理を行います。[True] にするとタイミン
グ制約を無視して PAR を行います。

Multi-Tasking Node List

パラメータ：ファイル名 デフォルト：ブランク

複数の CPU コアをもつ PC で、CPU コアごとに異なる条件で PAR を並列処理させる場合に、ここに
規定書式で記述されたファイル名を指定します。ファイルの記述書式については第 7.7 節をご参照くだ
さい。

Number of Host Machine Cores

パラメータ：数値 デフォルト：1

複数の CPU コアによる PAR 処理の場合に、ここに使用するコア数を記述します。”Multi-Tasking Node
List” でファイルを指定しない場合でも、ここに ”2” 以上の数値を入力すると有効です。

Pack Logic Block Utility

パラメータ： デフォルト：(ブランク)

パーセント値としてデバイス内スライスのパッキング密度を指定します。数値が小さいほど、PAR エ
ンジンは密にパッキングしようとしています。過剰に小さな値にするとクロック周波数・周期制約を満
たすことが難しくなる傾向になります。に 0 が最大値、100 が最小値です。ブランクの場合、デバイス
ファミリーによってデフォルトが自動的に決定されます。例えば LIFCL の場合は ”75” です。

Path-based Placement

パラメータ：On / Off デフォルト：Off

配置のアルゴリズムに関連する設定で、デフォルトはスライス間の接続を重視した配置を行います。
[On] にすると、パス（レジスタ-レジスタ間）の経路を考慮した配置を行います。

Placement Iteration Start Pt.

パラメータ：数値（0 ~ 100） デフォルト値：1

PAR 処理で使用する ”コストテーブル”（または ”シード”。参照するデータベース）に関する設定
で、次に記述する ”Placement Iteration” 回数のうちの初回の配置処理で使用するコストテーブルの番号
です。

Placement Iterations

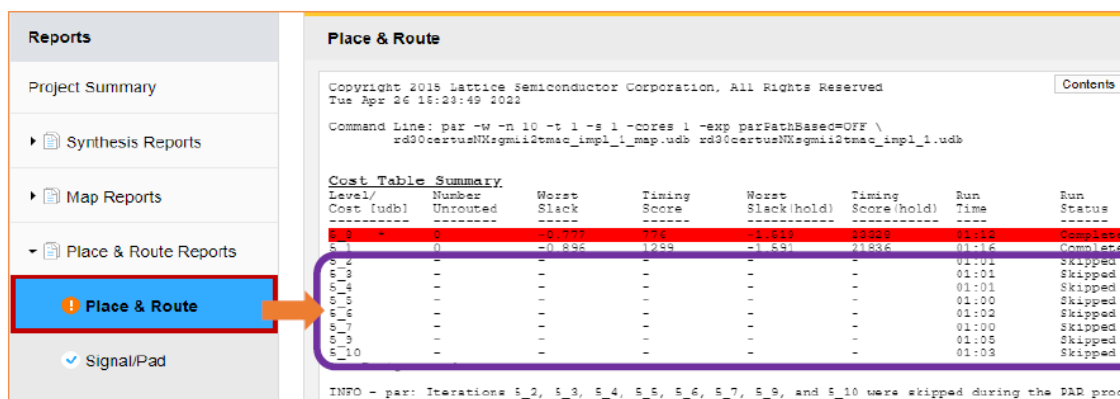
パラメータ：数値（0 ~ 100） デフォルト値：1

配置処理の繰り返し回数の設定です。”0”はタイミング制約を満たすまで最大100回繰り返し、それ以外は設定した回数配置処理を繰り返します。最大値は”99”です。

”Placement Iterations”の設定値が2以上の場合(”マルチ PAR”)、2回目以降は毎回1を加算した番号のコストテーブルが使用されます。この番号が連続していても、参照されるデータはランダム化されていますので、それらに相関関係はありません。

例 :Placement Iterations = 5, Placement Iteration Start Pt. = 3 の場合、コストテーブルは3, 4, 5, 6, 7です。

図 7-2. シードのスキップ結果を含むコストテーブル・サマリー例



マルチ PAR (複数のコストテーブル指定 = Placement Iterations が 2 以上) の場合、”自動シード・スキップ”機能が有効になり、トータル・ランタイムは相対的に短縮されます。この機能は、実行されるシード (Seed=Cost Table) の途中経過で、それ以前のシードによる PAR 結果より良い結果が出ることで予想されない場合はその処理を打ち切り、次のシードに進むものです。これによりトータル・ランタイムを短縮します。

図 7-2 に例を示します。処理打ち切りのシードについては右端のステータスに ”Skipped” と表示し、処理を打ち切ったことをレポートします。このサマリーでは ”5_<cost>” のような表記でコストテーブルを示し、タイミングスコア順にソートされています (スキップしたコストはスコアなし)。

このアルゴリズムはデフォルトで ON になっています。強制的にオフにするためには、ストラテジー・オプションの ”Command line Options” セルに以下のようなコマンドを記述します。

-exp parASE=0

Placement Save Best Run

パラメータ : 数値 (1 ~ 100) デフォルト値 : 1

プロセス終了後に、保存するネットリストの数に関する設定です。”Placement Iterations”が2以上の場合、結果が良い順にここに設定した数のネットリストを保存します。

Prioritize Hold Correction Over Setup Performance

パラメータ : True / False デフォルト値 : False

PAR 処理に於いてセットアップ時間とホールド時間をも満たすことができない状況があり得ますが、[True]にすると、そのような場合にホールド時間を満たすことを優先します。

Run Placement Only

パラメータ : True / False デフォルト : False

配線処理 (Routing) の実行に関する設定で、[True]にすると配置処理のみを行います。

Set Speed Grade for Hold Optimization

パラメータ : (Speed Grades) デフォルト : Default

Lattice ツールのホールド解析は、デフォルトの "m" グレードが基本 (Default) です。それ以外は Radiant プロジェクトのターゲット・デバイスで選択できるグレードが候補になります。特別な理由がない限りはデフォルトから変更しないようにします。

Set Speed Grade for Hold Optimization

パラメータ：(Speed Grades) デフォルト：Default

Lattice ツールのセットアップ解析は、Radiant プロジェクトのターゲット・デバイスで選択しているグレードが基本 (Default) になります。ここで別のグレードを選択すると、それが優先されます。

Stop Once Timing is Met

パラメータ：True / False デフォルト：False

[True] にすると、マルチ PAR の場合にあるコストテーブルでタイミング制約を満たした時点で処理を終了し、その際のコストテーブルには進みません。

7.2.3 PAR タイミング解析のストラテジー項目

PAR プロセスのタイミング解析では、スライス (LUT/FF) などのエレメント遅延、データパスの配線遅延、およびクロック配線遅延などを、生成されるネットリストをベースに正確に抽出された値を用います。

ストラテジー・オプションによってタイミング解析条件やレポートスタイル等を変更することができます。アクティブなストラテジーをダブルクリックして設定ウィンドウを表示し、左側 "Process" 枠で "Place and Route Timing Analysis" を選択します (図 7-3)。

Number of End Points

パラメータ：数値 デフォルト：10

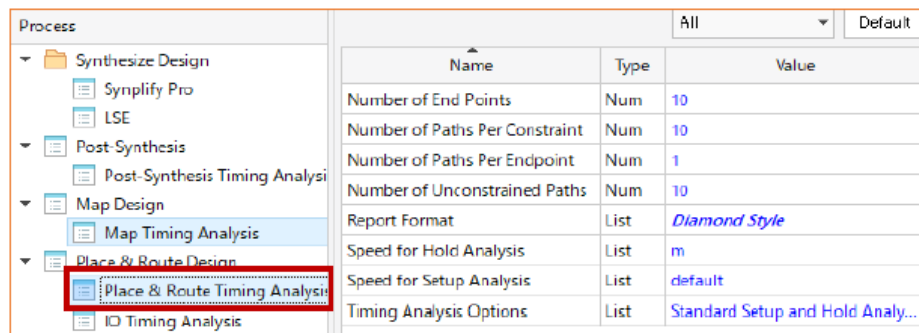
クリティカル・エンドポイント・サマリーでのエンドポイント数を指定します。

Number of Paths Per Constraint

パラメータ：数値 デフォルト：10

詳細パスレポートのパス数を指定します。

図 7-3. PAR タイミング解析のストラテジー・オプション



Number of Paths per Endpoint

パラメータ：数値 デフォルト：1

各エンドポイントに対する最大パス数を指定します。

Number of Unconstrained Paths

パラメータ：数値 デフォルト：10

タイミング制約でカバーされていないパスのレポート数を指定します。

Report Format

パラメータ : Lattice Standard / Diamond Style デフォルト :Lattice Standard

[Lattice Standard] は業界標準ツールの書式に準じたレポート・フォーマットです。[Diamond Style] は既存ツール Lattice Diamond のタイミング・レポートと同じフォーマットです。

Speed for Hold Analysis

パラメータ : m / (Speed Grades) デフォルト :m

Lattice ツールのホールド解析は、デフォルトの ”m” グレードが基本です。それ以外は Radiant プロジェクトのターゲット・デバイスで選択できるグレードが候補になります。特別な理由がない限りはデフォルトから変更しないようにします。

Speed for Setup Analysis

パラメータ : default / (Speed Grades) デフォルト :default

Lattice ツールのセットアップ解析は、Radiant プロジェクトのターゲット・デバイスで選択しているグレードが基本です。ここで別のグレードを選択すると、それが優先されます。

Timing Analysis Options

パラメータ : Hold Analysis / Standard Setup Analysis / Standard Setup and Hold Analysis
デフォルト : Standard Setup and Hold Analysis

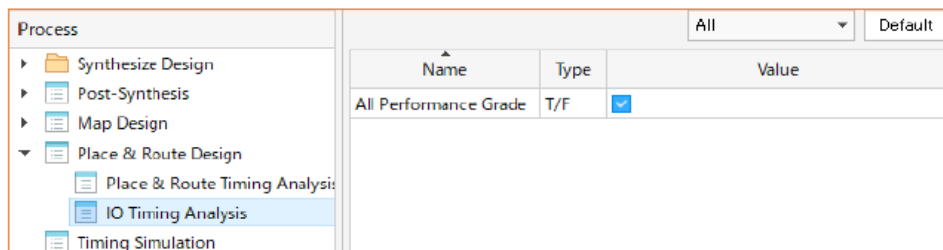
デフォルトでセットアップ / ホールド時間解析の両方を同時に行います。[Hold Analysis] にすると、ホールド解析のみを行い、[Standard Setup Analysis] セットアップ解析のみを行います。

7.2.4 I/O タイミング解析のストラテジー項目

サブプロセスの I/O タイミング解析 (I/O Timing Analysis) は、PAR 結果のネットリストに対する I/O のみの静的タイミング検証 (STA) です。制約を与えていなくても、入力ポートのセットアップ / ホールド時間や、出力ポートの最大・最小遅延を解析します。

I/O タイミング解析は、ストラテジー・オプションで解析条件を変更することができます (図 7-4)。

図 7-4. I/O Timing Analysis のストラテジー



All Performance Grade

パラメータ : True / False デフォルト : False

レポート内容に関する設定で、デフォルトではワーストケース・グレードのみを解析し、その結果をレポートします。[True] にすると、全スピードグレードで解析を行い、その結果をレポートします。

7.3 PAR プロセス・レポート

7.3.1 レポートの種類

PAR プロセスを実行時すると、レポート・ビューに結果がレポートされます。GUI 上部の [Reports] タブをク

Vccio by Bank

バンクごとの Vccio 値です。

Vref by Bank

Vrefピンを使用するデザインでは、Vref名、配置されたピン番号とバンク、Vrefの付加対象となるピンがレポートされます。

図 7-6. パッドレポート例：左 “Pinout by Port Name”、右上 “Vccio by Bank”、右下 “Vref by Bank”

Signal/Pad		Vccio by Bank:																																																						
PAD Specification File ----- PART TYPE: LFD2NX-17 Performance Grade: 9_High-Performance_1.0V PACKAGE: CSFBGA121 Package Status: Final Version 5 Thu Apr 28 13:35:22 2022		<table border="1"> <thead> <tr> <th>Bank</th> <th>Vccio</th> </tr> </thead> <tbody> <tr><td>1</td><td>3.3V</td></tr> <tr><td>2</td><td>3.3V</td></tr> <tr><td>3</td><td>1.5V</td></tr> <tr><td>4</td><td>1.5V</td></tr> <tr><td>5</td><td>1.2V</td></tr> <tr><td>6</td><td>3.3V</td></tr> </tbody> </table>		Bank	Vccio	1	3.3V	2	3.3V	3	1.5V	4	1.5V	5	1.2V	6	3.3V																																							
Bank	Vccio																																																							
1	3.3V																																																							
2	3.3V																																																							
3	1.5V																																																							
4	1.5V																																																							
5	1.2V																																																							
6	3.3V																																																							
Port Name: <table border="1"> <thead> <tr> <th>Port Name</th> <th>Pin/Bank</th> <th>Buffer Type</th> <th>Site</th> <th>Properties</th> </tr> </thead> <tbody> <tr><td>clk100m</td><td>L2/3</td><td>LVCNOS18H_IN</td><td>PB70A</td><td>SLEW:NA PULL:DOWN</td></tr> <tr><td>enbl_rx</td><td>K10/4</td><td>LVCNOS18H_IN</td><td>PB40A</td><td>SLEW:NA PULL:DOWN</td></tr> <tr><td>enbl_tx</td><td>G11/5</td><td>LVCNOS18H_IN</td><td>PB20B</td><td>SLEW:NA PULL:DOWN</td></tr> <tr><td>ext_rstn</td><td>J1/3</td><td>LVCNOS18H_IN</td><td>PB68A</td><td>SLEW:NA PULL:DOWN</td></tr> <tr><td>hdimp</td><td>F11/5</td><td>LVD5_IN</td><td>PB18A</td><td>SLEW:NA</td></tr> <tr><td>hdoutp</td><td>K5/3</td><td>LVD5_OUT</td><td>PB58A</td><td>SLEW:NA</td></tr> <tr><td>led14segs[0]</td><td>G10/5</td><td>LVCNOS18H_OUT</td><td>PB20A</td><td>DRIVE:8mA SLEW:MED</td></tr> <tr><td>led14segs[10]</td><td>H11/4</td><td>LVCNOS18H_OUT</td><td>PB44A</td><td>DRIVE:8mA SLEW:MED</td></tr> </tbody> </table>		Port Name	Pin/Bank	Buffer Type	Site	Properties	clk100m	L2/3	LVCNOS18H_IN	PB70A	SLEW:NA PULL:DOWN	enbl_rx	K10/4	LVCNOS18H_IN	PB40A	SLEW:NA PULL:DOWN	enbl_tx	G11/5	LVCNOS18H_IN	PB20B	SLEW:NA PULL:DOWN	ext_rstn	J1/3	LVCNOS18H_IN	PB68A	SLEW:NA PULL:DOWN	hdimp	F11/5	LVD5_IN	PB18A	SLEW:NA	hdoutp	K5/3	LVD5_OUT	PB58A	SLEW:NA	led14segs[0]	G10/5	LVCNOS18H_OUT	PB20A	DRIVE:8mA SLEW:MED	led14segs[10]	H11/4	LVCNOS18H_OUT	PB44A	DRIVE:8mA SLEW:MED	Vref by Bank: <table border="1"> <thead> <tr> <th>Vref</th> <th>Pin</th> <th>Bank # / Vref #</th> <th>Load(s)</th> </tr> </thead> <tbody> <tr> <td>VREF1_BANK_3</td> <td>W11</td> <td>3 / VREF1 (REF_15)</td> <td>R12 P12 Y13 U14 Y14 W12 U12 T12 T14 U15 V16 U16 V17 P13 R13 W15</td> </tr> </tbody> </table>		Vref	Pin	Bank # / Vref #	Load(s)	VREF1_BANK_3	W11	3 / VREF1 (REF_15)	R12 P12 Y13 U14 Y14 W12 U12 T12 T14 U15 V16 U16 V17 P13 R13 W15
Port Name	Pin/Bank	Buffer Type	Site	Properties																																																				
clk100m	L2/3	LVCNOS18H_IN	PB70A	SLEW:NA PULL:DOWN																																																				
enbl_rx	K10/4	LVCNOS18H_IN	PB40A	SLEW:NA PULL:DOWN																																																				
enbl_tx	G11/5	LVCNOS18H_IN	PB20B	SLEW:NA PULL:DOWN																																																				
ext_rstn	J1/3	LVCNOS18H_IN	PB68A	SLEW:NA PULL:DOWN																																																				
hdimp	F11/5	LVD5_IN	PB18A	SLEW:NA																																																				
hdoutp	K5/3	LVD5_OUT	PB58A	SLEW:NA																																																				
led14segs[0]	G10/5	LVCNOS18H_OUT	PB20A	DRIVE:8mA SLEW:MED																																																				
led14segs[10]	H11/4	LVCNOS18H_OUT	PB44A	DRIVE:8mA SLEW:MED																																																				
Vref	Pin	Bank # / Vref #	Load(s)																																																					
VREF1_BANK_3	W11	3 / VREF1 (REF_15)	R12 P12 Y13 U14 Y14 W12 U12 T12 T14 U15 V16 U16 V17 P13 R13 W15																																																					

Pinout by Pin Number

ターゲットとしているパッケージで使用できる全ピンについて、アルファベット順にピン番号とバンク、デザインでのピン名称とプルアップ / ダウンなどの情報、*.pdc での配置指定あり・なし、バッファタイプ、パッド名、などをレポートします。

図 7-7. パッドレポートの例：“Pinout by Pin Number”

Pin/Bank	Pin Info	Preference	Buffer Type	Site	Dual Function
A2/1	Reserved: sysCONFIG			PR5B	TDO/SSO/SD1/S3_OUT
A3/1	Reserved: sysCONFIG			PR5A	TDI/SSI/SD0/S5_OUT
APIO_R25C74E/0				APIO_R25C74E	
B1/1	Reserved: sysCONFIG			PR3E	TMS/SCSN/S5_IN
B2/1	udat4pcie[11]		LVCNOS33_OUT	PR7A	SD3/SDA/USER_SDA/S4_IN
B3/0	udat4pcie[9]		LVCNOS33_OUT	PT67A	S7_IN
B4/0	Reserved: sysCONFIG			PT57A	INTIN
C1/1	Reserved: sysCONFIG			PR9A	TCK/SCLK/PMU_EXT_CLK/S9_IN
C2/1	udat4pcie[15]		LVCNOS33_OUT	PR7B	SD2/SCL/USER_SCL7S3_IN_IN
C3/0	udat_valid		LVCNOS33_OUT	PT67B	S7_OUT
C4/0	Reserved: sysCONFIG			PR5B	SD0/SSM0
J11/4	led14segs[11]		LVCNOS18H_OUT	PB48B	PCLKC4_2/BDQ46
K4/3	unused, PULL:DOWN			PB64B	ADC_CN8/BDQ62
K5/3	hdoutp+		LVD5_OUT	PB58A	ADC_CP7/BDQ62
K6/3	hdoutp-		LVD5_OUT	PB58B	ADC_CN7/BDQ62
K7/3	udat4pcie[0]		LVCNOS18H_OUT	PB56A	PCLKT3_0/VREF3_1/ADC_CP5/BDQ62
K8/4	led14segs[14]		LVCNOS18H_OUT	PB52B	PCLKC4_1/BDQ46
K9/4	led14segs[13]		LVCNOS18H_OUT	PB50B	BDQ46
K10/4	enbl_rx		LVCNOS18H_IN	PB40A	VREF4_1/BDQ46
K11/4	unused, PULL:DOWN			PB40B	BDQ46
L1/3	unused, PULL:DOWN			PB70B	LRC_GPLL0C_IN/VREF3_2/ATB_SENSE/BDQ62
L2/3	clk100m		LVCNOS18H_IN	PB70A	LRC_GPLL0T_IN/ATB_FORCE/BDQ62
L5/3	sel_led[2]		LVCNOS18H_IN	PB62A	ADC_CP9/BDQS62
L6/3	unused, PULL:DOWN			PB62B	ADC_CN9/BDQS62
L7/3	udat4pcie[7]		LVCNOS18H_OUT	PB56B	PCLKC3_0/ADC_CN5/BDQ62
L8/4	udat4pcie[8]		LVCNOS18H_OUT	PB52A	PCLKT4_1/BDQ46
L9/4	udat4pcie[2]		LVCNOS18H_OUT	PB50A	BDQ46
L10/4	out_err_frame		LVCNOS18H_IN	PB46A	BDQS46
L11/4	led14segs[8]		LVCNOS18H_OUT	PB46B	BDQSN46

sysCONFIG Pins

コンフィグレーション関連ピンのパッド名、ピン機能名、ピン番号とバンク、などです。

Locate Constraints for each Pin

配置結果に相当する PLL やピン配置制約の記述がリストされます。コピーしてそのまま制約ファイル *.pdc にペーストして再利用することができます。

図 7-8. パッドレポートの例：上 “sysCONFIG”、下 “Locate Constraints for each Pin”

```

sysCONFIG Pins:
+-----+-----+-----+-----+
| Pad Name | sysCONFIG Pin Name | Pin/Bank | Buffer Type |
+-----+-----+-----+-----+
| PT57A   | INITN              | B4/0     |              |
| PT57B   | PROGRAMN           | C4/0     |              |
| PT59B   | DONE/SO_OUT        | D10/0    |              |
| PR5A    | TCK/SCLK/PMU_EXT_CLK/SS_IN | C1/1     |              |
| PR5A    | TDI/SSI/SDO/SS_OUT | A3/1     |              |
| PR5B    | TDO/SSO/SD1/SS_OUT | A2/1     |              |
| PR3B    | TMS/SCSN/SS_IN    | B1/1     |              |
+-----+-----+-----+-----+

Locate Constraints for each Pin:

ldc_set_location -site {L2} [ get_ports {clk100m} ]
ldc_set_location -site {K10} [ get_ports {enbl_tx} ]
ldc_set_location -site {G11} [ get_ports {enbl_tx} ]
ldc_set_location -site {J1} [ get_ports {ext_rstn} ]
ldc_set_location -site {F11} [ get_ports {hdinp} ]
ldc_set_location -site {K5} [ get_ports {hdoutp} ]
ldc_set_location -site {G10} [ get_ports {led14segs[0]} ]
ldc_set_location -site {H11} [ get_ports {led14segs[10]} ]
ldc_set_location -site {G11} [ get_ports {led14segs[11]} ]
ldc_set_location -site {L5} [ get_ports {udat4pcie[5]} ]
ldc_set_location -site {B3} [ get_ports {udat4pcie[3]} ]
ldc_set_location -site {C3} [ get_ports {udat_valid} ]

#PLL
ldc_set_location -site {PLL_LRC} [ get_cells {u_pll/lscd_pll_inst/gen_no_refclk_mon.u_PLL.PLL_inst} ]
# ldc_set_location -site {PLL_LRC} [ get_cells {u_pll.lscd_pll_inst.gen_no_refclk_mon.u_PLL.PLL_inst} ]
#PLL
ldc_set_location -site {PLL_LLC} [ get_cells {u_sgtmac6gvsp/u_sgmi1/lscd_sgmi1_gbe_pcs_inst/Ic8mD3mf7ca} ]
# ldc_set_location -site {PLL_LLC} [ get_cells {u_sgtmac6gvsp.u_sgmi1.lscd_sgmi1_gbe_pcs_inst.Ic8mD3mf7}
    
```

7.5 PAR タイミング解析レポート

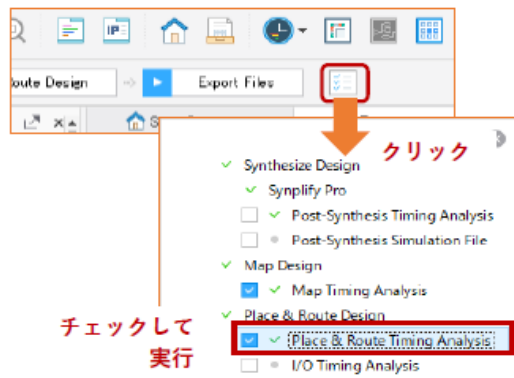
PAR のサブプロセスとしてはタイミング解析 (Place & Route Timing Analysis) と、I/O タイミング解析が (I/O Timing Analysis) あります。

タイミング解析は (デフォルトのストラテジー設定で) PVT (Process= スピードグレード / 電圧 / 温度) のベストケースでホールド時間を、ワーストケースでセットアップ時間を静的に解析します。与えられた設計制約を満たすための PAR 処理は、実際はタイミング解析エンジンとの相互動作です。繰り返し (Iteration) 回数分、両エンジンの処理が密接に実行されます。

一方 I/O タイミング解析は、PAR プロセス結果のネットリストに対する静的解析です。入出力信号 (内部でレジスタに接続されているもの) に対して自動的にスピードグレードやベスト / ワースト条件を網羅的に解析し、その条件とともにレポートします。

[Place & Route Timing Analysis] と [I/O Timing Analysis] は、他のサブ項目の行頭が 印で閲覧可能であることを示しているのに対して、デフォルトでは 印になっていて、有効なレポートが閲覧できる状態ではないことを示しています。

図 7-9. PAR タイミング解析サブプロセスの実行

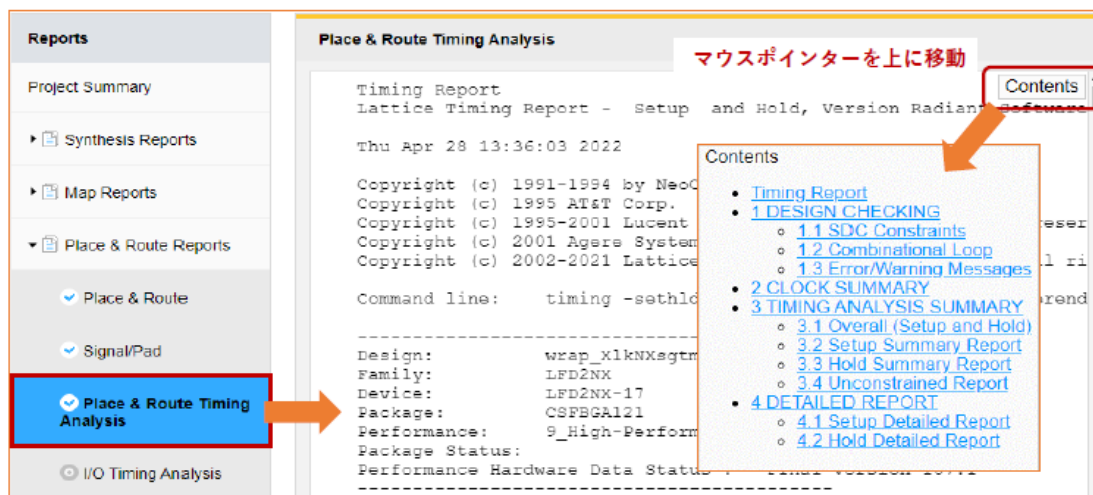


レポートを出力するためには、”Task Detail View” アイコンをクリックすると現れるビュー内で該当するサブプロセス ”Place & Route Timing Analysis” ボックスをクリックして有効化してから PAR を実行するか、或い

は PAR 実行後にこのサブプロセスのみをダブルクリックして解析を実行します（図 7-9）。”I/O Timing Analysis” も同様です。

レポートの先頭は、解析を行ったツールやライブラリーのバージョン、解析対象のネットリストおよび制約ファイル等の情報が出力されます。この下に「Contents」の内容が続きます。

図 7-10. PAR タイミング・レポート



タイミング・レポート内容（Contents）は以下のセクションによって構成されています。

- | | |
|----------------------------|--|
| 1. DESIGN CHECKING | 制約内容、論理ループ、エラー / ウォーニング |
| 2. CLOCK SUMMARY | 各クロックについてのレポート |
| 3. TIMING ANALYSIS SUMMARY | オーバーオール（カバレッジ、タイミングエラー、スコア）、
セットアップ&ホールド・サマリー、未制約レポート |
| 4. DETAILED REPORT | セットアップ&ホールド詳細レポート |

以下にそれぞれについての概要を記述します。

1. DESIGN CHECKING

- 1.1 SDC Constraints** * .pdc 制約ファイルで与えられている制約をリストします。
- 1.2 Combinational Loop** 組み合わせ回路のループがある場合にレポートされます。ない場合は空白です。
- 1.3 Errors/Warning Messages** エラーやウォーニングがある場合のみレポートされます。何も無い場合は、このサブ項目はありません。

2. CLOCK SUMMARY

ターゲット周波数（周期）と結果をクロック・ネットワークごとにサブ項目としてリストしてレポートします。またほかのドメインからの（domain crossing）パスがある場合、クロックエッジ間のタイミングをレポートします。図 7-11 左は一つのネットについてのレポート例です。ストラテジー項目の”Report Format”で指定する”Lattice Standard”と”Diamond Style”でほぼ同じ書式です。

マリーのみを示しますが、ホールド・サマリーも同様です。”Lattice Standard” 書式にはない ”Setup Constraint Slack Summary” が含まれており、制約に対する詳細項目が表形式でレポートされます。

図 7-13 は未制約レポート例です。”Lattice Standard” と ”Diamond Style” でほぼ同じ書式で、左が ”Unconstrained Start/End Points” で右が ”Start/End Points Without Timing Constraints” です。

図 7-13. 未制約レポート例

3.4.1 Unconstrained Start/End Points		3.4.2 Start/End Points Without Timing Constraints	
Clocked but unconstrained timing start points		I/O ports without constraint	
-----		-----	
Listing 10 Start Points	Type	Possible constraints to use on I/O ports are:	
u_uloaic/swrfifo_full_reg[3].ff_inst/Q	No required time	set_input_delay,	
u_uloaic/swrfifo_empty_reg[3].ff_inst/Q	No required time	set_output_delay,	
u_uloaic/srdfifo_full_reg[3].ff_inst/Q	No required time	set_max_delay,	
u_uloaic/srdfifo_empty_reg[3].ff_inst/Q	No required time	create_clock,	
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	create_generated_clock,	
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	...	
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	-----	
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	Listing 10 Start or End Points	Type
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	emddr_dqs[1]	input
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	emddr_dqs[0]	input
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	ext_rstn	input
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	extClk	input
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	err_injectn	input
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	rst_errcount	input
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	sel_led[1]	input
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	sel_led[0]	input
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	emddr_dqs[1]	output
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	emddr_dq[14]	output
u_e5gdmi_top.u_ddr3_16b300.lscd_ddr3_mc_inst.Icw9pIm2h82wLGHszfLyCE70	No required time	-----	-----
Number of unconstrained timing start points	66	Number of I/O ports without constraint	69
-----	-----	-----	-----
Clocked but unconstrained timing end points			

Listing 10 End Points	Type		
secured_pin_0_151_14	No arrival time		
secured_pin_0_152_14	No arrival time		
secured_pin_0_153_14	No arrival time		
secured_pin_0_154_14	No arrival time		
secured_pin_0_155_14	No arrival time		
secured_pin_0_156_14	No arrival time		
secured_pin_0_157_14	No arrival time		
secured_pin_0_728_11	No arrival time		
secured_pin_0_729_11	No arrival time		
secured_pin_0_838_14	No arrival time		
secured_pin_0_838_14	No arrival time		
secured_pin_0_838_14	No arrival time		
Number of unconstrained timing end points	53		

4. DETAILED REPORT

4.1 Setup Detailed Report セットアップ時間詳細を、スラックの小さいパス (FF) 順にレポートします。パス数はストラテジーの ”Number of Paths Per Constraint” に準じます。

4.2 Hold Detailed Report ホールド時間詳細を、スラックの小さいパス (FF) 順にレポートします。パス数はストラテジー項目の ”Number of Paths Per Constraint” に準じます。

図 7-14 はレポート書式 ”Lattice Standard” でのセットアップ詳細レポートの例 (一部) です。図 7-15 は ”Diamond Style” でのセットアップ詳細レポート例 (一部) です。いずれのホールド詳細もセットアップと同様です。”Diamond Style” では、クロックパス遅延について ”Source” 側と ”Destination” 側が別々にレポートされます。

7.6 I/O タイミング解析レポート

前述のとおり、サブプロセスのI/O タイミング解析 (I/O Timing Analysis) は、PAR 結果のネットリストに対する I/O のみの静的タイミング検証です。ストラテジー項目の [All Performance Grade] を [True] にしていると、プロジェクトで選択しているスピードグレード、およびそれより高速なスピードグレード全てについて解析し、制約を与えている各ポートについてレポートします (図 7-16)。

図 7-16. I/O Timing Analysis レポート例 (一部)

```

I/O Timing Analysis

Timing Report
Lattice Timing Report - Setup , Version Radiant Software (64-bit) 3.1.1.232.1
Thu Apr 28 18:01:25 2022

Copyright (c) 1991-1994 by NeoCAD Inc. All rights reserved.
Copyright (c) 1995 AT&T Corp. All rights reserved.
Copyright (c) 1995-2001 Lucent Technologies Inc. All rights reserved.
Copyright (c) 2001 Agera Systems All rights reserved.
Copyright (c) 2002-2021 Lattice Semiconductor Corporation. All rights reserved.

Command line: timing -iotime -html -rpt gdmiDemo_imp11_16b.ioc gdmiDemo_imp11_16b.udb -gui -msgset C:/usr_sr/Rd90works/gdr

-----
Design:          ddr3gdmiDemo_top
Family:          LIFCL
Device:          LIFCL-40
Package:         CABGA400
Performance:     9_High-Performance_1.0V
Package Status:  Final              Version 39
Performance Hardware Data Status : Final Version 118.1
-----

I/O Timing Report

Performance Grade Translation Table
-----
Code | Performance Grade
-----
7_High-Performance_1.0V | 7_High-Performance_1.0V
7_Low-Power_1.0V | 7_Low-Power_1.0V
8_High-Performance_1.0V | 8_High-Performance_1.0V
8_Low-Power_1.0V | 8_Low-Power_1.0V
9_High-Performance_1.0V | 9_High-Performance_1.0V
9_Low-Power_1.0V | 9_Low-Power_1.0V
-----

Worst FPGA Input Port Results for Performance Grade: 7_High-Performance_1.0V, 7_Low-Power_1.0V, 8_High-Performance_1.0V, 8_Low-Power_1.0V, 9_High-Pe
-----
Port Name | Setup | Grade | (Edge) | Hold | Grade | (edge) | Clock Port
-----
ext_rstn | 2.041 ns | 7_Low-Power_1.0V | R | -1.299 ns | 9_High-Performance_1.0V | R | clock4mc
ext_rstn | 6.239 ns | 7_Low-Power_1.0V | R | -0.931 ns | 8_High-Performance_1.0V | R | secured_pin_0_3251_7(internal clock)
rst_errcount | -0.066 ns | 9_Low-Power_1.0V | R | 0.700 ns | 7_High-Performance_1.0V | R | u_pll4usrclk/lsccl_pll_inst/gen_no_refclk_mon.u
-----

Worst FPGA Output Port Results for Performance Grade: 7_High-Performance_1.0V, 7_Low-Power_1.0V, 8_High-Performance_1.0V, 8_Low-Power_1.0V, 9_High-Pe
-----
Port Name (Clock To Out (MAX)) | Grade | (Edge)(Clock To Out (MIN)) | Grade | (edge) | Clock Port
-----
led_ind[5] | 11.490 ns | 7_Low-Power_1.0V | R | 7.896 ns | 9_High-Performance_1.0V | R | secured_pin_0_3251_7(internal clock)
led_ind[7] | 11.447 ns | 7_Low-Power_1.0V | R | 7.887 ns | 9_High-Performance_1.0V | R | secured_pin_0_3251_7(internal clock)
led_ind[6] | 11.393 ns | 7_Low-Power_1.0V | R | 7.884 ns | 9_High-Performance_1.0V | R | secured_pin_0_3251_7(internal clock)
led_ind[4] | 11.371 ns | 7_Low-Power_1.0V | R | 7.859 ns | 9_High-Performance_1.0V | R | secured_pin_0_3251_7(internal clock)
led_ind[0] | 13.654 ns | 7_Low-Power_1.0V | R | 8.576 ns | 9_High-Performance_1.0V | R | u_pll4usrclk/lsccl_pll_inst/gen_no_refclk_mon.u
led_ind[3] | 13.110 ns | 7_Low-Power_1.0V | R | 8.640 ns | 9_High-Performance_1.0V | R | u_pll4usrclk/lsccl_pll_inst/gen_no_refclk_mon.u
led_ind[1] | 12.990 ns | 7_Low-Power_1.0V | R | 8.519 ns | 9_High-Performance_1.0V | R | u_pll4usrclk/lsccl_pll_inst/gen_no_refclk_mon.u
led_ind[2] | 13.031 ns | 7_Low-Power_1.0V | R | 8.556 ns | 9_High-Performance_1.0V | R | u_pll4usrclk/lsccl_pll_inst/gen_no_refclk_mon.u
-----

```

ストラテジー項目の [All Performance Grade] が [True] の場合、図 7-16 のあとに ”Detailed Analysis of Each Performance Grade” セクションが続き、該当するスピードグレードごとに同様な内容でレポートされます。

レポート内 ”Edge” は対象クロックの有効エッジを示し、”R” は立ち上がり (rising)、“F” は立ち下がり (falling) です。また、*.pdc 制約ファイルで ”set_input_delay” や ”set_output_delay” で与えられた値そのものには関わらず、ネットリストに対する解析値がレポートされます。

7.7 複数 CPU コアによる並列処理

オプション ”Placement Iterations” でデフォルトの ’1’ 以外を設定する場合、PAR 処理をマルチコア CPU の各コアで並列実行させることができます。各コアに異なる PAR 処理の初期値 (コストテーブル) を割り当てて並列処理を行うことで、トータルの処理時間を短縮できます。

ストラテジー・オプション ”Multi Tasking Node List” のセルに、以下の例のように記述されたテキストファイルのパスを指定することで、適用します。ファイル名は任意です。

-- 記述フォーマット	コメント
[” コンピュータ名 ”]	[] で括る
SYSTEM = システムタイプ	”PC”、または ”LINUX”
CORENUM = CPU コア数	数値 (最大値は ”CPU コア数 - 1” 以下)

--- 記述例

[DemoPC]	
SYSTEM = PC	Windows
CORENUM = 3	CPU コア数が ’4’ の場合の最大値 (推奨)

Windows PC の場合のシステム名は、” コントロールパネル ” から ” システム ” を選択すると表示される、” コンピュータ名 ” が該当します。CPU コア数は同様に ” デバイスマネージャ ” の ” プロセッサ ” 項を展開して確認することができます。

CPU コア数と同じ値を ”CORENUM” に設定すると、他のアプリケーションや OS に割り当てられる余裕がなくなり、実質的に全ての PAR 処理が終了するまで何もできなくなりますので、ご注意ください。

このテキストファイルを指定することで、オプション ”Number of Host Machine Cores” の値がデフォルト (1) のままでも並列処理が実行されます。或いはこれをデフォルトから ”2” 以上に変更することで、このファイルを指定しなくても同等の作用が得られます。変更する数値について留意すべきことは同じです。

また、ランマネージャと併用する際はこの機能は使用しないことを推奨します (第 3.4 節参照)。

7.8 タイミング解析のコマンドライン実行

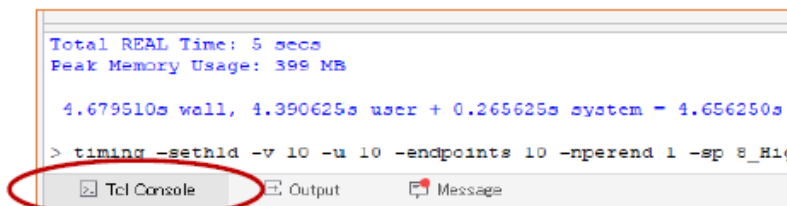
PAR プロセス実行時に反映されるストラテジー項目の値とは異なる条件で、タイミング・レポートの生成のみを行いたいケースがあります。このような場合の手段が TCL コマンド実行です。(Lattice Diamond のように) *.pdc で与えているタイミング制約や環境条件を変更し、PAR を再実行しないでタイミング解析のみを行うことはできません。

Radiant では *.udb にタイミング制約情報が埋め込まれていますので、ユーザーが用意するのは解析対象のネットリスト <proj. 名 >_<impl 名 >.udb のみです。他に *_map.udb や *_syn.udb など幾つかの udb ファイルがありますので、間違えないようにします。

より詳細については、オンラインヘルプで [Reference Guides] → [Command Line Reference Guide] → [Command Line Tool Usage] → [Running Timing from the Command Line] とたどることで、ご参照いただけます。

Radiant GUI では、下部領域はデフォルトでログ出力表示用『Output』タブが選択されています。コマンドライン実行時は『Tcl Console』を選択します (図 7-17)。その時点でカレント・ディレクトリがどこかを確認する際は ”pwd” をタイプします

図 7-17. ”Tcl コンソール” タブ



コマンド実行例と典型的なオプションの説明を以下に示します。

```
> timing -sethld -v 10 -u 10 -endpoints 10 -nperend 1 -sp 8_High-Performance_1.0V -hsp m -html -rpt
  aproj_impl1_16b.twr aproj_impl1_16b.udb
```

-sethld セットアップ時間とホールド時間解析の両方を実行

-v <val>	レポートする制約ごとのパス数
-u <val>	レポートする未制約エンドポイント数
-endpoints <val>	レポートするエンドポイント数
-nperend <val>	レポートするエンドポイントごとのパス数
-sp <val>	セットアップ時間解析対象のスピードグレード指定
-hsp <val>	ホールド時間解析対象のスピードグレード指定（基本的に”m”を指定）
-html	HTML形式レポートを出力する
-rpt <output>.twr	出力するレポートファイル名
<netlist>.udb	解析対象のネットリスト・ファイル名

--- *** ---