

第 6 章 マッピング・プロセス (Map Design Process)

6.1 概要

マッピング・プロセスでは幾つかの処理が行われます。基本的な処理は論理合成結果から、ターゲット・デバイスのアーキテクチャに従って LUT およびフリップフロップ (FF) に変換することで、その際に論理圧縮や最適化を行います。また、PIO (Programmable I/O)・EBR・PLL・オシレータ・GSR などの実エレメントに割り当て、未使用ロジックや I/O ポートの削除も行います。また、論理的なグループ化 (partitioning) などの制約に対する処理も行います。

論理エレメントの基本となる”スライス”は、LUT とフリップフロップ (FF) を二つずつ含んでいます。マッピング・プロセスの二つ目の処理は、同一スライスに入れる LUT と FF との組み合わせ (LUT+LUT、FF+FF、LUT+FF) を決めるパッキング (Packing) です。パッキング後の論理は LUT/FF ではなく、スライススペースの回路 (ネットリスト) になります。マッピングではスライスの”物理的な”配置位置 (Row/Column) は決定しないで、”論理的な”変換を行うのみです。物理的な配置位置の決定は次の PAR プロセスが行います。そのため、パッキング処理では与えられているタイミング制約に対する解析を行う際に、”仮想的な配線遅延値”を用いて最適化を行います。

マッピング・プロセスに適用される設計制約ファイルは *.pdc (Physical Design Constraint) です。制約設定・記述については第 16 章をご参照ください。

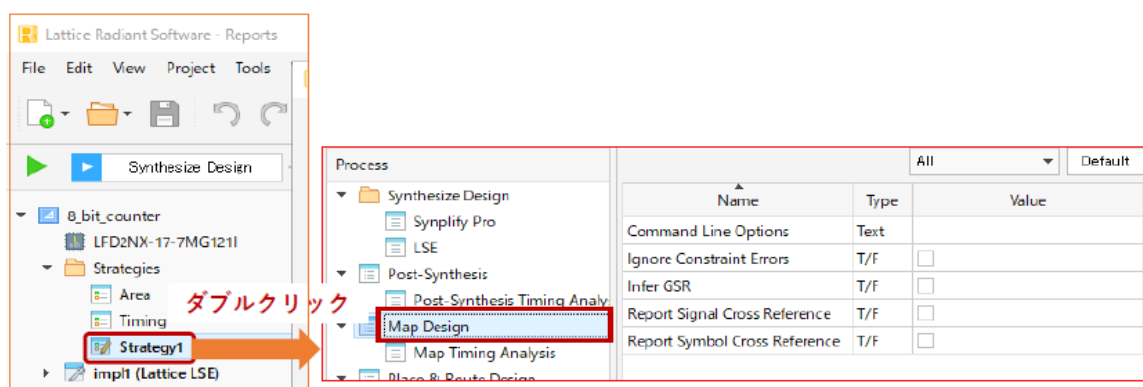
マッピング・プロセスには、サブプロセスとしてタイミング解析 (Map Timing Analysis) があります。”Task Detail View”でサブプロセスの行頭にボックスがあり、チェックが入っているとマッピング実行後に、これも自動的に実行されます (図 6-5 参照)。チェックが入っていない場合でも、サブプロセス名をダブルクリックすれば実行できます。

マッピング後タイミング解析は、処理時間が長くなりがちな PAR プロセスの前に検証を行うことによって、タイミングを満たすことが大幅に厳しいパスや要因を抽出して、あらかじめ対策を行うことを可能にします。前述の通り、マッピングでは配線処理は行わないため、仮の配線遅延値を用います。

6.2 ストラテジー・オプション設定

6.2.1 ストラテジー設定ウィンドウの起動

図 6-1. マッピング (Map Design) のストラテジー・オプション



註：本 Lattice Radiant 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は技術サポート担当者にお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

ファイルリスト・ビューの "Strategies" セクションにはストラテジー名の一覧が表示されています。各インプリメンテーションで使用されるのは、太字で表示されている（アクティブな）1つだけです。編集できるのは、デフォルトでは "Strategy1" のみです。ダブルクリックすると、ストラテジー設定ウィンドウが開きます。

ストラテジーはプロセスとサブプロセスごとに表示されますので、"Process" 枠から "Map Design" を選択します (図 6-1)。

6.2.2 ストラテジー・オプション項目

以下に各ストラテジー・オプションについて記述します。詳細についてはオンラインヘルプで [Reference Guides] → [Strategy Reference Guide] → [Map Design Options] を選択すると、ご参照いただけます。

Command Line Options

パラメータ：文字列 デフォルト：ブランク

設定可能なオプション項目以外を使用する場合に、直接引数等をここに記述します。

Ignore Constraint Errors (Radiant 3.2.1 までは Ignore Preference Errors)

パラメータ：True / False デフォルト：False

制約ファイルの記述にエラーがあった場合の処理に関する設定です。デフォルトではプロセス処理を停止します。[True] にすると、メッセージを出力するのみで、その制約記述を無視して処理を継続します。

Infer GSR (iCE40UP を除く)

パラメータ：True / False デフォルト：False

GSR (Global Set/Reset) ネットの使用に関する設定です。GSR ネットは非常に負荷が大きくてもドライブできるように設計されたスーパーバッファです。GSR は基本的にスライスに対しての作用で、ハードマクロ (ブラックボックス) には個別に要件があります (アーキテクチャ依存)。また同様に、対象デバイス・ファミリーによっては、I/O レジスターや Large RAM などにも作用します。なお、Avant-E ファミリーに GSR はありません。

制約ファイル内で GSR ネットに指定する信号が明記されていればその通りに割り当てます。何も記述されていない場合、デフォルトでは GSR 配線には信号はアサインしません。[True] にすると、最もファンアウトの多いリセット信号を GSR ネットに割り当てます。

Report Signal Cross Reference

パラメータ：True / False デフォルト：False

論理ネット (信号) が物理的に何に割り当てられたかに関する設定です。[True] にするとレポートされます。

Report Symbol Cross Reference

パラメータ：True / False デフォルト：False

論理シンボルが物理的にどのスライスに割り当てられたかをレポートする機能に関する設定です。[True] にするとレポートされます。

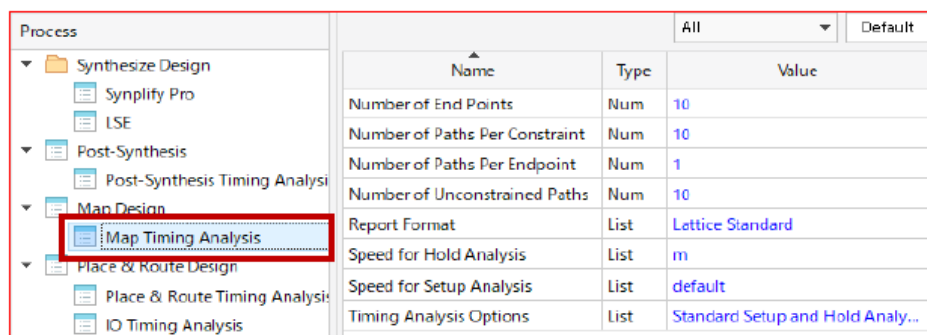
6.2.3 マッピングのタイミング解析とストラテジー項目

マッピング・プロセスでのタイミング解析にはスライス (LUT/FF) などのエレメント遅延、データパスの配線遅延、およびクロック配線遅延などが関わります。エレメント遅延はツールにロードされている所定の値を用いますが、データパスとクロックの配線遅延については、PAR 処理をしていませんので正確に知ることができません。従って、マッピングの (静的) タイミング解析では、これらはあるアルゴリズムで推定

値を使用します。

ストラテジー・オプションによってタイミング解析条件やレポートスタイル等を変更することができます。アクティブなストラテジーをダブルクリックして設定ウィンドウを表示し、左側 ”Process” 枠で ”Map Timing Analysis” を選択します (図 6-2)。

図 6-2. Map タイミング解析のストラテジー・オプション



Number of End Points

パラメータ : 数値 デフォルト : 10

クリティカル・エンドポイント・サマリーでのエンドポイント数を指定します。

Number of Paths Per Constraint

パラメータ : 数値 デフォルト : 10

詳細パスレポートのパス数を指定します。

Number of Paths per Endpoint

パラメータ : 数値 デフォルト : 1

各エンドポイントに対する最大パス数を指定します。

Number of Unconstrained Paths

パラメータ : 数値 デフォルト : 10

未制約パス (タイミング制約でカバーされていないパス) のレポート数を指定します。

Report Format

パラメータ : Lattice Standard / Diamond Style デフォルト : Lattice Standard

[Lattice Standard] は業界標準ツールの書式に準じたレポート・フォーマットです。[Diamond Style] は既存ツール Lattice Diamond のタイミング・レポートと同じフォーマットです。

Speed for Hold Analysis

パラメータ : m / (Speed Grades) デフォルト : m

Lattice ツールのホールド解析は、デフォルトの ”m” グレードが基本です。それ以外は Radiant プロジェクトのターゲット・デバイスで選択できるグレードが候補になります。特別な理由がない限りはデフォルトから変更しないようにします。

Speed for Setup Analysis

パラメータ : default / (Speed Grades) デフォルト : default

Lattice ツールのセットアップ解析は、Radiant プロジェクトのターゲット・デバイスで選択している

グレードが基本です。ここで別のグレードを選択すると、それが優先されます。

Timing Analysis Options

パラメータ : Hold Analysis / Standard Setup Analysis / Standard Setup and Hold Analysis (デフォルト)

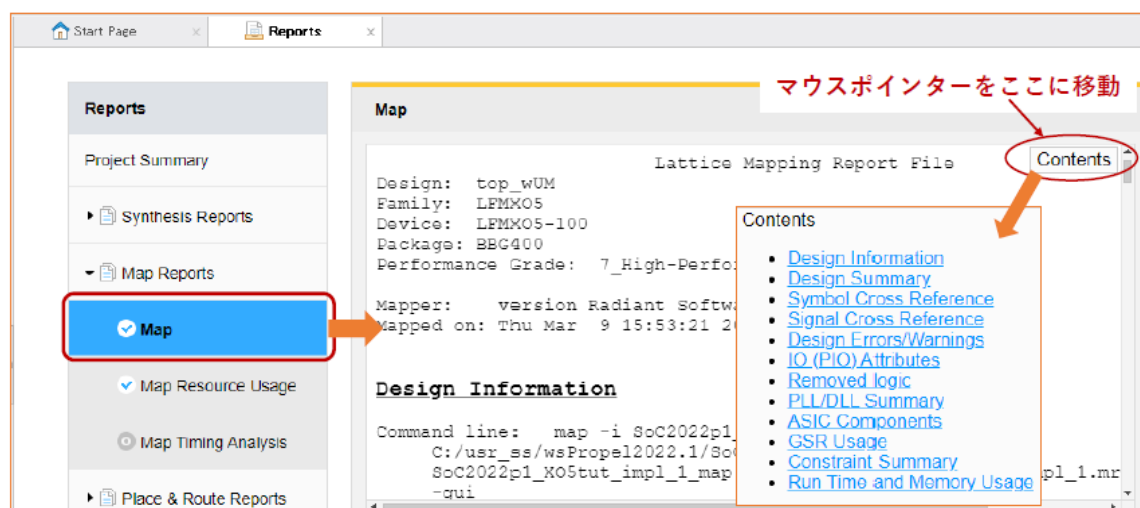
デフォルトでセットアップ / ホールド時間解析の両方を同時に行います。[Hold Analysis] にすると、ホールド解析のみを行い、[Standard Setup Analysis] セットアップ解析のみを行います。

6.3 マッピングのプロセス・レポート

6.3.1 レポートの種類

マッピングを実行すると、レポート・ビューに結果がレポートされます。GUI 上部の [Reports] タブをクリックし、ウィンドウ左側のセクションで [Map Reports] をクリックすると、サブ項目として三つがリストされています。[Map] はプロセス実行結果のレポート、[Map Resource Usage] はリソース・レポート、[Map Timing Analysis] はタイミング解析レポートです。

図 6-3. マッピングのプロセス・レポート表示



レポート内の右上に "Contents" ボタンがあります。マウスポインターをこの上に移動すると、内容項目のリストを示すリンクが表示されますので (図 6-3)、いずれからをクリックして所望の表示箇所にジャンプすることができます。

6.3.2 プロセス・レポート項目

プロセス・レポートは以下の項目ごとに構成されています。

Design Information

プロセス実行のコマンドです。

Design Summary

各リソースの使用数と使用率、クロックやクロックイネーブルおよびローカルリセットの信号名やその負荷 (ドライブしているスライス数) など、クロックとリセット以外でファンアウトの多いネットをレポートします。PAR プロセスレポートには "Device utilization summary" 項として、リソース使用のサマリーが含まれます。

Symbol Cross Reference

スライス名と、それにパッキングされたフリップフロップ名の対応をレポートします (ストラテジー・

オプション [Symbol Cross Reference] が [True] の場合のみレポート)。

Signal Cross Reference

スライス等の各リソース間を接続するドライバーと負荷をレポートします (ストラテジー・オプション [Signal Cross Reference] が [True] の場合のみレポート)。

Design Errors/Warnings

各種 Error および Warning です。

Radiant 2023.2 から、クロックのジッタやスキューなどを与える Clock Uncertainty 値を各クロックに与えないと、本セクションにウォーニングが出ます (CRITICAL <52281053> - map: There is no set_clock_uncertainty constraint on the PLL clock output 'CLKOP' of instance 'xxx'.) (第 7.1.1 項参照)。同一のメッセージは Radiant GUI 下部右下で [Message] タブを選択するとリストされている "WARNINGS" の一つとしても表示されます。

IO (PIO) Attributes

I/O 名と方向、IO タイプ、IO レジスタの使用有無、DDR かどうか、などをレポートします。

Removed Logic

マージされたり負荷がなかったり、といった理由で削除された論理リソースをレポートします。

PLL/DLL Summary

PLL、DLL などのインスタンス名、属性、などをレポートします。

ASIC Components

PLL、EBR などのマクロ・コンポーネントのインスタンス名をレポートします。

図 6-4. マッピング後のリソース・レポート例

	LUT4	PFU Registers	IO Buffers	EBR
ddr3gdmidemo_top	2655(1)	2163(0)	60(41)	4(0)
u_o5gdmidemo_top	2466(0)	1972(0)	19(0)	4(0)
u_ddr3_16b300	1929(0)	1494(0)	19(0)	0(0)
lscdddr3_mc_inst	1929(1929)	1494(1494)	19(19)	0(0)
u_gdmidemo_top	537(1)	478(1)	0(0)	4(0)
u_fsm	91(91)	46(46)	0(0)	0(0)
u_ipinterf	30(30)	27(27)	0(0)	0(0)
u_rdpdpath	183(182)	182(158)	0(0)	2(0)
u_fifo_read	1(0)	24(0)	0(0)	2(0)
lscdddr3_fifo_dc_inst	1(0)	24(0)	0(0)	2(0)

GSR Usage

GSR (Global Set/Reset) に割り当てられた信号名とプロパティです。また GSR 属性がディセーブル (イネーブル) されたコンポーネントやインスタンス名もレポートします。

OSC Summary

OSC のインスタンス名、プリミティブ・タイプ、出力クロックなどをレポートします。OSC がインスタンスされている場合にのみレポートされます。

Constraint Summary

適用された制約数とドロップされた制約数をリストします (ワイルドカード拡張前の数)。

Run Time and Memory Usage

マッピング・プロセス実行に要した CPU 時間と最大メモリー使用をレポートします。

6.3.3 リソース・レポート

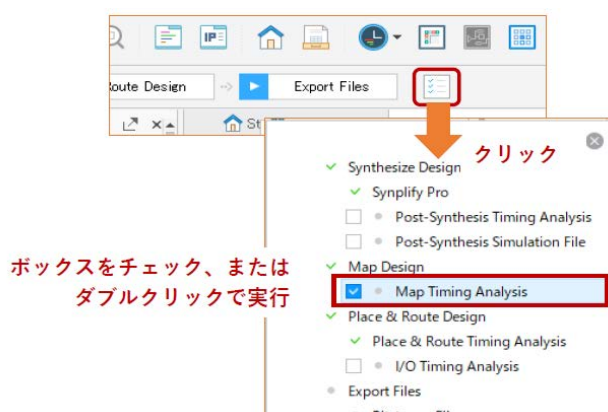
”Map Resource Usage” 項をクリックすると、右側には図 6-4 のようにデザイン階層ごとに使用されているリソースが表形式でレポートされます。階層表示はデフォルトでは下位階層すべて展開されていますが、▼印をクリックすれば展開しないでその階層についてのリソース行のみが表示されます。

各リソース数は、数値とともに ”(値)” のように括弧付きの数値を伴っています。これは下位モジュールではなく、当該階層そのレベルでのリソース数を示しています。バージョン 2022.1 からは、LUT4 が Logic / Ripple Logic / Distributed RAM の三つに分類した内数と共に併記されます。

6.3.4 マッピング後のタイミング・レポート

[Map Timing Report] は、他のサブ項目の行頭が  印で閲覧可能であることを示しているのに対して、デフォルトや更新後の制約条件で未実行時では  印になっていて、有効なレポートが閲覧できる状態ではないことを示しています。

図 6-5. マッピング後タイミング解析サブプロセスの実行



タイミング・レポートを出力するためには、”Task Detail View” アイコンをクリックすると現れるビュー内で該当するサブプロセス ”Map Timing Analysis” ボックスをクリックして有効化してからマッピングを実行するか、或いはマッピング実行後にこのサブプロセスのみをダブルクリックして解析を実行します (図 6-5)。

図 6-6. MAP タイミング・レポート項目例

Contents	
•	Timing Report
•	1 DESIGN CHECKING
o	1.1 SDC Constraints
o	1.2 Constraint Coverage
o	1.3 Overall Summary
o	1.4 Unconstrained Report
o	1.5 Combinational Loop
•	2 Setup at User Specified Speed Grade Corner at User Specified Degrees
o	2.1 Clock Summary
o	2.2 Endpoint slacks
o	2.3 Detailed Report
•	3 Setup at User Specified Speed Grade Corner at Minimum Degrees
o	3.1 Clock Summary
o	3.2 Endpoint slacks
o	3.3 Detailed Report
•	4 Hold at User Specified Speed Grade Corner at Minimum Degrees
o	4.1 Endpoint slacks
o	4.2 Detailed Report

レポートの先頭は、解析を行ったツールやライブラリーのバージョン、解析対象のネットリストおよび制約ファイル等の情報が出力され、その次に「Contents」の内容が続きます。レポート・ビュー右上にある『Contents』ボタンにマウスポインターを移動すると、リンク有りのその項目一覧がポップアップしますので、いずれかをクリックすればレポート内の当該箇所にジャンプして表示します（図 6-6）。

セットアップ解析に対して指定温度グレードの最低ジャンクション温度でのレポートが第三項目として追加されています（図 6-6）。この最低温度とは、ターゲット・デバイスがコマーシャル・グレード品では 0℃、インダストリアル・グレード品とオートモーティブ・グレード品では -40℃です。以下の概要説明ではこの項目については基本的に 2 のセットアップ項目と同様の内容です。各項目の概要は以下の通りです。

1. DESIGN CHECKING

- 1.1 SDC Constraints** *.pdc 制約ファイルで与えられている制約をリストアップします。
- 1.2 Constraint Coverage** 与えられている制約のカバレッジを%でレポートします。
- 1.3 Overall Summary** セットアップ / ホールド・タイミング解析結果のサマリーです。タイミングエラーのエンドポイント数、及びネガティブ・スラック値の合計です。
- 1.4 Unconstrained Report** 未制約のパス（Unconstrained Start/End Points）や I/O ポート、クロックネットなどをレポートします。パス数はストラテジー項目の "Number of End Points" に準じます。
- 1.5 Combinational Loop** 組み合わせ回路のループがある場合にレポートされます。ない場合はブランクです。

図 6-7. タイミング・レポート例 ～ デザイン・チェックングの 1.1 から 1.3

```

1 DESIGN CHECKING

1.1 SDC Constraints

create_generated_clock -name {u_riscVsoc/pll0_inst_clkos_o_net} -source [get_pins {u_riscVsoc/pll0_inst/lsccl_pll_inst/gen_no_refcl
create_generated_clock -name {u_riscVsoc/pll0_inst_clkop_o_net} -source [get_pins {u_riscVsoc/pll0_inst/lsccl_pll_inst/gen_no_refcl
create_clock -name {osc0_inst_hf_clk_out_o} -period 55.556 -waveform {0.000 27.778} [get_pins u_riscVsoc/osc0_inst/lsccl_osc_inst/O

1.2 Constraint Coverage

Constraint Coverage: 98.7783%

1.3 Overall Summary

Setup at Speed Grade 7_High-Performance_1.0V Corner at 85 Degrees      Timing Errors: 319 endpoints; Total Negative Slack: 67.758 ns
Hold at Speed Grade m Corner at 85 Degrees                          Timing Errors: 0 endpoints; Total Negative Slack: 0.000 ns

```

2. Setup at User Specified Speed Grade Corner at User Specified Degrees

- 2.1 Clock Summary** ターゲット周波数（周期）と結果をクロック・ネットワークごとにサブ項目としてリストしてレポートします。またほかのドメインからの（domain crossing）パスがある場合、クロックエッジ間のタイミングをレポートします。左は一つのネットについてのレポート例です。ストラテジー項目の "Report Format" で指定する "Lattice Standard" と "Diamond Style" でほぼ同じ書式です。
- 2.2 Endpoint slacks** パスのエンドポイントでセットアップ時間をスラックの小さい（ネガティブスラックの大きい）順にレポートします。"Lattice Standard" と "Diamond Style" でほぼ同じ書式です。
- 2.3 Detailed Report** セットアップ時間解析の詳細を、スラックの小さい（ネガティブスラックの大きい）クリティカル・パス順にレポートします。パス数はストラテジーの "Number of Paths Per Constraint" に準じます。

セットアップ・レポートの詳細レポート（2.3）の例を図 6-8 に示します。

セットアップ詳細レポートの "Diamond Style" は "Lattice Standard" とほぼ同じ書式ですが、各パスごとのセクションの初めに始点と終点のクロックとデータ遅延のサマリーが含まれることが異なります。

図 6-8. セットアップ詳細レポートの例 (Lattice Standard)

***** Detailed Report for timing paths *****						
++++Path 1 +++++						
Path Begin	:	genblk2[5].u_csi2rxWb2p/u_csi2rx_def/lscd_dphy_rx_inst/secured_instance_256_2/secured_instance_257_1/sec				
Path End	:	genblk2[5].u_csi2rxWb2p/u_B2Pconv_v1p60/lscd_byte2pixel_inst/genblk5.lscd_pixcntr/wc_pix_sync[12].ff_inst				
Source Clock	:	byte_clk_cont (R)				
Destination Clock	:	mpcs_tx_clk0 (R)				
Logic Level	:	1				
Delay Ratio	:	71.6% (route), 28.2% (logic)				
Clock Skew	:	0.000 ns				
Setup Constraint	:	2.000 ns				
Common Path Skew	:	0.000 ns				
Path Slack	:	0.949 ns (Passed)				
Source Clock Path						
Shown in: Netlist Analyzer						
Name		Cell/Site Name	Delay Name	Incr	Arrival/Required Time	Fanout
u0_pll4_b2p.lscd_pll_inst.gen_no_refclk_mon.u_PLL.PLL_inst/CLKOP		PLL_CORE	CLOCK LATENCY	0.000	0.000	4111
u0_pll4_b2p.lscd_pll_inst/byte_clk_cont			NET DELAY	3.000	3.000	4111
genblk2[5].u_csi2rxWb2p/u_csi2rx_def/lscd_dphy_rx_inst/secured_instance_256_2/secured_instance_257_1/secured_instance_256_1			CLOCK PIN	0.000	3.000	1
Data Path						
Shown in: Netlist Analyzer						
Name		Cell/Site Name	Delay Name	Incr	Arrival/Required Time	Fanout
genblk2[5].u_csi2rxWb2p/u_csi2rx_def/lscd_dphy_rx_inst/secured_instance_256_2/secured_instance_257_1/secured_instance_256_1		SLICE	REG DEL	0.306	3.306	7
genblk2[5].u_csi2rxWb2p/u_csi2rx_def/lscd_dphy_rx_inst/secured_instance_256_2/secured_instance_257_1/secured_instance_256_23			NET DELAY	0.780	4.086	7
genblk2[5].u_csi2rxWb2p/u_B2Pconv_v1p60/lscd_byte2pixel_inst/genblk5.lscd_pixcntr/wc_pix_sync[12].ff_inst/DF			ENDPOINT	0.000	4.086	1
Destination Clock Path						
Shown in: Netlist Analyzer						
Name		Cell/Site Name	Delay Name	Incr	Arrival/Required Time	Fanout
u_mpcs_txonly.u_mpcs_txOnly.lscd_mpcs_top_inst.Q0_PCSX4.u_PCSX4_Q0_pcs_merge_pcs_merge_pcs_merge.PCSX4_inst/CH0_PIPE_PCS_T		PCS_CORE	CLOCK LATENCY	0.000	2.000	2225
genblk1[1].u_csi2rxWb2p/u_csi2rx_def/lscd_dphy_rx_inst/secured_instance_24_2/secured_instance_23_0/secured_instance_20_2/s			NET DELAY	3.000	5.000	2225
genblk2[5].u_csi2rxWb2p/u_B2Pconv_v1p60/lscd_byte2pixel_inst/genblk5.lscd_pixcntr/wc_pix_sync[12].ff_inst/CLK			CLOCK PIN	0.000	5.000	1
			Uncertainty	-(0.000)	5.000	
			Common Path Skew	0.000	5.000	
			Setup time	-(-0.035)	5.035	
Required Time					5.035	
Arrival Time					-(4.086)	
Path Slack (Passed)						0.949

3. Hold at User Specified Speed Grade Corner at User Specified Degrees

3.1 Endpoint slacks パスのエンドポイントでホールド時間スラックの小さい（ネガティブスラックの大きい）順にレポートします。

3.2 Detailed Report ホールド時間解析の詳細を、スラックの小さい（ネガティブスラックの大きい）クリティカル・パス順にレポートします。パス数はストラテジーの "Number of Paths Per Constraint" に準じます。

更新履歴

リビジョン	ページ	内 容
2022.1	4-11	Rev.3.2.1 からのバージョン・アップに伴い、プロセスレポート、タイミングレポートとそれらの項目について画像・記述を更新
2023.2.1	--	Radiant 2023.2 バージョン・アップに伴う更新

--- *** ---