

第 6 章 マッピング・プロセス (Map Design)

6.1 概要

マッピング・プロセスでは幾つかの処理が行われます。基本的な処理は論理合成結果から、ターゲット・デバイスのアーキテクチャに従って LUT およびフリップフロップ (FF) に変換することで、その際に論理圧縮や最適化を行います。また、PIO (Programmable I/O)・EBR・PLL・オシレータ・GSR などの実エレメントに割り当て、未使用ロジックや I/O ポートの削除も行います。また、論理的なグループ化 (partitioning) などの制約に対する処理も行います。

論理エレメントの基本となる”スライス”は、LUT とフリップフロップを二つずつ含んでいます。マッピング・プロセスの二つ目の処理は、同一スライスに入れる LUT とフリップフロップ (FF) の組み合わせ (LUT+LUT、FF+FF、LUT+FF) を決めるパッキング (Packing) です。パッキング後の論理は LUT/FF ではなく、スライスベースの回路 (ネットリスト) になります。マッピングではスライスの”物理的な”配置位置 (Row/Column) は決定しないで、”論理的な”変換を行うのみです。物理的な配置位置の決定は次の PAR プロセスが行います。そのため、パッキング処理では与えられているタイミング制約に対する解析を行う際に、”仮想的な配線遅延値”を用いて最適化を行います。

マッピング・プロセスに適用される設計制約ファイルは *.pdc (Physical Design Constraint) です。制約設定・記述については第 16 章をご参照ください。

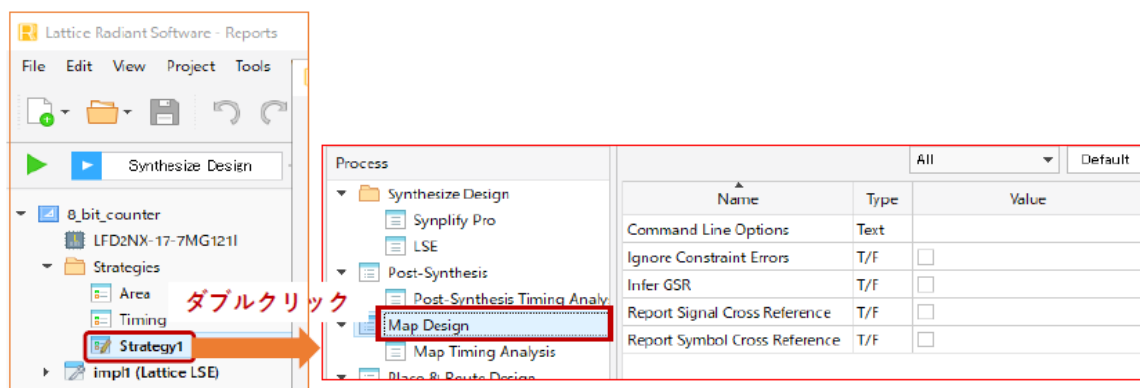
マッピング・プロセスには、サブプロセスとしてタイミング解析 (Map Timing Analysis) があります。”Task Detail View” でサブプロセスの行頭にボックスがあり、チェックが入っているとマッピング実行後に、これも自動的に実行されます (図 6-5 参照)。チェックが入っていない場合でも、サブプロセス名をダブルクリックすれば実行できます。

マッピング後タイミング解析は、処理時間が長くなりがちな PAR プロセスの前に検証を行うことによって、タイミングを満たすことが大幅に厳しいパスや要因を抽出して、あらかじめ対策を行うことを可能にします。前述の通り、マッピングでは配線処理は行わないため、仮の配線遅延値を用います。

6.2 ストラテジー・オプション設定

6.2.1 ストラテジー設定ウィンドウの起動

図 6-1. マッピング (Map Design) のストラテジー・オプション



註：本 Lattice Radiant 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は技術サポート担当者にお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

Lattice ツールのセットアップ解析は、Radiant プロジェクトのターゲット・デバイスで選択しているグレードが基本です。ここで別のグレードを選択すると、それが優先されます。

Timing Analysis Options

パラメータ : Hold Analysis / Standard Setup Analysis / Standard Setup and Hold Analysis

デフォルト : Standard Setup and Hold Analysis

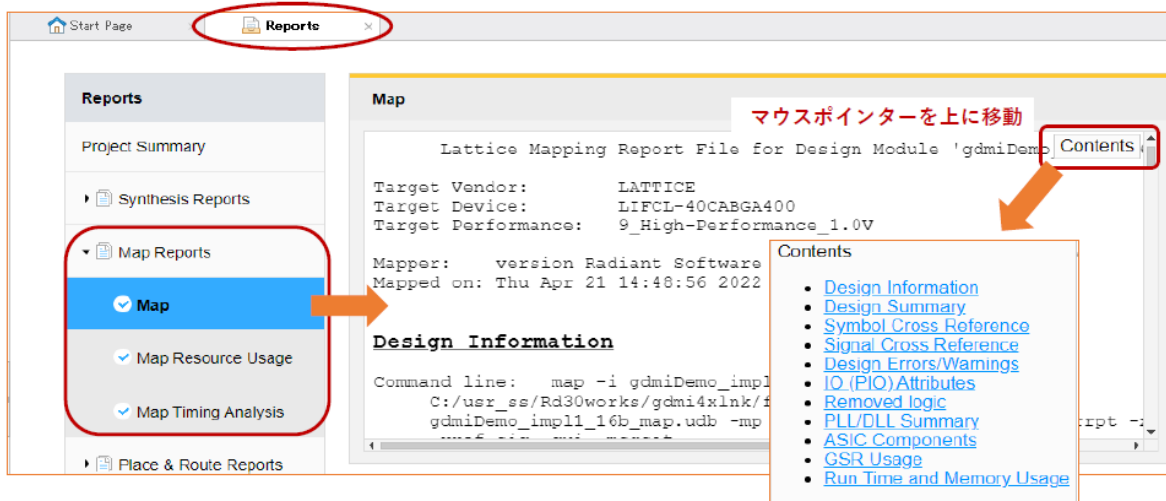
デフォルトでセットアップ / ホールド時間解析の両方を同時に行います。[Hold Analysis] にすると、ホールド解析のみを行い、[Standard Setup Analysis] セットアップ解析のみを行います。

6.3 マッピングのプロセス・レポート

6.3.1 レポートの種類

マッピングを実行すると、レポート・ビューに結果がレポートされます。GUI 上部の [Reports] タブをクリックし、ウィンドウ左側のセクションで [Map Reports] をクリックすると、サブ項目として三つがリストされています。[Map] はプロセス実行結果のレポート、[Map Resource Usage] はリソース・レポート、[Map Timing Analysis] はタイミング解析レポートです。

図 6-3. マッピングのプロセス・レポート表示



レポート内の右上に "Contents" ボタンがあります。マウス・ポインターをこの上に移動すると、内容項目のリストを示すリンクが表示されますので (図 6-3)、いずれからをクリックして所望の表示箇所へジャンプすることができます。

6.3.2 プロセス・レポート項目

プロセス・レポートは以下の項目ごとに構成されています。

Design Information

プロセス実行のコマンドです。

Design Summary

各リソースの使用数と使用率、クロックやクロックイネーブルおよびローカルリセットの信号名やその負荷 (ドライブしているスライス数) など、クロックとリセット以外でファンアウトの多いネットをレポートします。

Symbol Cross Reference

スライス名と、それにパッキングされたフリップフロップ名の対応をレポートします(ストラテジー・オプション [Symbol Cross Reference] が [True] の場合のみレポート)。

Signal Cross Reference

スライス等の各リソース間を接続するドライバーと負荷をレポートします (ストラテジー・オプション [Signal Cross Reference] が [True] の場合のみレポート)。

Design Errors/Warnings

各種 Error および Warning です。

IO (PIO) Attributes

I/O 名と方向、IO タイプ、IO レジスタの使用有無、DDR かどうか、などをレポートします。

Removed Logic

マージされたり負荷がなかったり、といった理由で削除された論理リソースをレポートします。

PLL/DLL Summary

PLL、DLL などのインスタンス名、属性、などをレポートします。

ASIC Components

PLL、EBR などのマクロ・コンポーネントのインスタンス名をレポートします。

GSR Usage

GSR (Global Set/Reset) に割り当てられた信号名、および GSR 属性のディセーブルされた、或いはイネーブルされたコンポーネントとインスタンス名をレポートします。

Run Time and Memory Usage

マッピング・プロセス実行に要した CPU 時間と最大メモリー使用をレポートします。

6.3.3 リソース・レポート

図 6-4. マッピング後のリソース・レポート例

The screenshot shows the 'Reports' sidebar on the left with 'Map Resource Usage' selected. The main pane displays the 'Map Resource Usage' report, which includes a header section with design parameters and a table of resource utilization for various components.


	LUT4	PFU Registers	IO Buffers	EBR
ddr3gdmiDemo_top	2655(1)	2163(0)	60(41)	4(0)
u_a5gdmi_top	2466(0)	1972(0)	19(0)	4(0)
u_ddr3_16b300	1929(0)	1494(0)	19(0)	0(0)
lscd_ddr3_mc_inst	1929(1929)	1494(1494)	19(19)	0(0)
u_gdmi_utop	537(1)	478(1)	0(0)	4(0)
u_fsm	91(91)	46(46)	0(0)	0(0)
u_ipinterf	30(30)	27(27)	0(0)	0(0)
u_rdp_path	183(182)	182(158)	0(0)	2(0)
u_fifo_read	1(0)	24(0)	0(0)	2(0)
lscd_fifo_dc_inst	1(0)	24(0)	0(0)	2(0)

”Map Resource Usage” 項をクリックすると、右側には図 6-4 のようにデザイン階層ごとに使用されている

リソースが表形式でレポートされます。階層表示はデフォルトでは下位階層すべて展開されていますが、▼印をクリックすれば展開しないでその階層についてのリソース行のみが表示されます。

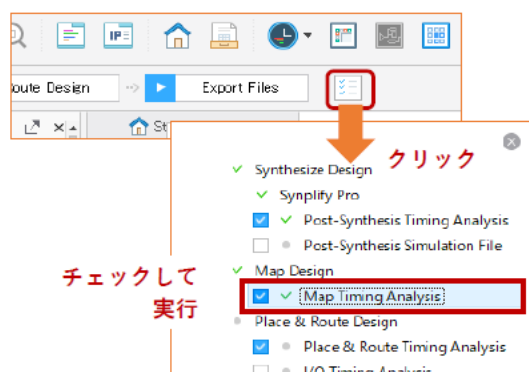
各リソース数は、数値とともに“(値)”のように括弧付きの数値を伴っています。これは下位モジュールではなく、当該階層そのレベルでのリソース数を示しています。

6.3.4 マッピング後のタイミング・レポート

[Map Timing Report]は、他のサブ項目の行頭が 印で閲覧可能であることを示しているのに対して、デフォルトでは  印になっていて、有効なレポートが閲覧できる状態ではないことを示しています。

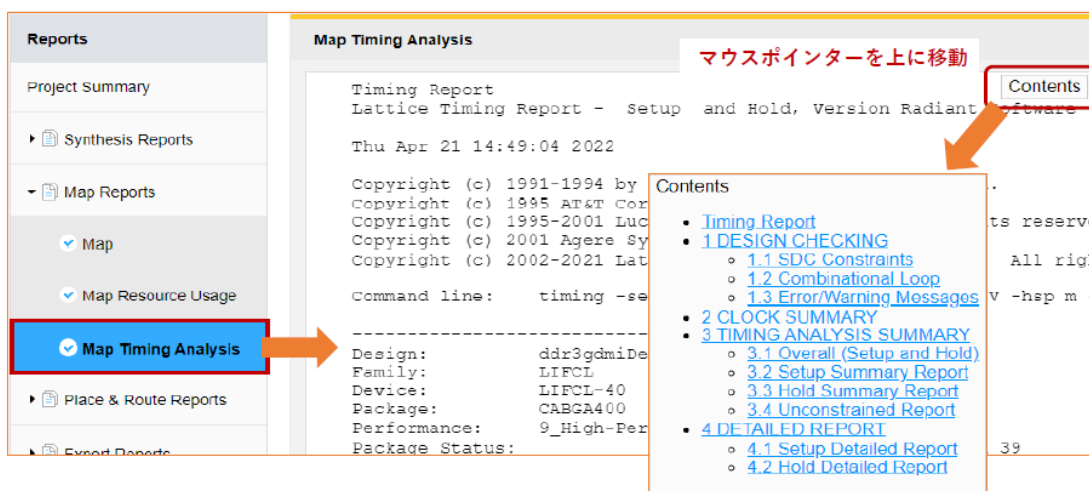
レポートを出力するためには、“Task Detail View”アイコンをクリックすると現れるビュー内で該当するサブプロセス”Map Timing Analysis”ボックスをクリックして有効化してからマッピングを実行するか、或いはマッピング実行後にこのサブプロセスのみをダブルクリックして解析を実行します (図 6-5)。

図 6-5. マッピング後タイミング解析サブプロセスの実行



レポートの先頭は、解析を行ったツールやライブラリーのバージョン、解析対象のネットリストおよび制約ファイル等の情報が出力されます。この下に「Contents」の内容が続きます。

図 6-6. マッピング後のタイミング・レポート



タイミング・レポート内容 (Contents) は以下のセクションによって構成されています。

- | | |
|----------------------------|-------------------------------|
| 1. DESIGN CHECKING | 制約内容、論理ループ、エラー / ウォーニング |
| 2. CLOCK SUMMARY | 各クロックについてのレポート |
| 3. TIMING ANALYSIS SUMMARY | オーバーオール (カバレッジ、タイミングエラー、スコア)、 |

セットアップ&ホールド・サマリー、未制約レポート

4. DETAILED REPORT

セットアップ&ホールド詳細レポート

以下にそれぞれについての概要を記述します。

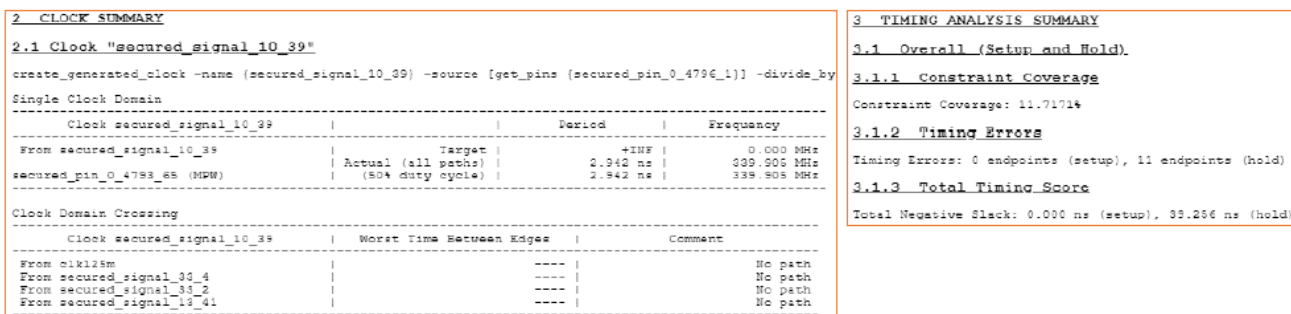
1. DESIGN CHECKING

- 1.1 SDC Constraints * .pdc 制約ファイルで与えられている制約をリストします。
- 1.2 Combinational Loop 組み合わせ回路のループがある場合にレポートされます。ない場合は空白です。
- 1.3 Errors/Warning Messages エラーやウォーニングがある場合のみレポートされます。何も無い場合は、このサブ項目はありません。

2. CLOCK SUMMARY

ターゲット周波数 (周期) と結果をクロック・ネットワークごとにサブ項目としてリストしてレポートします。またほかのドメインからの (domain crossing) パスがある場合、クロックエッジ間のタイミングをレポートします。図 6-7 左は一つのネットについてのレポート例です。ストラテジー項目の "Report Format" で指定する "Lattice Standard" と "Diamond Style" でほぼ同じ書式です。

図 6-7. レポート例~左: クロックサマリー、右: タイミング解析サマリー



3. TIMING ANALYSIS SUMMARY

- 3.1 Overall (Setup and Hold) 制約カバレッジ、タイミングエラー、およびタイミングスコアです (図 6-7 右) にその例を示します。"Lattice Standard" と "Diamond Style" でほぼ同じ書式です。
- 3.2 Setup Summary Report セットアップ時間をスラックの小さいパス (FF) の順にレポートします。パス数はストラテジー項目の "Number of End Points" に準じます。
- 3.3 Hold Summary Report ホールド時間をスラックの小さいパス (FF) の順にレポートします。パス数はストラテジー項目の "Number of End Points" に準じます。
- 3.4 Unconstrained Report 未制約パス (Unconstrained Start/End Points)、および未制約の I/O ポート (Start/End Points Without Timing Constraints) をレポートします。それぞれのパス数はストラテジー項目の "Number of Unconstrained Paths" に準じます。

図 6-8 にレポート例を示します (拡大表示してご確認ください)。図 6-8 左はレポート書式 "Lattice Standard" でのセットアップとホールド・サマリー例です。右は "Diamond Style" でのセットアップ・サマリーのみを示しますが、ホールド・サマリーも同様です。"Lattice Standard" 書式にはない "Setup Constraint Slack Summary" が含まれており、制約に対する詳細項目が表形式でレポートされます。

図6-11. セットアップ詳細レポート例 (Diamond Style)

4 DETAILED REPORT

4.1 Setup Detailed Report

4.1.1 Setup path details for constraint: create_clock -name /secured_s...

560 endpoints scored, 38 timing errors detected.

Minimum Pulse Width Report

```

MPW Cell      : SGMIIICDR_CORE
MPW Pin      : SRCLK
MPW Period   : 8 ns
Clock Period  : 8 ns
Period margin : 0 ns (Passed)
            
```

+++++Detailed Report for timing paths+++++

+++++Path 1+++++

```

Path Begin    : secured_pin_0_2671_20 (SLICE)
Path End      : secured_pin_0_2638_9 (SLICE)
Source Clock  : secured_signal_33_10 (R)
Destination Clock: secured_signal_33_11 (R)
Logic Level   : 4
Delay Ratio   : 69.1% (route), 41.9% (logic)
Clock Skew    : -22.578 ns
Setup Constraint : 0.000 ns
Path Slack    : -16.764 ns (Failed)
            
```

Destination Clock Arrival Time (secured_signal_33_11:R#2)	8.000
+ Destination Clock Source Latency	0.000
- Destination Clock Uncertainty	0.000
+ Destination Clock Path Delay	4.360
- Setup Time	-0.058

End-of-path required time(ns)	12.408
Source Clock Arrival Time (secured_signal_33_10:R#1)	0.000
+ Master Clock Source Latency	0.000
+ Source Clock Path Delay	26.524
+ Data Path Delay	2.249

End-of-path arrival time(ns)	29.172

Source Clock Path

Show in: Netlist Analyzer

Name	Cell/Site Name	Delay Name	Delay	Arrival Time	Fanout
u_pll_1scc_pll_inst.gen_no_refclk_mon.u.PLL.PLL_inst/CLKOP	PLL_CORE	CLOCK LATENCY	0.000	0.000	1649
u_pll_1scc_pll_inst/FBKCK		NET DELAY	13.050	13.050	1649
secured_pin_0_5361_36->secured_pin_0_5361_62	PLL_CORE		0.000	13.050	1
secured_pin_0_5361_36->secured_pin_0_5361_62	PLL_CORE (TOTAL ADJUSTMENTS)		-0.435	12.614	1
u_sgtmac6gvsp/u_sgmii_1scc_sgmii_gbe_pcs_inst/u_serdes/u_gddr/clk_626m_pll0	PLL_CORE	NET DELAY	0.435	13.049	1
secured_pin_0_5362_0->secured_pin_0_5362_2	ECLNSYNC_CORE	CLK2OUT_DEL	0.000	13.049	2
u_sgtmac6gvsp/u_sgmii_1scc_sgmii_gbe_pcs_inst/u_serdes/u_gddr/cclkout_w		NET DELAY	0.435	13.484	2
secured_pin_0_5363_1->secured_pin_0_5363_7	ECLNDIV_CORE	CLKDIVOUT_DEL	0.390	13.874	831
u_sgtmac6gvsp/u_sgmii_1scc_sgmii_gbe_pcs_inst/u_RSL/uxr_clk_0		NET DELAY	13.050	26.924	831

Data path

Show in: Netlist Analyzer

Name	Cell/Site Name	Delay Name	Delay	Arrival Time	Fanout
secured_pin_0_2671_10->secured_pin_0_2671_20	SLICE	REG_DEL	0.304	27.229	39
u_sgtmac6gvsp/u_sgmii_1scc_sgmii_gbe_pcs_inst/u_sgmii_core_wrap/u_sgmii_core/CTC_DYNAMIC.u_rx_ctc/u_c		NET DELAY	0.435	27.664	39
secured_pin_0_4992_5->secured_pin_0_4992_19	SLICE	CTOF_DEL	0.213	27.877	26
u_sgtmac6gvsp/u_sgmii_1scc_sgmii_gbe_pcs_inst/u_sgmii_core_wrap/u_sgmii_core/CTC_DYNAMIC.u_rx_ctc/u_c		NET DELAY	0.435	28.312	26
secured_pin_0_4981_5->secured_pin_0_4981_19	SLICE	CTOF_DEL	0.213	28.525	1
u_sgtmac6gvsp/u_sgmii_1scc_sgmii_gbe_pcs_inst/u_sgmii_core_wrap/u_sgmii_core/CTC_DYNAMIC.u_rx_ctc/u_c		NET DELAY	0.435	28.960	1
secured_pin_0_2638_7->secured_pin_0_2638_15	SLICE	CTOF_DEL	0.213	29.173	1
u_sgtmac6gvsp/u_sgmii_1scc_sgmii_gbe_pcs_inst/u_sgmii_core_wrap/u_sgmii_core/CTC_DYNAMIC.u_rx_ctc/u_c		NET DELAY	0.000	29.173	1

Destination Clock Path

Show in: Netlist Analyzer

Name	Cell/Site Name	Delay Name	Delay	Arrival Time	Fanout
u_sgtmac6gvsp.u_sgmii_1scc_sgmii_gbe_pcs_inst.u_serdes.u_SGMIIICDR.SGMIIICDR_inst/SRCLK	SGMIIICDR_CORE	CLOCK LATENCY	0.000	0.000	292
u_sgtmac6gvsp/u_sgmii_1scc_sgmii_gbe_pcs_inst/u_RSL/cdro_src1k (CLK)		NET DELAY	4.360	12.360	292

Diamond Style

6-10

Lattice Radiant マッピング・プロセス

©2022 Macnica, Inc.