



Power & Thermal Design and Debug Guideline

Nov, 2018

Altima Company | A Macnica Division Company

Rev.3



はじめに

本資料の目的

製造プロセス・テクノロジーの微細化に伴い FPGA が要求する電源電圧は低電圧化が進んでいます。微細化の恩恵により、収容トランジスタ数は飛躍的に増加し、内部動作速度は高速化しています。

また、市場から要求されるシステム帯域は広帯域化しており、FPGA に実装される回路は大規模かつ高速となり、結果的として FPGA の消費電力は増大してきています。これは、電源に対する要求条件が、より低電圧・より大電流化することを促しており、特に20nm 以降のプロセス技術で製造される FPGA は、電源に対する要求事項は従来に比べてはるかに厳しい条件となってきました。

本資料では、**1V 以下の電源電圧で 20W (20A) を超えるデザイン**において、設計時の考慮点および測定方法を示し、予めその仕組みを実装することで不具合の発生を防ぐと共に、不具合発生時のデバッグにおいて速やかに問題点を見定め、解決することを目的としています。

低電圧・大電流化に伴う、最新 FPGA における電源選定、また評価過程での測定方法は従来とは異なる事象を考慮する必要があり、またデバイス単体の消費電力の増大に伴い、従来に比べてより厳密な「放熱設計」及び「測定方法」が必要となっています。

なお本資料の解説は、FPGA として Arria[®] 10、Stratix[®] 10、電源デバイスとして Enpirion[®] を想定したのですが、一部を除き一般的に適用・応用可能な説明になっています。

Agenda

- Design Flow
 - 仕様確認～放熱対策確認
- Debug Flow
 - 評価方法～不具合事例
- Appendix

Design Summary

◆仕様の確認事項

FPGA の電源要求仕様 (変動範囲) は確認したか

FPGA の電源要求仕様 (Power Up/Down シーケンス) は確認したか

◆消費電力の確認事項

不確定要素に対して十分なマージンを持った消費電力見積りを行ったか

◆電源デバイス選定の確認事項

ピンコンパチブルの電源デバイスを選択したか

PMBus 付きの電源デバイスを選択したか

最大電流変動を考慮した電源デバイス選定を行ったか

◆回路図、レイアウトの確認事項

各種電圧の測定箇所は明確か

PDN Tool の Ztarget を満たすか

◆放熱対策の確認事項

FPGA の T_j は内部温度センサーで測定できるか

電源デバイスの T_j は内部温度センサーで測定できるか

温度センサーによるアダプティブな温度管理制御を採用したか

Debug Summary

◆FPGA 波形測定の確認事項

入力電圧が設計値か確認したか

リップル電圧波形を確認したか

起動時の電源波形を確認したか

負荷変動時のリップル電圧波形を確認したか

確認した波形を保存したか

◆消費電力測定の確認事項

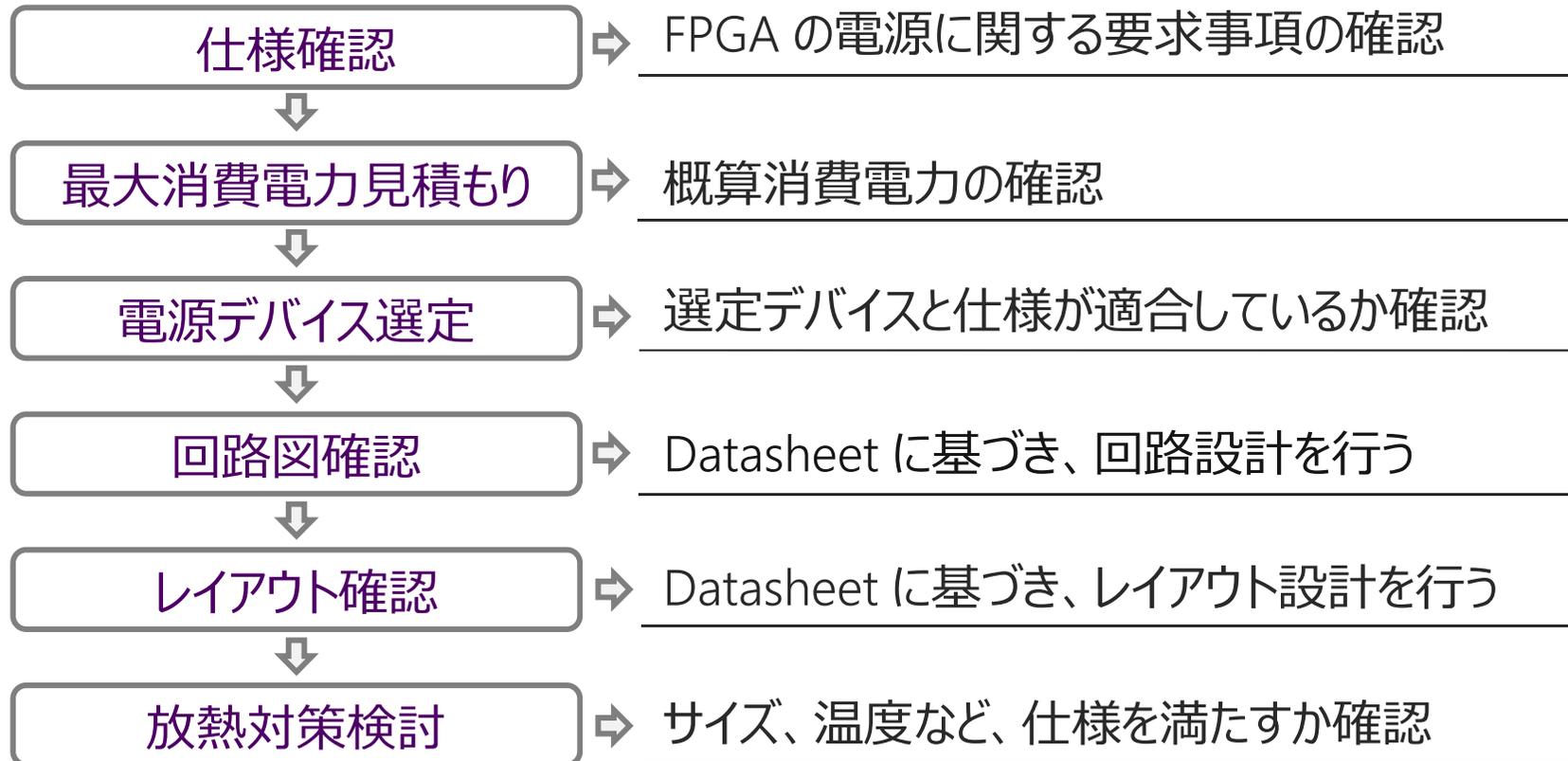
消費電力を測定したか

◆デバイス温度の確認事項

デバイス温度を確認したか

Design Flow

Design Flow

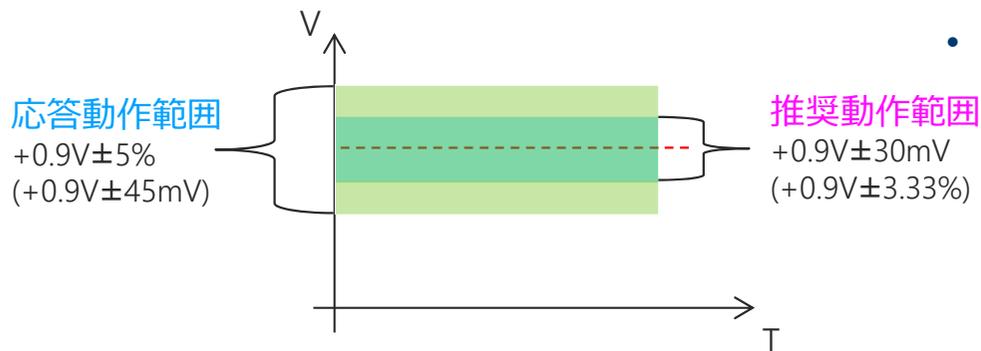
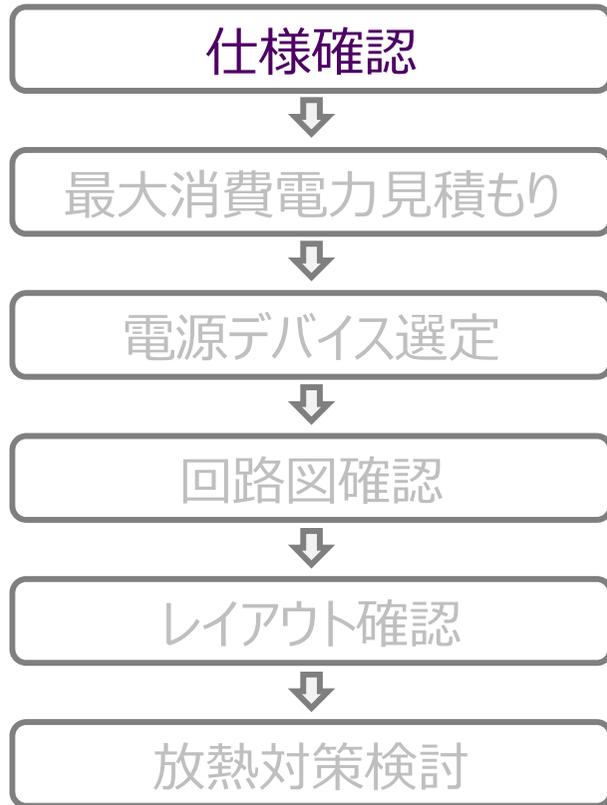


Design Flow

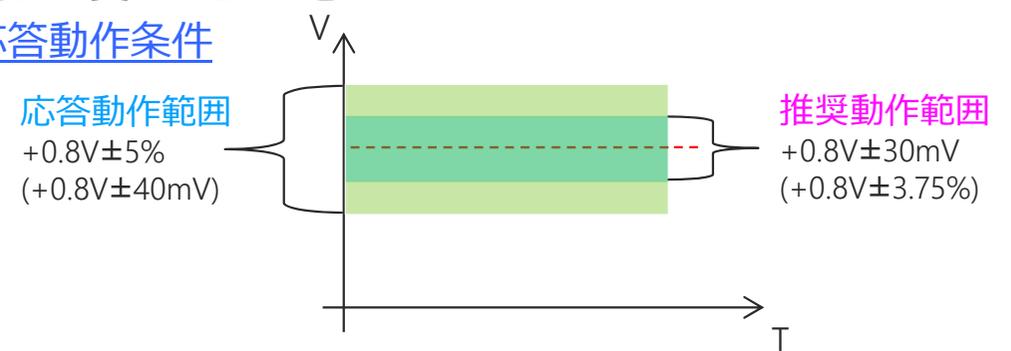
● 仕様確認

○ FPGA 電源入力条件の確認

- 運用状態では必ずこの電圧範囲に収める必要がある
- 推奨動作範囲
 - Recommended Operating Conditions
 - 電源デバイスの出力精度、またはフィードバック精度とフィードバック抵抗の精度、リップルを含める
 - 消費電流の増減によるリップルの増減
 - [Arria® 10 推奨動作条件](#)
 - [Stratix® 10 推奨動作条件](#)
- 応答動作範囲
 - Dynamic (Transient) Power Requirements
 - 電流急変時のピーク電圧
 - [応答動作条件](#)

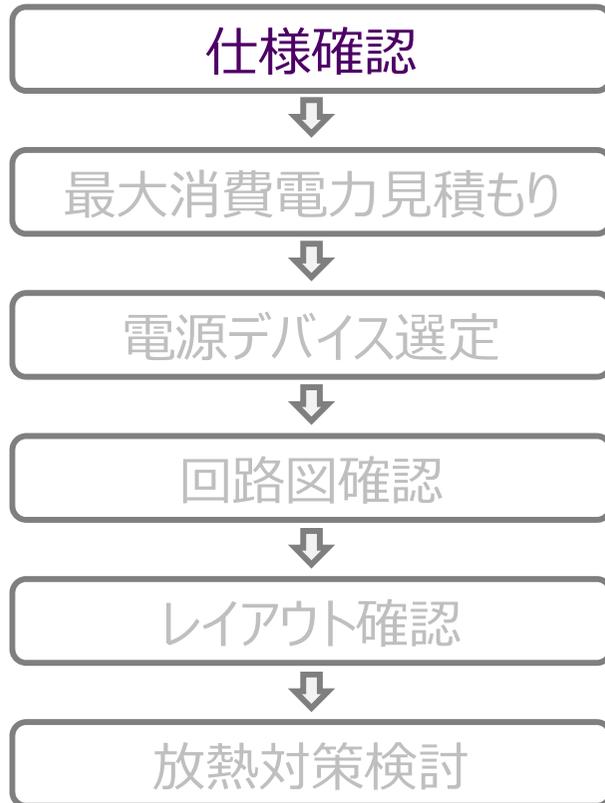


VCC range (Arria® 10)



VCC range (Stratix® 10)

Design Flow



● 仕様確認

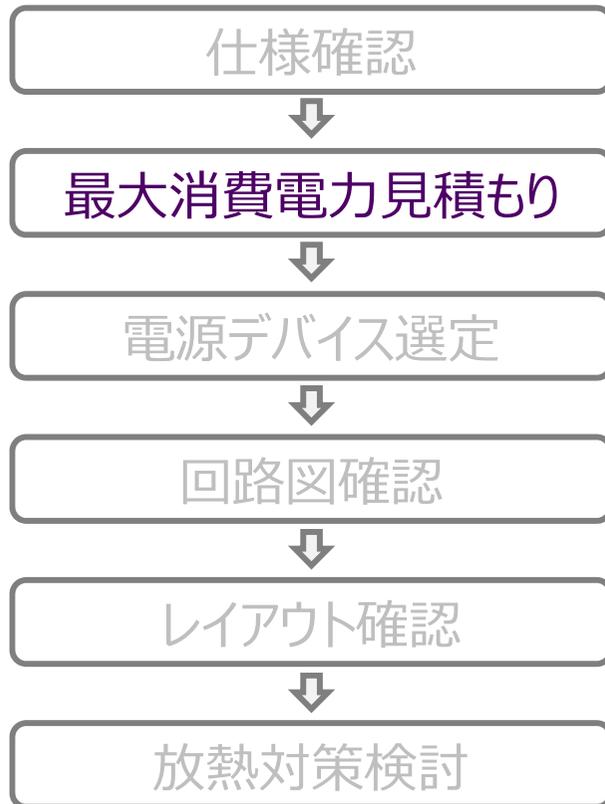
○ FPGA Power Up/Down シーケンスの確認

- Application Note 「[AN692](#)」を必ず参照すること
- 電源グループ
- 単調増加
- Power Up 時間
 - Standard POR : $200\mu\text{s} \leq t_{\text{RAMP}} \leq 100\text{ms}$
 - = [Arria® 10 推奨動作条件](#)
 - = [Stratix® 10 推奨動作条件](#)
 - tRAMP MAX は 100ms だが早い (10ms 以内) が望ましい
- Power Down 時間
 - 全ての電源レールを 100ms 以内に立ち下げる
 - = FPGA 各電源端子に規定される電圧の 10% 以下にする
 - 大容量のバルクコンデンサを実装している場合、100ms 以上かかる場合があるため、電荷を抜く回路が必要

○ 使用環境の確認

- 想定される周囲温度範囲 (Ta)
- ケースや密閉具合 (空冷の有無)

Design Flow



● 最大消費電力見積もり

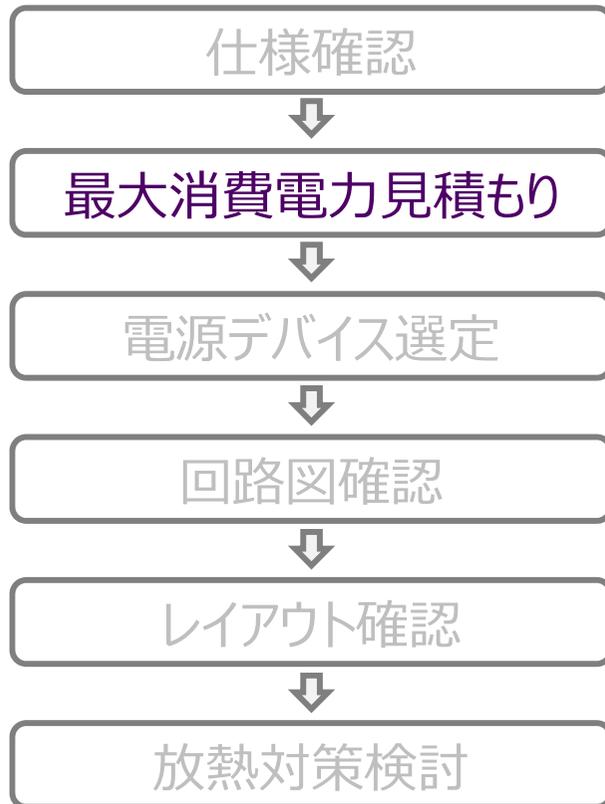
○ EPE での最大消費電力見積もり

- T_j を直接入力
 - T_j に対してアダプティブに放熱制御する場合
- スタティック消費電力
 - 温度依存性があるので、最大想定 T_j を入力すること
- ダイナミック消費電力
 - 回路規模、動作周波数、動作率に線形比例する
 - 回路規模が大きく、動作周波数が高い場合は、**わずかな動作率の誤差が大きな消費電力誤差になる**
 - = Appendix 「[帯域増加にともなう動作率上昇](#)」参照
- 見積りマージン
 - 不確定要素が多いほど多くのマージンを持つこと
 - 動作率が不明の場合は、**50% 以上を推奨**

○ Power Analyzer (PPPA) での見積もり

- 回路を入力後、テストベンチにより求めた動作率に基づく消費電力をツールで見積もり、実機と比較すること

Design Flow



● 最大消費電力見積もり

○ 最大電流変動の見積もり

- 運用時に生じる最大の電流変動を算出し、その変動に耐える電源を選択する必要がある

最大電流変動 =

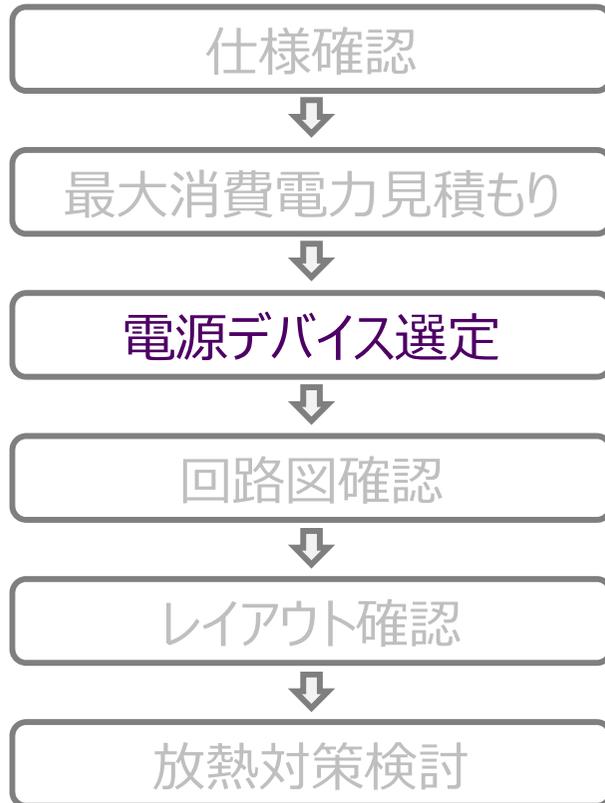
運用最大動作率時の消費電力 - 運用最小動作率時の消費電力

- Appendix 「[最大電流変動に対する電源変動耐力](#)」参照

○ 電流変動が大きいアプリケーション

- 動作率が短時間で大きく変動するアプリケーション例
 - 大容量イーサネット・パケット・スイッチ
 - 複数ポートの独立レーンのインターフェース
 - 間欠動作をする回路
 - 複数フォーマットを切り替える画像スイッチャ
 - 領域の大きなパーシャル・リコンフィグレーション

Design Flow



● 電源デバイス選定

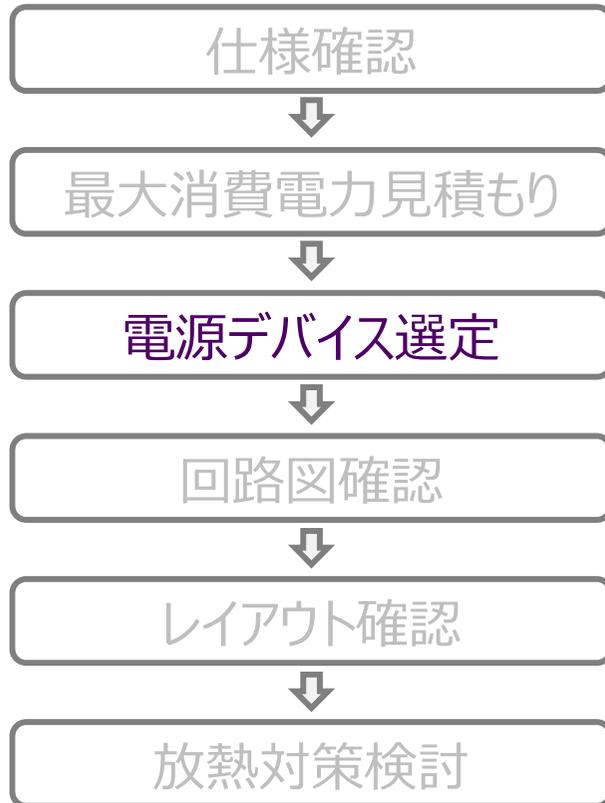
○ 基本スペックの確認

- VIN Range、VOUT Range、IMAX、ENABLE、POK
- 出力に接続できる総容量に注意
 - 突入電流の過電流検出による起動不良発生の回避
- リモートセンスが可能なデバイス
 - 電源デバイス-FPGA 間の距離によらず電圧ドロップ込みで補正が必要なため
- 大電流観測が可能なデバイス
 - PMBus 等、電源デバイスに電流モニタが付いたもの

○ 電源デバイス入力条件の確認

- 電源デバイスに入力する電圧は FPGA 各電源入力の電圧よりも高い電圧であること
- 電源デバイスへの供給元電源は、Power Down シーケンスを完遂するまで保持できること

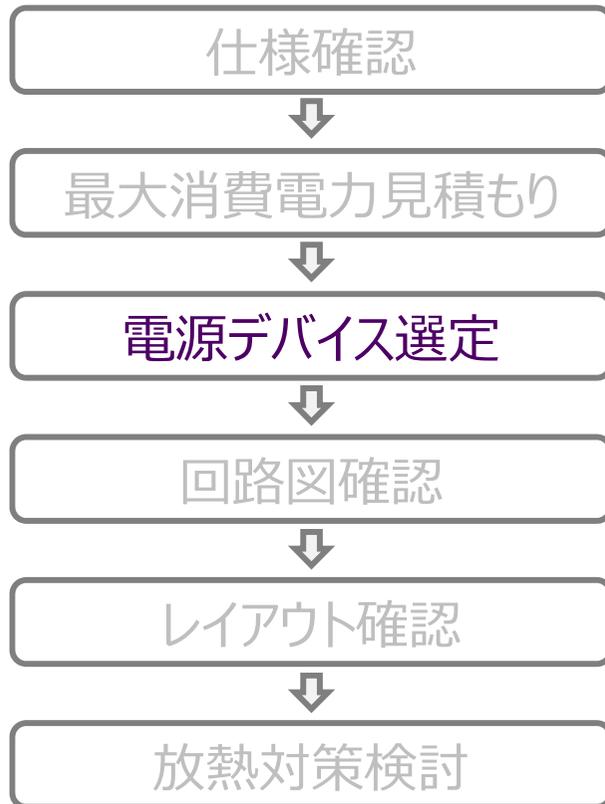
Design Flow



● 電源デバイス選定

- FPGA の要求仕様に対応する電源デバイスを選定
 - FPGA CORE 用電源
 - 最大電流変動を満たすデバイスを選択すること
 - = Appendix 「[最大電流変動に対する電源変動耐力](#)」参照
 - 推奨電源デバイス「[Enpirion® EM21xx/EM22xx Digital PowerSoC family](#)」
 - トランシーバー用電源
 - トランシーバーは常に動作しているので電流変動は小さい
 - ジッターを抑えるためリップルがなるべく小さい電源デバイスを選定
 - 推奨電源デバイス「[Enpirion® EN29A0QI PowerSoC](#)」

Design Flow



● 電源デバイス選定

○ ピンコンパチブルデバイスの選定

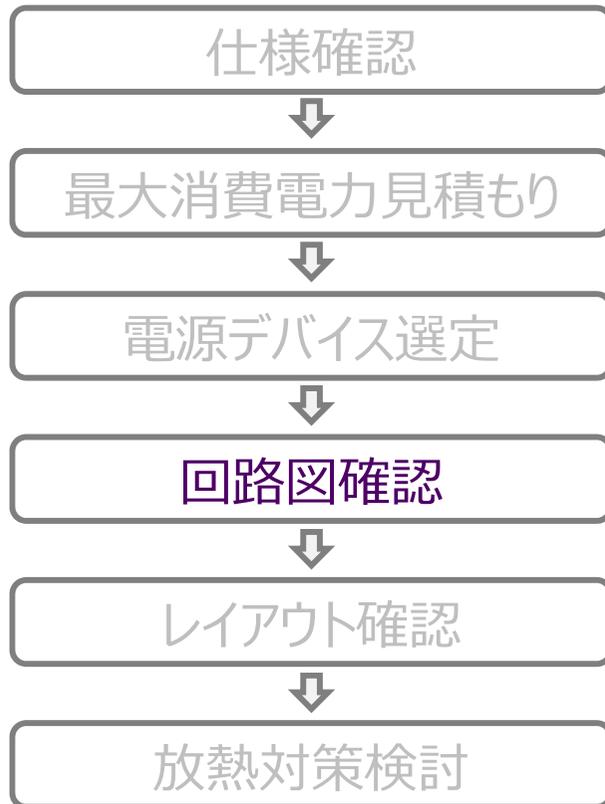
- 消費電力見積り精度が低い場合、ピンコンパチブルのファミリーを持つ電源デバイスを選択し、最も電流容量の大きなデバイスを仮実装し、リスクを回避

- 推奨電源デバイス「[Enpirion® EM21xx/EM22xx Digital PowerSoC family](#)」

○ PMBus 搭載による操作・機能（例）

- 出力電圧の設定が可能
- 2次側電流測定が可能
- Power Up シーケンス制御が可能
- 電源デバイスの Power Up 時間の変更が可能
- 温度測定が可能
- 入出力電圧の測定が可能
- 保護機能設定
- Power Down シーケンス制御は別途外部回路が必要

Design Flow



● 回路図確認（電源デバイス周り）

○ 例：「EM2130xQI」

- 回路図作成

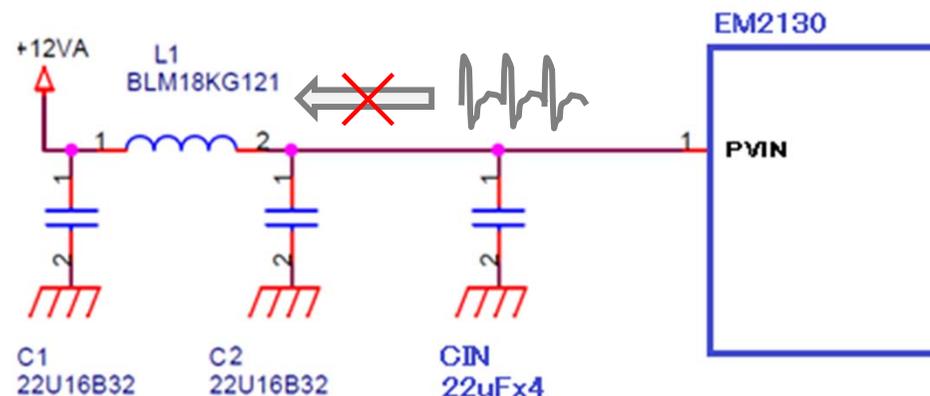
- [Datasheet](#)
- [Application Note](#)
- [Evaluation Board User Guide](#)

- レイアウト作成

- Gerber Files については問い合わせ
- [Soldering Guidelines](#)

○ フィルタ選定

- 電源入力側で発生するスイッチングノイズ拡散を防止



参考回路

Design Flow

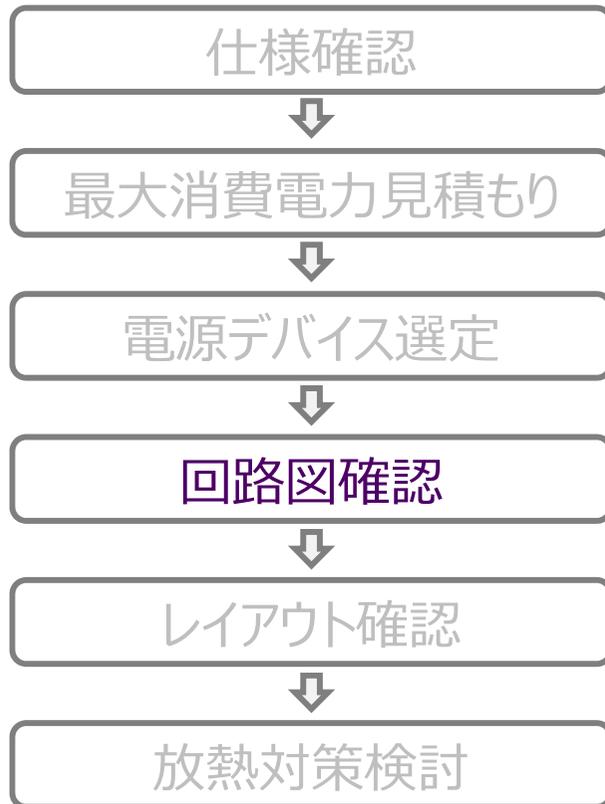


● 回路図確認 (FPGA 周り)

- 出力総容量確認
 - 突入電流に注意
 - 負荷の同時起動に注意
- 応答動作範囲に収めるための容量確認
 - [PDN tool](#)
 - 応答動作範囲に収めるため、基板のインピーダンスを Z_{target} 以下にする必要がある
 - FPGA 各電源端子の応答特性を確認
 - 簡易見積もりツールである点に注意
 - 必ず精度の高い基板シミュレータ等を使用する
 - コンデンサは後程調整できるようパターンを多めに用意
 - PDN 等見積もり個数以外は未実装としておく
 - 大電流の最大電流変動の場合、PDN Tool において
 - Z_{target} を満たすデカップリング容量が無い
 - Z_{target} を満たすが、デカップリング容量が大きすぎて実装できない

→ 弊社担当に相談する (Appendix「[PDN Tool Input](#)」参照)
- FPAG のアナログ電源端子にビーズを挿入

Design Flow



● 回路図確認（電源デバイスと FPGA 周り）

○ 電圧測定ポイントを設ける

- 電源デバイス

- VIN、VOUT の電圧測定ポイントを設ける
- VIN、VOUT の対になる GND のポイントを明確にしておく

- FPGA

- 各 FPGA 電源入力端子の電圧測定ポイントを設ける
- 各 FPGA 電源入力端子の直下または引き出すポイントを明確にしておく

○ 電力効率と発熱の確認

- EPE 見積もりに応じた電源デバイスの電力効率 η を確認
- 入出力電力ロス P_{loss} 、電力効率 η 、パッケージ熱抵抗 θ_{ja} から電源デバイスの発熱を確認
- Appendix 「[電源デバイスの発熱概算算出](#)」参照

○ 実運用中に電源・温度を測定できるようにしておく

- [FPGA 内部の温度センサーを使用](#)

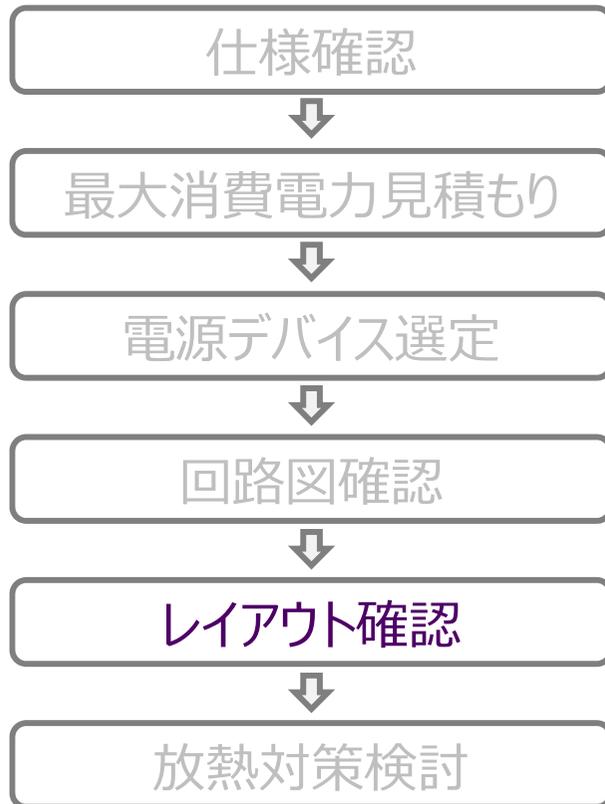
Intel® Stratix® 10 Power Management User Guide

- https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/stratix-10/ug-s10-pwr.pdf

Intel® Stratix® 10 Temperature Sensing Diodes

- https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/stratix-10/ug-s10-adc.pdf#page=5

Design Flow



● レイアウト確認

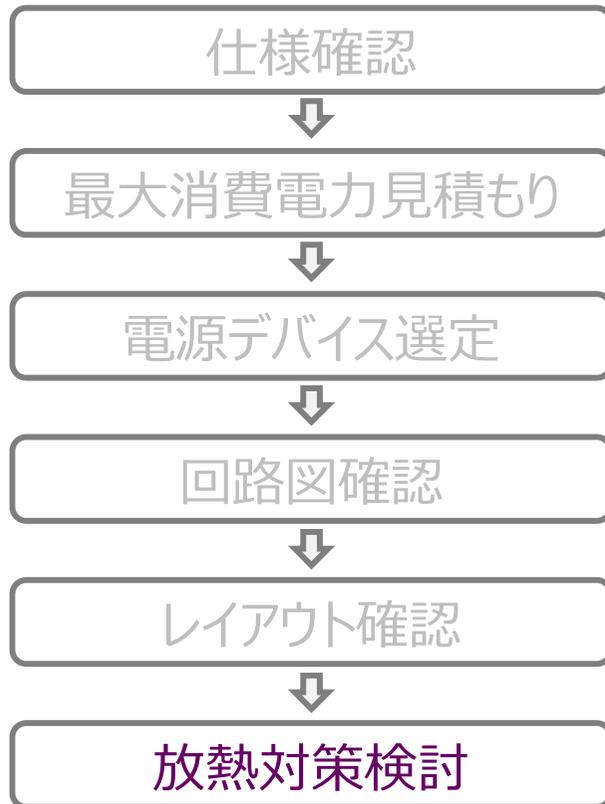
○ パターンの注意点

- 電圧測定ポイントを予め決定し、測定可能な配置とする
 - VIN、VOUT の電圧測定ポイントを設ける
 - プローブと GND の取り方に注意 (CIN、COUT 直近に TP)
 - 各 FPGA 電源入力端子の電圧測定ポイントを設ける
 - FPGA 直下での電圧測定が理想
- 電源デバイス-FPGA 間の電源配線パターンは細くしない
- 電源デバイス-FPGA 間にビーズを設ける場合パターンを細くしすぎない
- 電源デバイスの出力コンデンサは電源デバイスに近づける
- FPGA のデカップリングコンデンサは FPGA 端子に近づける
- 電源デバイス-FPGA 間の距離を近づけるのが最優先



COUT : DCDC の VOUT 用のフィルタ (出力コンデンサ)
Cdecoupling : FPGA 用のパスコン (デカップリングコンデンサ)

Design Flow



● 放熱対策検討

- 熱シミュレーションを行うこと
 - Thermal Model を入手
 - Thermal Model の入手については問い合わせ
- アダプティブな温度調整を行うこと
 - 実測した T_j による風量調整や動作速度低下等の適応温度調整は必須
 - 放熱設計（温度センサ、アダプティブな風力調整、ヒートシンク（グリス or シート））
 - 必ず温度センサを利用する
 - = FPGA 内蔵あるいは外部センサを使用
 - 密着を良くするためチップ-ヒートシンク間にグリスを塗布する
 - = サーマルシート使用時は、FPGA のコプラナリティ（反り）に注意
 - = グリス劣化による寿命があることに注意

Debug Flow

Agenda

- 初期動作確認（必須項目）
- リップル測定方法
- トラブルシューティング（電源）
 - 初期解析（原因切り分け）
- 不具合事例
 - 電源系が原因で FPGA 動作不良となった事例
 - 放熱が原因で FPGA 動作不良となった事例

初期動作確認 1/2

- FPGA の波形測定

- 入力電圧値の確認

- 入力電圧が設計値となっていることを確認

- リップル電圧波形の確認

- リップル電圧レベルが FPGA の要求仕様を満たしているか確認
- リップル電圧波形の確認は「[リップル測定方法](#)」に従うこと

- 起動時の電源波形

- 単調増加で起動しているか確認
- 電源グループの起動順序の確認

- 負荷変動時の電圧波形確認

- FPGA 最大負荷動作時及び最大負荷変動時のリップル電圧変動を確認
- FPGA リセット解除時、キャリブレーション動作時、等

* サポートを円滑に進めるために、**必ず波形の保存**を行うこと

* 電圧・波形測定ポイントは下記の Appendix を参照

- Appendix 「[電圧測定ポイント](#)」、「[電源の波形確認](#)」

初期動作確認 2/2

● 消費電力の測定

- GUI (PMBus) を用いて測定
 - [Intel® Enpirion® Digital Power Configurator](#)
 - GUI の Help より GUI User Guide が参照可能
- 電流値が大きい場合は、電流検出抵抗は電圧降下が発生するため使用不可
 - Appendix 「[配線抵抗の影響](#)」参照

● デバイス温度の確認

- Enpirion : GUI (PMBus) を用いて測定
 - Tj が推奨温度範囲以内であること
 - [Intel® Enpirion® Digital Power Configurator](#)

- FPGA : 温度センサ・ダイオードを用いて測定

*** θ_{jc} での算出は誤差が大きいため必ず温度センサ・ダイオードを使用すること**

(JEITA EDR-7336 半導体製品におけるパッケージ熱特性ガイドライン 参照)

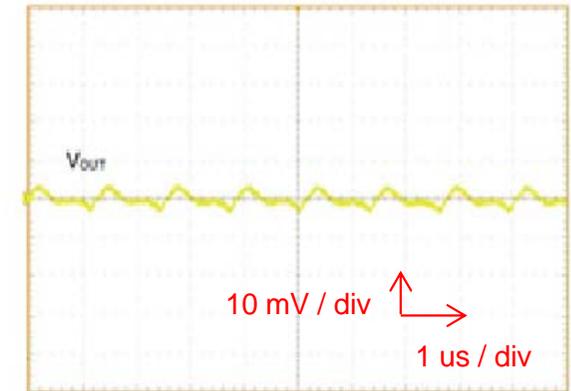
- Tj が推奨温度範囲以内であること (温度センサ・ダイオードを使用して風力調整すること)
- MOS <https://service.macnica.co.jp/support/faq/108777> (温度センサ・ダイオード)
- MOS <https://service.macnica.co.jp/library/121897> (FPGA の周囲温度とジャンクション温度との関係)
- [Intel® FPGA Temperature Sensor IP Core User Guide](#)
- [Intel® Arria® 10 Device Datasheet](#) (温度センサ・ダイオードの精度)

リップル測定方法



- オシロスコープの帯域/プローブ
 - 最低でも 1G 帯域のオシロスコープを使用する
 - 電源プローブ（パワーレールプローブ）
- オシロスコープの測定レンジ/スケール
 - $V_{OUT} : 10 \text{ mV / div}$
 - $\text{Time} : 1 \text{ us / div}$
- トリガ
 - トリガー・モードで測定すること
 - ノイズの最大値を測定する場合
 - トリガがかかる上限と下限のギリギリで設定・測定すること
- 測定ポイント
 - 可能な限り FPGA の直近で測定すること
 - Appendix「[電圧測定ポイント](#)」参照
 - その他の波形取得については「[電源の波形確認](#)」参照

■ 測定方法



$V_{IN} = 12\text{V}, V_{OUT} = 0.9\text{V}$
 $1 \mu\text{s/div}, V_{OUT}: 10 \text{ mV/div}, 20 \text{ MHz bandwidth}$

リップル測定方法

● 推奨プローブ

	プローブ+グラウンドリード	グラウンドスプリング	50Ω 同軸ケーブル	電源プローブ (パワーレールプローブ)
コア電源 トランシーバ—電源 (概ね 1.2V 以下)	×	△	○	○
トランシーバ—電源 PLL 電源 IO 電源 など (概ね 1.5V 以上)	○	○	×	○

- 電源プローブ
 - 一般的に、1:1 減衰比のアクティブ・プローブ
 - 広いオフセット範囲と、広帯域幅が特徴で、電源リップル測定に適している
 - 各測定器メーカー専用の電源プローブを必要とする
- 50Ω 同軸ケーブル
 - 特殊な機器を必要とせず、安価に測定することが可能
 - 電源プローブよりもオフセット電圧が限られるため、概ね 1.2V 以下の電圧範囲で使用することを推奨
 - プロービング方法によっては実際のリップルよりも大きく見える場合がある

トラブルシューティング（電源）

Debug Flow

不具合症状の確認



設計資料の確認



動作確認

- 出力電圧の有無
- PVIN-PGND 抵抗値
- VOUT-PGND 抵抗値
- GUI を使用して Alert が出力されていないか確認

- 回路図（接続、定数）
- レイアウト（Layout Recommendations）
- 実装（温度プロファイル、メタルマスク）

- 波形確認
 - 起動/停止時の入力電圧、出力電圧、CTRL、POK
- 消費電力測定
 - 見積もり値の誤差範囲か
- 不具合事例項目参照

* 不具合症状の初期確認項目は Appendix 「[Debug Check List](#)」参照

* 動作確認(波形確認)の注意事項は Appendix 「[電源の波形確認](#)」参照

不具合事例：電源系が原因でFPGA動作不良となった事例

- Configuration が終了しない
 - 起動時の突入電流の影響でコア電圧に電圧降下が起こり、Configuration が失敗
- リンクアップされない
 - トランシーバー電源をチップビーズを挿入してコア電源から分配していたが、チップビーズの抵抗分により電圧降下が発生し、推奨動作範囲を逸脱
 - PCI Express® の Debug については「[PCI Express® デザイン & デバッグガイドライン](#)」 Debug Flow 項目を参照
- データ化け
 - メモリに使用していた電源のリップルが大きく、メモリの推奨動作電圧を逸脱していたため、データ化けが発生
- Bit Error の発生
 - 電源のリップルが大きくジッタが増加しアイパターンが閉じてしまうことで Bit Error が発生
 - EMIF の Debug については「[External Memory Interface \(EMIF\) Design and Debug Guideline](#)」 Debug Flow 項目を参照
- 動作周波数を上げると動作しない
 - 電圧が同じ電源を共有しコイルによる電源分離を行うことにより、電源の応答性が阻害され、結果として高速応答ができないため、周波数を上げることで動作不良となる
 - 詳細は、Appendix「[電源共有時のコイルによる電源分離に対する注意点](#)」を参照

* 不具合事象が、間欠不良、温度依存、固体依存の場合は、電源起因の可能性が高いため FPGA の切り分けと並行して実施

* Appendix : 「[電源ノイズとジッタ増加](#)」参照

* Enpirion Debug Tool は Appendix「[Drop in board](#)」参照

不具合事例：放熱が原因で FPGA 動作不良となった事例

- データ化け
 - T_j が規定値を越えたため、FPGA 内部遅延が増加し、データ化けが発生
- シャットダウン
 - 温度上昇による FPGA のスタティック電力の増加が放熱能力を上回ったため、熱暴走が発生し、シャットダウンが発生
- 半田ボールはがれ
 - 熱により基板や FPGA のコプラナリティ（パッケージの反り）の影響で半田ボールはがれが発生し FPGA が動作しなくなる

最後に

製造プロセス・テクノロジーの微細化に伴い、デバイスに実装される回路は大規模かつ高速になってきています。一方で電源に対する要求事項は従来に比べはるかに厳しい条件となってきました。

また、電源が起因する問題であっても、FPGA の不具合として表れる現象も多く発生しているため、電源設計はますます重要度が増してきています。

本資料を用いて、**1V 以下の電源電圧で 20W (20A) を超えるデザイン**においても想定される不具合を未然に防ぐとともに、不具合発生時のデバックにおいても速やかに問題点を見定め早期解決を図ることにより、設計時間の短縮、市場への不良流出の防止のためにガイドラインを守り、不具合のない製品を最短期間で市場に投入させましょう。

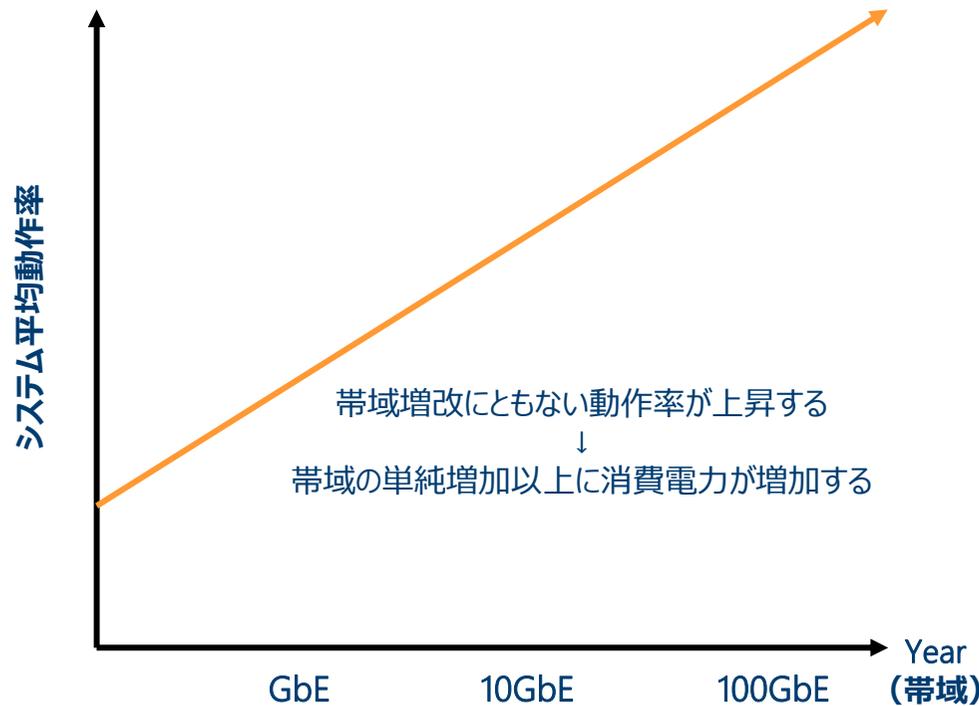


Appendix

Agenda

- 帯域増加にともなう動作率上昇
- PDN Tool Input
- 最大電流変動に対する電源変動耐力
- 電圧測定ポイント
 - Arria® 10 GX FPGA Development kit での例
- 電源の波形確認
- 配線抵抗の影響
- Debug Check List
- 電源共有時のコイルによる電源分離に対する注意点
- 電源ノイズとジッタ増加
- Drop in board
- 電源デバイスの発熱概算算出

帯域増加にともなう動作率上昇



Ethernet	GbE	10GbE	100GbE
内部バス幅	8bit	64bit	512bit
内部周波数	125MHz	156.25MHz	300MHz
CLK数 / フレーム	64	8	2

64バイトの場合



*: ランダムの場合、最悪は 1
 **: フレーム毎に変化する場合

回路規模の増加、周波数の高速化にともない動作率のわずかな誤差が大きな消費電力の違いとなる
 一方、開発初期時には、正確な回路規模、動作率を求めることは困難なことから、

- ・十分に**余裕**を持った消費電力見積り（動作率不明の場合は **0.5** 以上を推奨）
- ・**ピンコンパチブル**で容量が選択可能な電源の採用（例：EM21xx / EM22xx：消費電力測定後に最終選択）

が、リスク低減のため必要

PDN Tool Input



		Group #	1	2	3	4
		Regulator / Separator	linear	linear	linear	linear
		Parent Group	none	none	none	none
Rail	Voltage	I max				
VCC	0.9	50	x			
VCCA_PLL	1.8	0				
VCCBAT	1.2	0				

I_{max}

Rail Group Summary	Unit				
Voltage	V	0.90	ΔI	--	--
Total Current	A	50.00	--	--	--
Dynamic Current Change		Calculate	Calculate	Calculate	Calculate
	%	50%	--	--	--
Die Noise Tolerance		Calculate	Ca	Calculate	Calculate
	%	5%	--	--	--
Core Clock Frequency		Medium	N/A	N/A	N/A
	MHz	300	--	--	--
Current Ramp Up Period		Medium	N/A	N/A	N/A
	# of Cycles	50	--	--	--
Z _{target}	Ω	0.0018	--	--	--

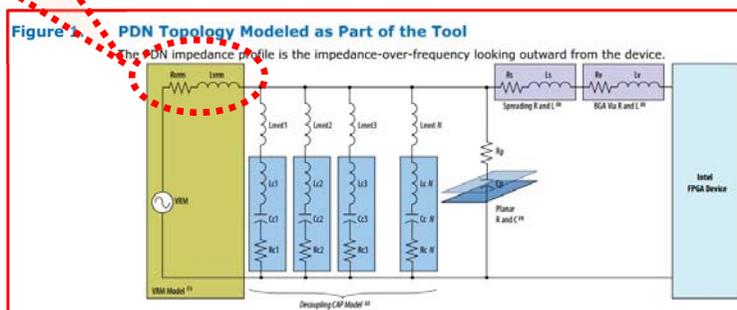
ΔI

Δt

高速応答電源は単純 R/L モデルではない

VRM Impedance		Library	Library	Library	Library
VRM Resistance	R(Ω)	0.001	0.001	0.001	0.001
VRM Inductance	L (nH)	10	10	10	10

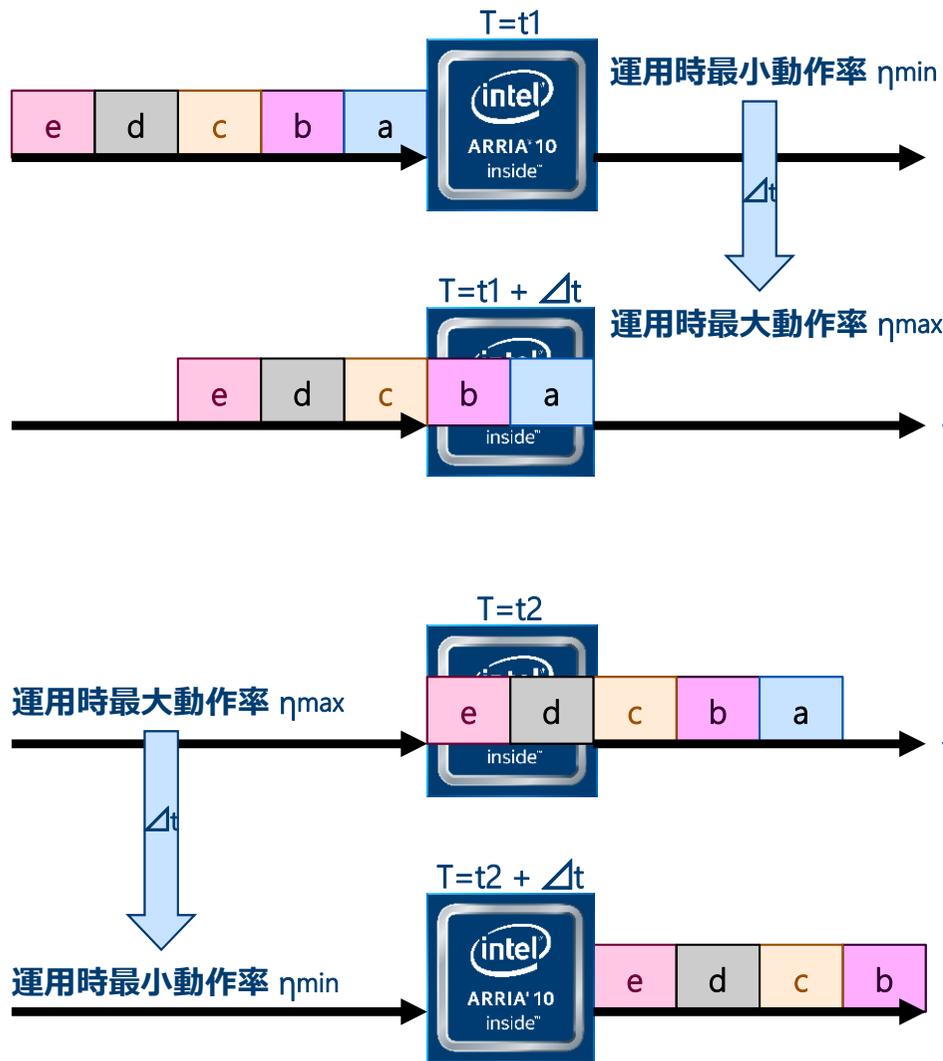
単純 R/L モデル



電源モジュールを選択するか直接入力

I_{max} が大きく、ΔI / Δt が大きい場合には、Z_{target} を満たすことができない

最大電流変動に対する電源変動耐力

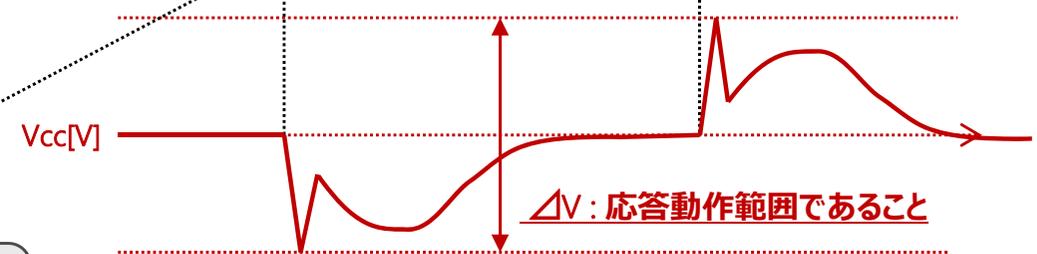
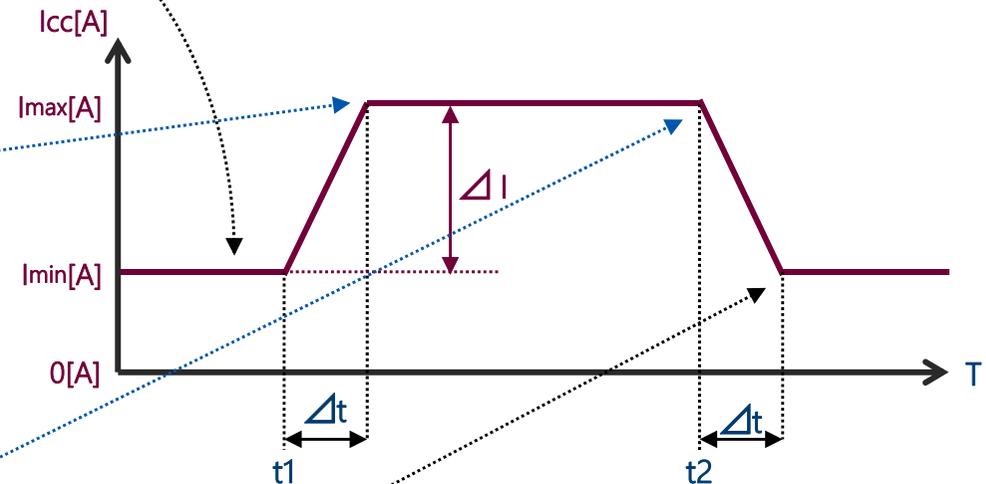


電源は $\Delta I / \Delta t$ の電流変動に対して、電圧変動量 ΔV を応答動作範囲以内に収めなければならない

$\Delta I = I_{max} - I_{min}$: 最大電流変動

I_{max} : η_{max} 時の電流値

I_{min} : η_{min} 時の電流値



EPEにて I_{max} と I_{min} を見積り、 ΔI を算出
論理シミュレーションにて、 Δt を算出

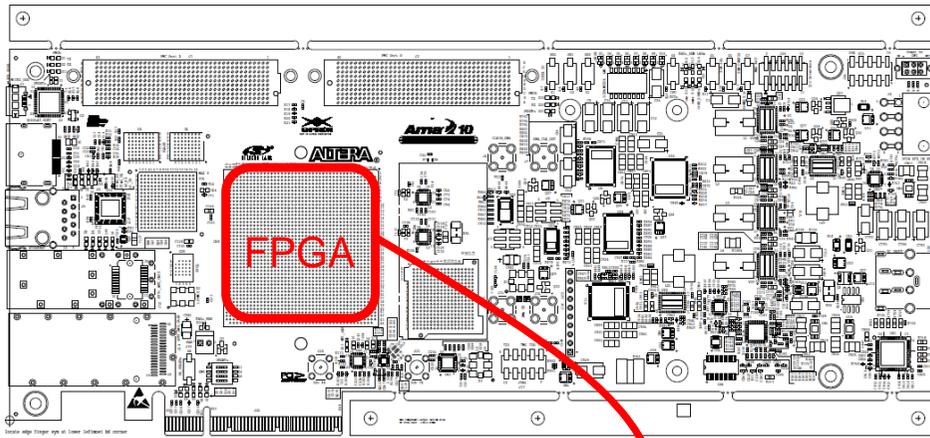


電源ベンダに確認
(高速応答電源が必要な場合あり)

電圧測定ポイント

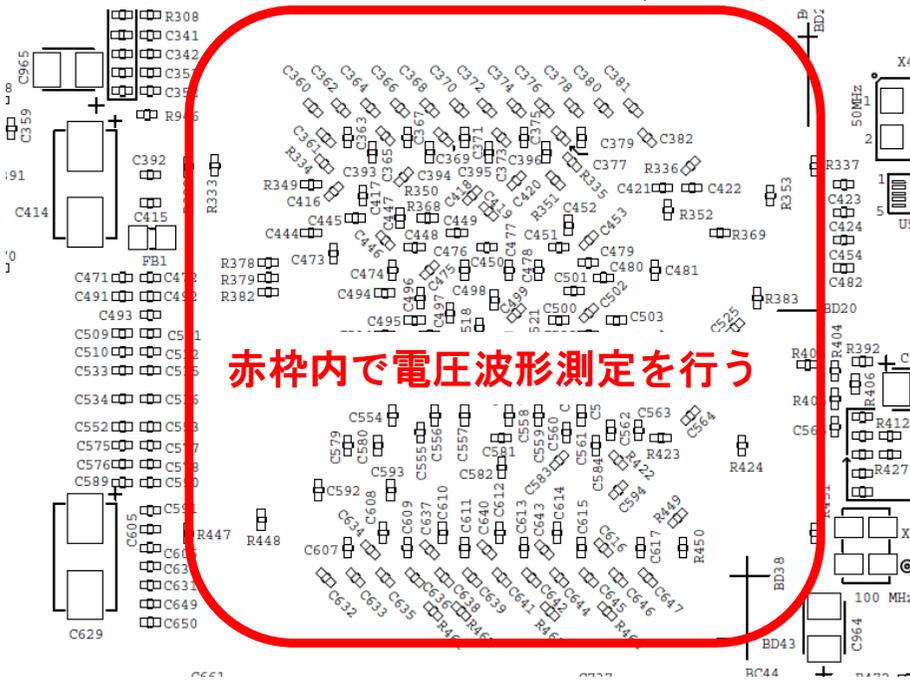


TOP SIDE SHOWN



BOTTOM SIDE 拡大

BOTTOM SIDE SHOWN



赤枠内で電圧波形測定を行う

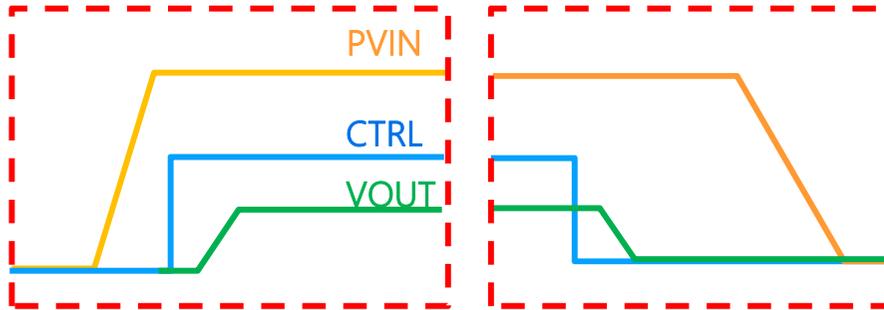
- 必ず FPGA の間近に配置されているポイントで測定すること
- FPGA 直下の裏面にデカップリングコンデンサを配置している場合は、デカップリングコンデンサの両端で測定すること
- GND は、フレーム GND は使用しないこと

左記は、
Arria® 10 GX FPGA Development
Kit での例

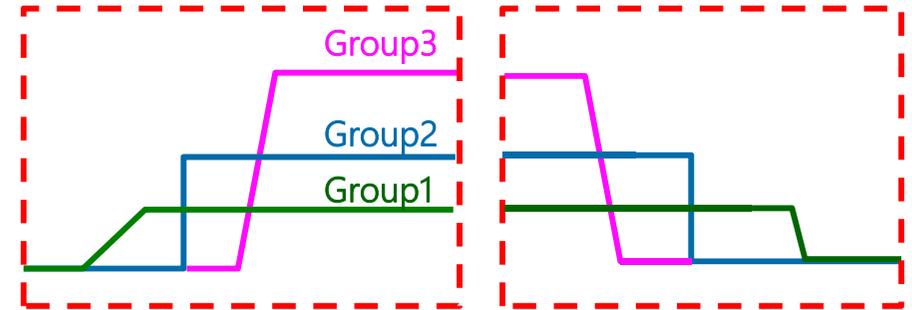
電源の波形確認



● Enpirion 起動 / 停止波形 (PVIN、CTRL、VOUT)



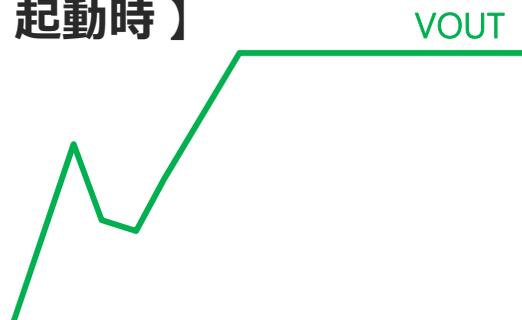
● FPGA 電源起動 / 停止波形 (Group 毎)



各電圧、信号のタイミングを確認する場合は、測定対象が**1画面に収まる**ように測定を行うこと

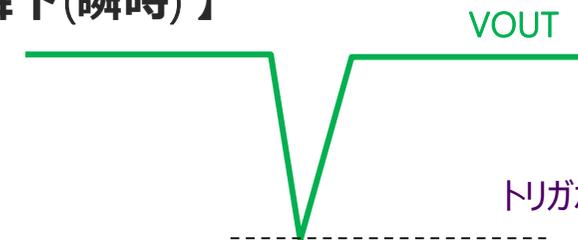
● 出力電圧波形

【 起動時 】



起動時での単調増加確認は VOUT の起動開始から出力安定するまで1画面に収まるように測定を行うこと

【 電圧降下(瞬時) 】



トリガポイント注意

瞬間的な電圧降下を確認する場合は、電圧軸、時間軸共に波形が収まる範囲で最大限に拡大すること。また、トリガポイントがギリギリになるように設定を行うこと

配線抵抗の影響

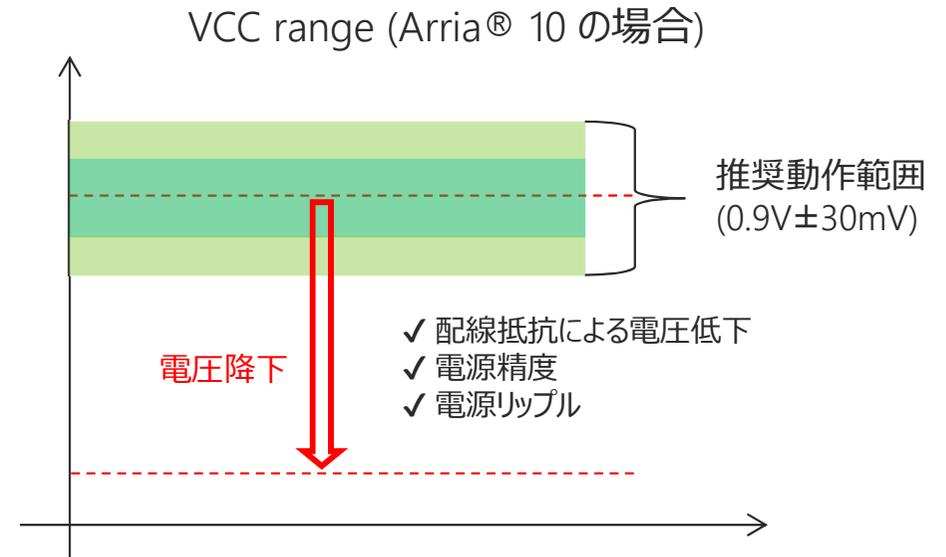
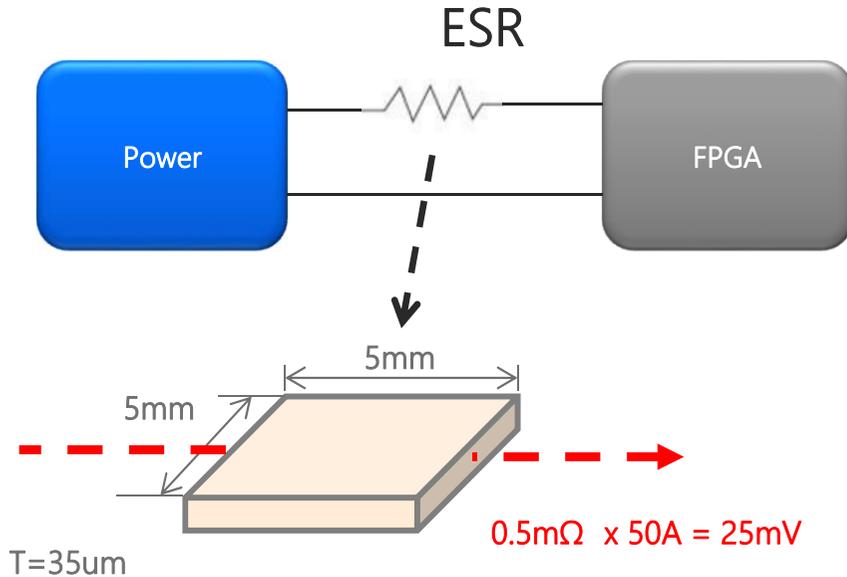


* 例) 一般的なプリント基板の配線抵抗の影響について

右記の条件での配線抵抗

$$R = 0.0168 \times 5 / (5 \times 0.035) \\ \doteq 0.5\text{m}\Omega$$

- 銅箔厚み $T = 35\mu\text{m}$
- 長さ $L = 5\text{mm}$
- 幅 $W = 5\text{mm}$



電圧降下、電源の精度、リップルを考慮した場合、
リモートセンシング機能が無いと推奨動作範囲を逸脱する可能性有り

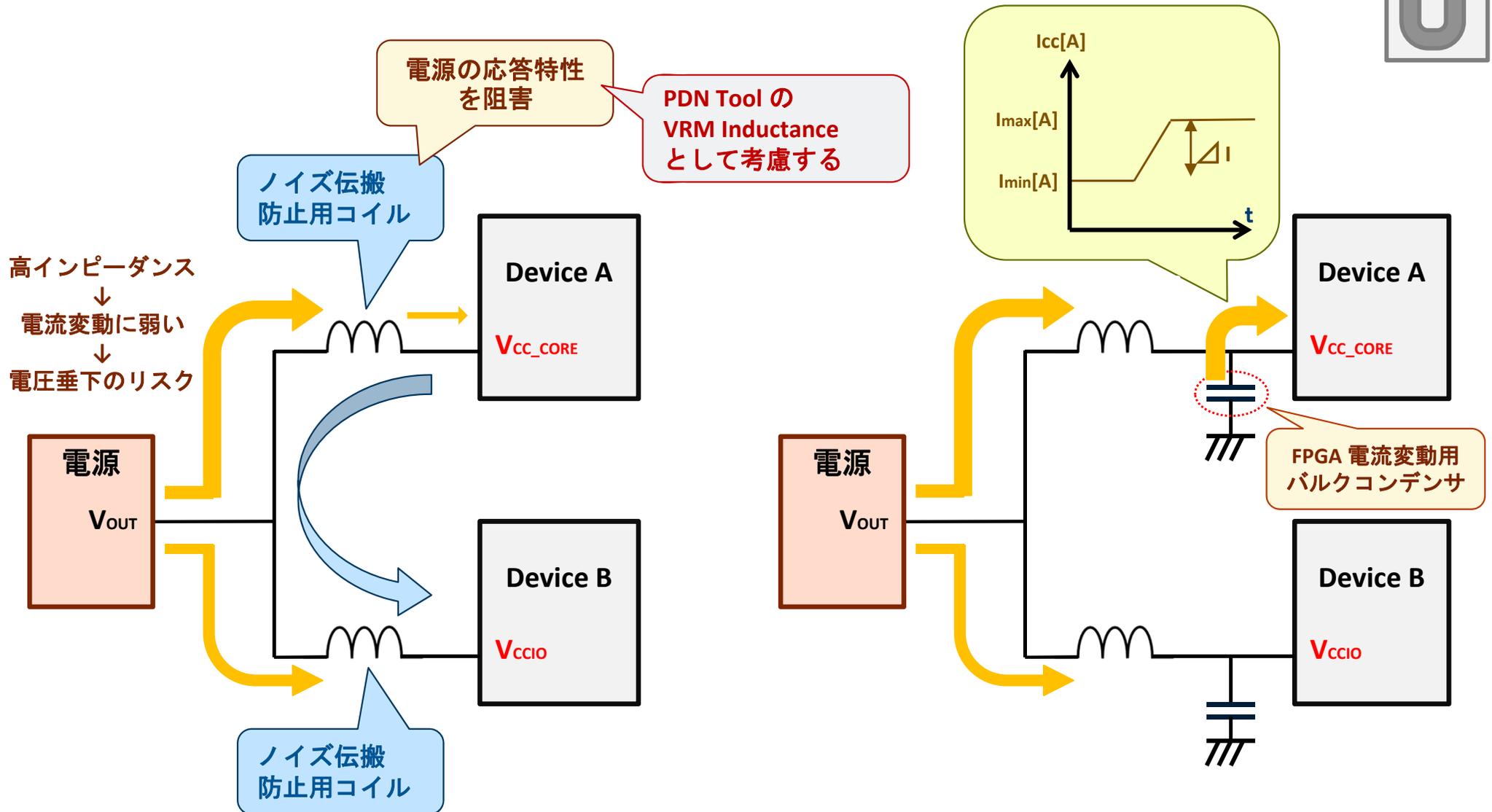
Debug Check List



- 症状切り分けのため、下記項目について事前に確認を行うこと

確認フロー	項目	確認項目
初期確認	デバイス	デバイス名
	Lot No.	Intel® Enpirion® Power Solutions Product Marking Information 参照
	Datecode	Intel® Enpirion® Power Solutions Product Marking Information 参照
	症状	例) CTRLがアサートされているが、起動時に電圧が出力されない。等
	発生頻度	xx発生 / xx 製造
不具合症状確認	出力電圧	所望の電圧が出力されているか確認
	PVIN-PGND抵抗値	正常基板と異常基板の差分がないか確認
	VOUT-PGND抵抗値	正常基板との差分がないか確認
	GUIを使用してAlertが出力されていないか確認	Intel® Enpirion® Digital Power Configurator (GUI) を使用し Alert が出力されていないか確認
設計資料の確認	回路図 (接続、定数)	推奨回路と比較し接続箇所や定数に差分がないか確認
	レイアウト (Layout Recommendations)	推奨レイアウトと比較し差分がないか確認
	実装 (温度プロファイル、メタルマスク)	推奨実装条件を逸脱していないか確認

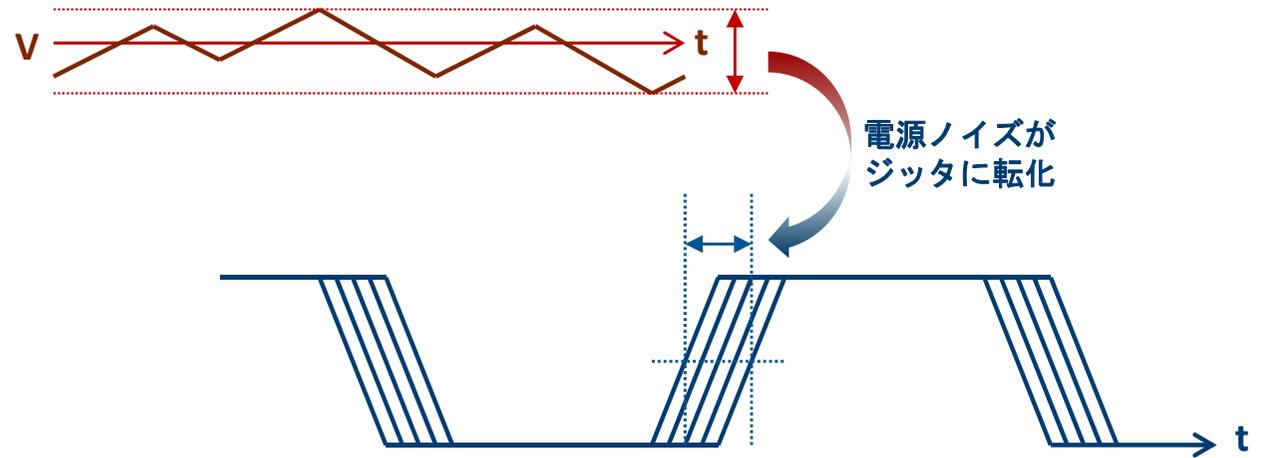
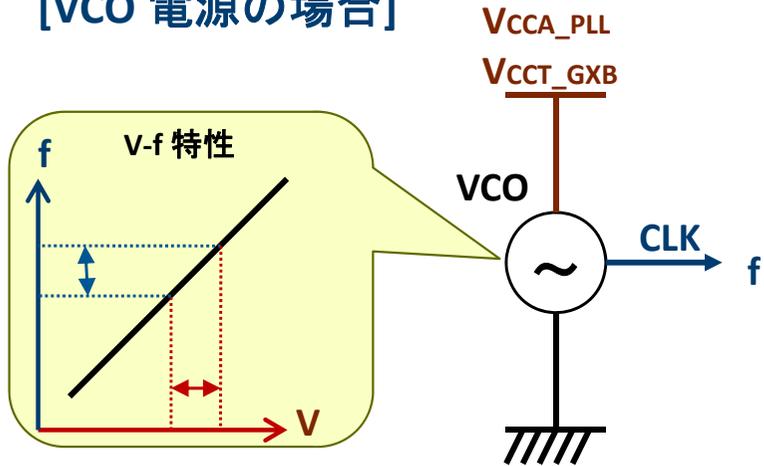
電源共有時のコイルによる電源分離に対する注意点



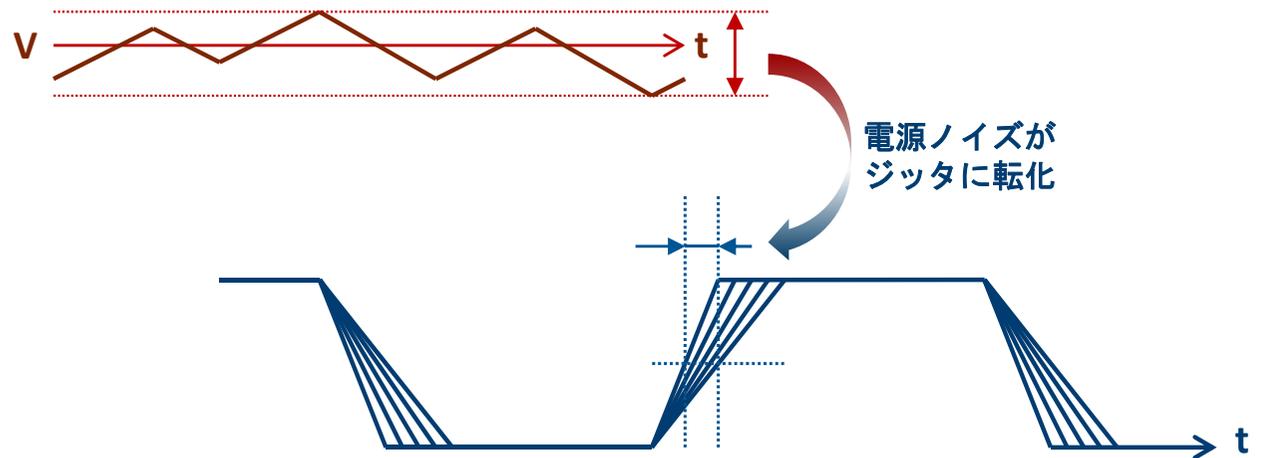
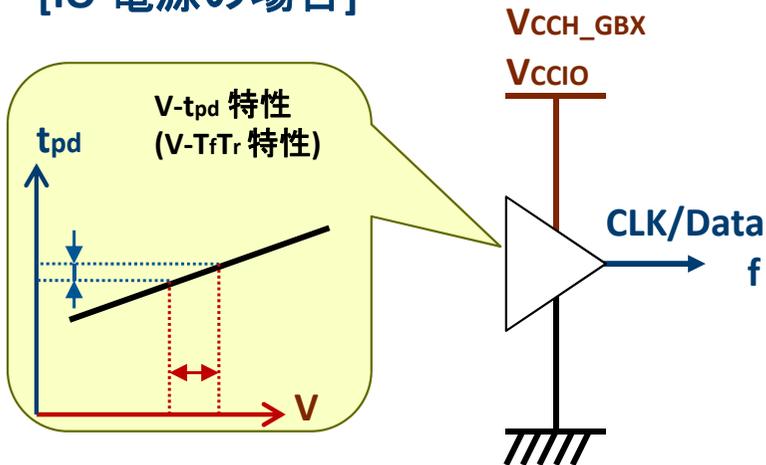
電源ノイズとジッタ増加



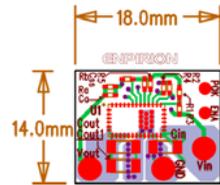
[VCO 電源の場合]



[IO 電源の場合]



Drop in board



Dime Size 6V_{IN} 3A/4A Solution



● Debug Tool

○ Drop in board

- Enpirion® デバイスと推奨周辺部品が実装されたコインサイズの電源 Tool である
- この Tool を使用することで、電源の Debug や Enpirion® デバイスの初期テストを迅速に確認することが可能
- PVIN、VOUT、PGND をお客様の基板に接続するだけで、Enpirion® ソリューションをすぐに使用することが可能

* Drop in board のお問い合わせは 弊社担当営業、または担当 FAE にお問い合わせください。

電源デバイスの発熱概算算出 1/2

電源デバイスの発熱概算の考え方

電源デバイスが何℃で使用できるかジャンクション温度 T_j [°C] を概算して確認。DCDC の電力効率 η から入出力の電力差 PD [W] と周囲温度 T_a [°C]、 $T_j - T_a$ 間の熱抵抗 θ_{ja} [°C/W] を用いて算出。この算出の中で温度上昇 ΔT [°C] が求まり、使用条件を満たすか周囲温度 T_a [°C] との関係に注意して設計を行う。

電源デバイスは一般的に発熱による温度上昇をパッケージ許容損失内に収めるため電流を制限する温度ディレーティングを考慮する必要があるが Intel® Enpirion 電源デバイスは基本的に考慮は不要。

概算算出例 (EM2130L)

EM2130 デバイスデータシートから 1~4 を確認

1. ジャンクション温度 T_j [°C] の確認

Absolute Maximum Thermal Ratings にある Operating Junction Temperature : T_j [°C] を確認
 $T_j = +125$ [°C]

2. ジャンクションから周囲温度までの熱抵抗 θ_{ja} [°C/W] の確認

Thermal Characteristics にある
 Thermal Resistance: Junction to Ambient : θ_{ja} [°C/W] を確認
 $\theta_{ja} = 8$ [°C/W]

3. 動作条件の確認

デバイスを使用する入力電圧 V_{IN} [V]、出力電圧 V_{OUT} [V]、出力電流 I_{OUT} [A]、周囲温度 T_A [°C] を確認
 $V_{IN} = 12$ [V]、 $V_{OUT} = 0.9$ [V]、 $I_{OUT} = 30$ [A]、 $T_A = 25$ [°C]

4. 入力電圧 V_{IN} [V]、出力電圧 V_{OUT} [V]、出力電流 I_{OUT} [A] における電力効率 η [%] の確認

3. で確認した入出力条件に該当する電力効率を Efficiency (電力効率波形) から確認 (該当する出力電圧の電力効率波形が無い場合は、記載される上下出力電圧の間を想定)
 $\eta = 87\% = 0.87$

以上の確認ができれば発熱の算出を行う

Absolute Maximum Thermal Ratings

PARAMETER	CONDITION	MIN	MAX	UNITS
Operating junction temperature			+125	°C
Storage temperature range		-65	+150	°C
Reflow peak body temperature	(10 Sec) MSL3		+260	°C

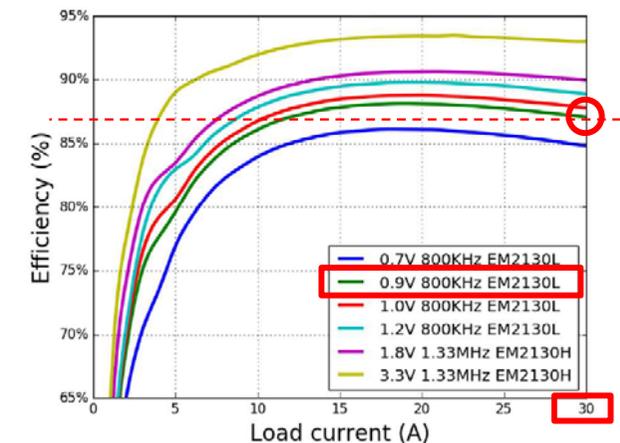
Thermal Characteristics

Table 5

PARAMETER	PINS	TYPICAL	UNITS
Thermal shutdown [programmable]	T_{SD}	120	°C
Thermal shutdown Hysteresis	T_{SDH}	18	°C
Thermal resistance: junction to ambient (0 LFM) (Note 1)	θ_{JA}	8	°C/W
Thermal resistance: junction to case bottom (0 LFM)	θ_{JC}	1.5	°C/W

Note 1: Based on 2 oz. external copper layers and proper thermal design in line with EUJ/JEDEC JESD51 standards for high thermal conductivity boards. No top side cooling required.

Efficiency, $V_{IN} = 12V$



電源デバイスの発熱概算算出 2/2



概算算出例 (EM2130L)

5. 出力電力 POUT [W] の算出

$$POUT [W] = VOUT [V] \times IOUIT [A] = 0.9 [V] \times 30 [A] = 27 [W]$$

6. 入力電力 PIN [W] の算出

電力効率 $\eta = POUT [W] / PIN [W]$ の関係があるため

$$PIN [W] = POUT [W] / \eta = 27 [W] / 0.87 = 31.03 [W]$$

7. 入出力の電力ロス PD [W] の算出

$$PD [W] = PIN [W] - POUT [W] = 4.034 [W]$$

8. デバイスの温度上昇 ΔT [°C] の算出

$$\Delta T [W] = PD [W] \times \theta_{ja} [^{\circ}C/W] = 4.034 [W] \times 8 [^{\circ}C/W] = 32.28 [^{\circ}C]$$

9. ジャンクション温度 Tj [°C] の算出

$$Tj [^{\circ}C] = TA [^{\circ}C] + \Delta T [^{\circ}C] = 25 [^{\circ}C] + 32.28 [^{\circ}C] = 57.28 [^{\circ}C]$$

ジャンクション温度 Tj [°C] の算出が理解できたところで、どの周囲温度まで使用できるか確認

10. 最大周囲温度 TAm_{ax} [°C] の算出

$$TAm_{ax} [^{\circ}C] = Tj_{max} [^{\circ}C] - PD [W] \times \theta_{ja} [^{\circ}C/W] = 125 [^{\circ}C] - 32.28 [^{\circ}C] = 92.72 [^{\circ}C]$$

Enpirion デバイスは基本的に推奨動作条件においては周囲温度 TA [°C] = +85 [°C] (MAX.) までとなる。設定した入出力条件において周囲温度 TAm_{ax} [°C] = +92.72 [°C] と算出されるが、最大周囲温度 TAm_{ax} [°C] は +85 [°C] までとなるため注意が必要

以上より、推奨動作温度範囲内において入出力電圧を定格で使用する上ではデバイス温度上昇による出力電流の制限(温度デレーティング)を考慮する必要はない

Ordering Information

Table 1

Part Number	Supported V _{out} Range	Package Markings	T _{AMBIENT} Rating (°C)	Package Description
EM2130L02QI	0.7V to 1.325V	M2130L2	-40 to +85	17 mm x 11 mm x 6.76 mm QFN104 provided in 112 units per tray
EM2130H01QI	1.35V to 3.6V	M2130H1	-40 to +85	17 mm x 11 mm x 6.76 mm QFN104 provided in 112 units per tray
EVB-EM2130L02	0.7V to 1.325V	Evaluation board; 30A single phase		
EVB-EM2130H01	1.35V to 3.6V	Evaluation board; 30A single phase		
EVI-EM2COMIF	GUI interface dongle			

Packing and Marking Information: www.altera.com/support/reliability/packing/rel-packing-and-marking.html



Thank you

改版履歴

リビジョン	日付	概要
Rev. 1	2018年7月	初版
Rev. 2	2018年9月	リンクのアップデート
Rev. 3	2018年11月	Appendix から 本編へのリンク追加、テンプレートを一部変更、一部修正

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。