

PCI Express Design & Debug Guideline

Feb, 2020 Altima Company | A Macnica Division Company



Agenda

• はじめに

o 本資料の目的と Summary

- Design Flow
- Debug Flow
- さいごに
- Appendix
 - O Linkup Fail の症状と確認項目
 - o ケーススタディ
 - その他





はじめに





- PCI Express (PCIe) は高速で複雑な規格であるにも関わらず、現在、最も一般的なインターフェイス規格として使用されており、様々なレベルの問題が発生しています
- FPGA ではお客様の要求に応じて様々な構成の PCI Express を実装することが可能であること から、期待しない動作が発生した場合に、原因を解析することが難しくなり、長期化する傾向に あります。一方で、経験的にほぼ 80%のお客様の要求仕様は非常に似ており、理論値に近い 性能を達成しなければならない場合や特別な構成が必要な場合を除けば、同一の構成で殆ど のお客様の仕様をカバーすることができます
- 本資料では、上記の「ほぼ 80% のお客様の要求をカバーする構成から最小限の機能を実装したデザイン」を Golden Reference Design として示します。更に、それを用いた Design Flow と Debug Flow を示し、適切な手順で設計を行うことにより不具合混入を防ぐことと、 Debug に必要な仕組みを実装することにより速やかに問題を解決することを目的としています。
- なお、本資料は Arria[®] 10 デバイスで PCI Express ハード IP (HIP) の使用を想定したものです
 一部を除き V シリーズにも適用可能



◆ Design Flow 全体を通した確認事項 事前準備に記載した資料を確認したか Golden Reference (GR) Design を検討したか JTAG の実装をしたか (実運用状態で JTAG を接続し、外部 PC でモニターできるようにしておく) タイミングを満たしていることを確認したか FPGA デバイスの左下に配置されている PCle ハードマクロを使用しているか ◆電源関連の確認事項 VCC, VCCR GXB, VCCT GXB, VCCH GXB, VCCA 電圧を測定できるよう設計したか 測定する電源は電圧調整できるよう設計したか ◆波形関連の確認事項 FPGA のリファレンス・クロックとリセット信号は適切に入力されているか オシロスコープで確認できるポイントがあるか 10G 帯域 (Gen2 以下)、20G 帯域 (Gen3) のオシロスコープとアクティブプローブで波形を確認したか





Design Flow







Design Flow ~事前準備~



PCI Express デザイン設計におけるファーストステップ として押さえておくべきポイント

- PCI Express デザインガイド
 - 「基礎編」
 - https://www.macnica.co.jp/business/semiconductor/articles/intel/118473/
 - 「ハードウェア編」
 - https://www.macnica.co.jp/business/semiconductor/articles/pdf/ELS1362_S000_30__1.pdf
 - https://www.macnica.co.jp/assets/arc/article_files/119865/ELS1362_c5gt_gen2x4_mSGMDA_2.zip
 - 「ソフトウェア編」
 - https://www.macnica.co.jp/business/semiconductor/articles/pdf/ELS1387_S000_10_1.pdf
- デバイスの選択
 - 所望の動作周波数をサポートしている FPGA を選択しているか
 - レーン数(x1, x2, x4, x8)
 - レーン速度(実効帯域は満たしているか)
 - Endpoint or Root Port
 - ※ PCI Express Root Complex, Switch モードをご検討の場合は別途ご相談ください

• 補足情報

- PCI-SIG Specifications
 - http://pcisig.com/specifications
- O Mindshare PCI express System Architecture
 - https://www.mindshare.com/Books/Titles/PCI_Express_Technology_3.0



Design Flow ~Golden Reference (GR) Design の生成~



本デザインは、PCI Express を使った標準的なシステム構成から最小限の機能を実装したデザインである。この GR Design にお客様の所要の機能ブロックを追加・変更することでシステムを生成することを推奨する

https://www.macnica.co.jp/business/semiconductor/articles/intel/125577/

- GR Design の仕様 (推奨の構成)
 - Avalon-MM, Gen3 x4 (パラメーターでレーン数と速度の構成が変更可能)
 - Avalon-MM 構成で Gen3 x8 を実装する場合、with DMA IP を選択する必要あり
 - o mSGDMA, On-Chip Memory を実装
 - coreclkout_hip 同期クロックで動作
 - 外部メモリーを実装する場合には、GR Design を参照
 - nporは3**クロック**で同期化
 - pcie_refclk クロックに同期させる
 - Arria[®] 10 の場合は test_in[31:0] = 0x188 (Appendix 参照)

○ 注意事項

- PCI Express の最大効率に近いスペックでの使用を検討されている場合はあらかじめご相談く ださい
- 本デザインは事前に動作検証を行っておりますが、動作を保証するものではありません。お客様にて十分に動作検証を行った上でご活用ください



Design Flow ~Fitter の確認~



- ピン配置をフリーにし、コンパイルを実施
 - 最適な位置に配置されるためマニュアルでの変更はしない
 - トランシーバー・ピン、リファレンス・クロック・ピン、リセットピン
 - CvP (Configuration via Protocol) 対応 Hard IP (HIP) へ自動アサイン
 - FPGA デバイスの左下に配置されている PCle ハードマクロを使用して いるか
- PCle 専用ピンにアサインしているか
 - Arria[®] 10 の場合、レーンの極性を合わせる必要あり
 - <u>https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/ip/2017/why-does-my-arria-10-pcie-hard-ip-link-width-downtrain-.html?cq_ck=1501066300630</u>
- Autonomous mode が設定されているか
 - Quartus[®] Prime での設定
- 適切なリファレンス・クロック・ピンにアサインしているか
 - 適切なクロックの見つけ方は、<u>Appendix 参照</u>
 - o Configuration が始まる前に安定したクロックが入力されているか
 - nCONFIG が Low -> High 時



Design Flow ~タイミング検証~



- SDC ファイルに記載のクロック周波数と実際の動作周波数が同じことを確認
- Quartus[®] Prime での SDC ファイルの登録
 ユーザ— SDC の前に登録 (登録方法は、<u>Appendix 参照</u>)
- Quartus[®] Prime でタイミングを満たしていることを確認
 - o Hard IPのcoreclkout_hip
- GR Design の SDC を参照
 - o <u>https://www.macnica.co.jp/business/semiconductor/articles/intel/125577/</u>

※ IP のバージョン毎に設定内容が変わる可能性があるため、必ず確認を行うこと

参考資料: SDC Timing Constraints

https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_a10_pcie_avmm.pdf#page=107



Design Flow ~回路図の確認 1/2~



- PCle Solution User Guide に準拠する
 - o https://www.intel.com/content/www/us/en/programmable/documentation/lbl1415230609011.html
 - 0 https://www.intel.com/content/www/us/en/programmable/documentation/lbl1414599283601.html
- JTAG を実装する (実運用状態で JTAG ケーブルが接続できるようにする)
- トランシーバー・ピンのカップリングは規格に準拠しているか
 - Gen 3 まで対応の場合、カップリング・コンデンサー容量は 0.22uF
 - Gen 2 まで対応の場合、カップリング・コンデンサー容量は 0.1uF
- リファレンス・クロックの確認
 - カードエッジ経由の場合、I/O 規格は HCSL で使用しているか
 - **ク**ローズドシステムの場合
 - PCIe 規格を超える Spread-Spectrum (SS) をかけないこと
 - セパレートクロック構成では SS はかけない
 - PCle の規格に準拠した IC を使用
- 電源電圧を確認できるように設計
 - VCC, VCCR_GXB, VCCT_GXB, VCCH_GXB, VCCA の電圧を測定できるように設計する
 - FPGA 直下の電源ピン(VIA でのスルーホール)
 - これらの電源を電圧調整できるよう設計する
 - PM バス付きの電源を使用、もしくは抵抗値の変更
 - 動作中に電圧許容範囲内であることを確認するため
 - Pin Connection Guideline を参照すること
 - <u>https://www.intel.com/content/www/us/en/programmable/documentation/wtw1404286459773.</u> <u>html</u>
 - フェライトビーズは不必要なところに入れない(トラブルのもと)



Design Flow ~回路図の確認 2/2~



- 適切な Reset 構成にしているか
- pin_perst はエッジコネクターからバッファーを介して接続
 O Arria[®] 10 の場合、エッジコネクター (3.3V) → FPGA ピン (1.8V)
- CLKUSR ピンに 100MHz クロックが入力されているか
 - Arria[®] 10 の場合には Free-Run Clock がデバイス起動時に安定して供給されている必要がある
- PCle 専用ピンにアサインしているか
 Arria[®] 10 の場合、レーンの極性を合わせる必要あり
 - <u>https://www.intel.com/content/www/us/en/programmable/support/support-</u> resources/knowledge-base/ip/2017/why-does-my-arria-10-pcie-hard-ip-link-widthdowntrain-.html?cq_ck=1501066300630
- ボードレイアウトについては PCI-SIG 規格に沿い、マージンをもって配線



13

Design Flow ~ボードデザインで検証~



- GR Design を使用して検証
 - リンクアップの確認
 - 所望のレートとレーン数でリンクアップしていること
 - FPGA 上のオンチップメモリーに対してリード/ライト
 - FPGA 上の mSGDMA を使用した DMA 転送
 - <u>https://www.macnica.co.jp/business/semiconductor/articles/intel/125577/</u>
- アドインカードタイプの基板の場合は、Quartus[®] Prime から自動生成 される Example Design でも検証が可能

○ リンクアップの確認

- 所望のレートとレーン数でリンクアップしていること
- 参考:インテル[®] FPGA で PCI Express (Avalon-ST 編)
 - <u>https://www.macnica.co.jp/business/semiconductor/articles/intel/119341/</u>











Debug Flow



<u>20G 帯域 (Gen3), 10G 帯域 (Gen2 以下) のオシロスコープで波形を確</u> 認し、必ずアクティブプローブを使用する

- 電源の確認
 - 動作中の VCC, VCCR_GXB, VCCT_GXB, VCCH_GXB, VCCA の電圧
 を測定
 - 動作条件内に収まっているか
 - ・ オシロの積算モードで確認
 - オシロのトリガ・モードで電圧の上限値と下限値を確認
 - 電源電圧を変更
 - 動作条件の上限値、下限値で確認
- 適切なリファレンス・クロック、リセット信号が入力されているかを確認
 FPGA への入力クロックとグローバルリセット
 - PCIe の規格に準拠した精度の良い Clock が入力されているか
 - Root Complex, Switch, Endpointの各デバイスに入力されているリファレンス・クロックの波形を チェック





- 信号品質の確認
 - デザイン・ガイドライン "Signal Integrity Considerations" セクションを参照
 - <u>https://www.intel.com/content/www/us/en/programmable/documentation/icl1487184721742.ht</u> <u>ml#bhg1487184678907</u>
- 回路図の確認

 <u>10 ページ</u>、<u>11ページ</u>参照
- タイミングの確認

 <u>9ページ</u>参照

18



- Configuration が正常に終了しているか
 O CONF_DONE 信号が High になっているか確認
- Linkup が完了しているか
 O GR Design で LTSSM[※] と各信号を確認
 - Linkup に Fail する場合、以下の項目を確認
 - 複数基板で同様の現象が発生するか
 - 異なる環境 (PC) を使った場合も同様の現象が発生するか
 - 最新の Quartus[®] Prime を使用した場合も同様か

X LTSSM : Link Training and Status State Machine



Debug Flow : Linkup Fail について



- Linkup Fail とは
 - ・電源、信号品質、回路図、RTL デザイン等が原因
 で LTSSM (Link Training and Status State
 Machine)の状態が L0 ステートに安定していない、
 または L0 ステートに移行しないことを指す
 - Intel[®] PCIe Hard IP では、Itssmstate[4:0] 信号
 が安定して 0Fh (L0 ステート)の状態でない場合
 - ・実際の挙動に関しては <u>Appendix "LTSSM と各信</u> <u>号の挙動確認"</u>を参照



Debug Flow : Linkup Fail



さいごに

- PCI Express は高速で複雑な規格であり様々なレベルの問題が発生しています。設計の設定項目も多いため、動作不良の原因の特定が長期化する傾向にあります。特にリンクアップに関する動作不良例が多く、高速化、多レーン化に伴い増加傾向にあります。
- 本資料では、「ほぼ 80% のお客様の要求をカバーする構成から最小限の機能を実装したデザイン」をGolden Reference Design として示し、更に、それを用いた Design Flow と Debug Flow を示しました
- 設計時の不具合の混入を防止するために実績のあるデザインをテンプレートとし、動作 不良が発生した場合には Debug に費やす時間を短縮するためにあらかじめ Debug す る手段を実装することが重要です
- 設計時間の短縮、市場への不良流出の防止のためにガイドラインを守り、不具合のない 製品を最短期間で市場に投入させましょう



制限事項

- V series
 - Autonomous mode 及び CvP Init mode 使用時、Receiver Detect に Fail して LTSSM がスタック Stratix[®] V
 - Errata Sheet for Stratix[®] V Devices
 - Receiver Detect Issue in the PCIe Hard IP
 - = <u>https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/es/es_stratixv.pdf</u>
 - CFGWR の発行前に、CRS が PCIe HIP から返送されてこなくなるまで、CFGRD を発行する必要がある (CvP mode 時) Stratix[®] V
 - Errata Sheet for Stratix® V Devices
 - PCIe Configure Write Operation with Configure Retry Status (CRS) in CvP Mode
 - = <u>https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/es/es_stratixv.pdf</u>
 - Die Revision に依存して、CvP が未対応 Cyclone[®] V, Arria[®] V
 - Cyclone[®] V GX, GT, and E Device Errata
 - Conguration via Protocol (CvP)
 - = https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/es/es_cyclone_v.pdf
 - Errata Sheet for Arria® V Devices
 - Configuration via Protocol (CvP)
 - = <u>https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/es/es_arria_v.pdf</u>
 - o Low Temp and VCCER_GXBの影響で Signal Detect に Fail Cyclone® V
 - Cyclone[®] V GX, GT, and E Device Errata
 - Signal Detect Issue in PCIe Configuration
 - = <u>https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/es/es_cyclone_v.pdf</u>



制限事項

- Arria[®] 10
 - Lane Polarity Inversion が機能せず、Linkup に影響を与える
 - Arria[®] 10 GX/GT Device Errata
 - Automatic Lane Polarity Inversion for PCIe Hard IP
 - = <u>https://www.intel.com/content/altera-www/global/en_us/index/support/support-resources/knowledge-base/ip/2017/why-does-my-arria-10-pcie-hard-ip-link-width-downtrain-.html</u>
 - KDB
 - Why does my Arria 10 PCIe Hard IP link width downtrain?
 - = <u>https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/ip/2017/why-does-my-arria-10-pcie-hard-ip-link-width-downtrain-.html?cq_ck=1501066300630</u>
 - Gen3 Rate で BER を満たすことが出来ない
 - KDB
 - When should I enable the Soft DFE Controller IP for Arria 10 PCIe HIP?
 - = <u>https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/ip/2017/when-should-i-enable-soft-dfe-controller-ip-for-arria-10-pcie-.html</u>





Appendix : Linkup Fail 症状と確認項目



Agenda

- LTSSM と各信号の挙動確認
- test_in 信号について
- Linkup Fail 症状と確認項目
 - O Rx Detect Failure (Tx FPGA)(Rx Far end device)
 - Far end device Rx detect Issue (Tx Far end device)(Rx FPGA)
 - O Reset Failure
 - rx signal detect failure
 - O PCIe enter compliance mode
 - O CDR lose lock
 - O Wordaligner can't found valid pattern
 - Wrong link/lane number encoded in TS1/TS2
 - Transceiver calibration not being done properly
 - O Equalization setting not optimum
 - o "Slot clock configuration" parameter set incorrectly



Agenda

- LTSSM と各信号の挙動確認
- test_in 信号について
- Linkup Fail 症状と確認項目
 - 1. Rx Detect Failure (Tx FPGA)(Rx Far end device)
 - 2. Far end device Rx detect Issue (Tx Far end device)(Rx FPGA)
 - 3. Reset Failure
 - 4. rx signal detect failure
 - 5. PCle enter compliance mode
 - 6. CDR lose lock
 - 7. Wordaligner can't found valid pattern
 - 8. Wrong link/lane number encoded in TS1/TS2
 - 9. Transceiver calibration not being done properly
 - 10. Equalization setting not optimum
 - 11. "Slot clock configuration" parameter set incorrectly



LTSSM と各信号の挙動確認

• 以下信号を Signal Tap にて観測

信号名	Link Training 成功時の値
ltssmstate[4:0]	0Fh
currentspeed[1:0]	Gen1=01h, Gen2=02h, Gen3=03h
lane_act[3:0]	x1=01h, x4=04h, x8=08h
rx_is_lockedtodata	high
rx_std_signaldetect	high
pin_perst	high
npor	high
app_nreset_status	high

成功時の LTSSM の動作

log: 3	2013/07	/31 00:03:10 #0													click to	insert	time bi	ar		-							
		Node	1	2	3	4		5	6	7	8 I	9	10) 1	1 1	2 ′	3	14	15	16	17	18	19	20	21	22 :	23 24
Туре	Alias	Name	-10	-9	-8	-	7 -	6	-5	-4	-3	2	-1	(1	2	3	4	5	6	7	8	9	10	11 '	12 1:
8	'SSM (t_hwtcl:dut itssmstate	01h	χo	Fh	OCh)	ODh	OEh	X OFh	X OCh	X ODH	00	hΧ	01h)	02h	04h	(06h	<u>)</u> 07	h (09h	X 08h	X OAI) OBh	X OFI) OCh) ODh	X OEh	X OFh
6	_TD (1	ve rx_is_lockedtodata					1	h				χO	1	1h /	Oh	λ						1h					
6	Link S	tcl:dut currentspeed					1	h				XO	ī								1h						
6	al Dete	native rx_signaldetect					1	h				XO	<u>ر</u>	1h)	Oh	X						1h					
6	_TR (1	tive rx_is_lockedtoref														1h											



独自で作成した Signal Tap を組み込む場合は、Appendix "Signal Tap の組み込み方法"(p58)を参照

ltssm	LTSSM State
00h	Detect.Quiet
01h	Detect.Active
02h	Polling.Active
04h	Polling.Configuration
06h	config.Linkwidthstart
07h	Config.Linkaccept
09h	Config.Lanenumwait
08h	Config.Lanenumaccept
0Ah	Config.Complete
0Bh	Config.Idle
0Fh	LO
0Ch	Recovery.Rcvlock
0Dh	Recovery.Rcvconfig
0Eh	Recovery.Idle
0Fh	LO



28

Confidential

Agenda

- LTSSM と各信号の挙動確認
- test_in 信号について
- Linkup Fail 症状と確認項目
 - 1. Rx Detect Failure (Tx FPGA)(Rx Far end device)
 - 2. Far end device Rx detect Issue (Tx Far end device)(Rx FPGA)
 - 3. Reset Failure
 - 4. rx signal detect failure
 - 5. PCle enter compliance mode
 - 6. CDR lose lock
 - 7. Wordaligner can't found valid pattern
 - 8. Wrong link/lane number encoded in TS1/TS2
 - 9. Transceiver calibration not being done properly
 - 10. Equalization setting not optimum
 - 11. "Slot clock configuration" parameter set incorrectly



test_in 信号について

• test_in 信号は PCIe HIP に対する 32-bit の入力信号

Arria[®] 10 デバイスでは 32'h188 を設定

- <u>https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_a10_pcie_avmm.pdf#</u> page=62

Signal	Direction	Description
test_in[31:0]	Input	 The bits of the test_in bus have the following definitions. Set this bus to 0x00000188. [0]: Simulation mode. This signal can be set to 1 to accelerate initialization by reducing the value of many initialization counters. [1]: Reserved. Must be set to 1'b0. [2]: Descramble mode disable. This signal must be set to 1 during initialization in order to disable data scrambling. You can use this bit in simulation for Gen1 and Gen2 Endpoints and Root Ports to observe descrambled data on the link. Descrambled data cannot be used in open systems because the link partner typically scrambles the data. [4:3]: Reserved. Must be set to 2'b01. [5]: Compliance test mode. Set this bit to 1'b0. Setting this bit to 1'b1 prevents the LTSSM from entering compliance mode. Toggling this bit controls the entry and exit from the compliance patterns. [6]: Forces entry to compliance mode when a timeout is reached in the polling.active state and not all lanes have detected their exit condition. [7]: Disable low power state negotiation. Intel recommends setting this bit. [8]: Set this bit to 1'b1. [31:9]: Reserved. Set to all 0s.

test_out (Output) 信号と組み合わせて、Debug 目的で使用することも可能



Agenda

- LTSSM と各信号の挙動確認
- test_in 信号について
- Linkup Fail 症状と確認項目
 - 1. Rx Detect Failure (Tx FPGA)(Rx Far end device)
 - 2. Far end device Rx detect Issue (Tx Far end device)(Rx FPGA)
 - 3. Reset Failure
 - 4. rx signal detect failure
 - 5. PCIe enter compliance mode
 - 6. CDR lose lock
 - 7. Wordaligner can't found valid pattern
 - 8. Wrong link/lane number encoded in TS1/TS2
 - 9. Transceiver calibration not being done properly
 - 10. Equalization setting not optimum
 - 11. "Slot clock configuration" parameter set incorrectly

1. Rx Detect Failure (1/2)

• 症状

- o LTSSM が Detect.Quiet (0x0) と Detect.Active (0x1) の間でトグルしている
- LTSSM が Detect.Quiet (0x0) -> Detect.Active (0x1) -> Polling.Active (0x2)...
 で Loop している
- o 所望の Link 幅で Linkup 出来ていない

チェック項目

Signal Tap において rxstatus [2:0] & phystatus チェックし、アクティブな Lane を確認

- Rx が特定の Lane で検出された場合、phystatus のアサート時に rxstatus [2:0] は 3'b011 を示す (次スライド参照)

Signal Tap において tx_elecidle & txdetectrx が Lane 検出の開始時にアサートされていることを確認 (次スライド参照)

基板上のデカップリング・キャパシターをチェックし、値と接続に問題がないかどうかを確認

- キャパシターの値は Gen1 & Gen2 Rate では 75nF 265nF
- Gen3 Rate では 176nF 265nF
- Arria[®] 10 開発キットでは 220nF を使用



1. Rx Detect Failure - STP 波形

• STP での rxstatus, phystatus, tx_elecidle, txdetectrx の PIPE 信号観測

log: Tr	ig @ 2016/10/25 23:	29:19 (0:0:25.5 elapsed)		
		Node	0	
Туре	Alias	Name		
*		10_hip_pipen1b test_out[96]		
*		10_hip_pipen1b test_out[95]		
1 👗 -		10 bis sissed bits of suito (1		
*		LTSSM =	= 0x01	0x02
*		10_hip_pipen1b test_out[92]		
5	rxstatus0	pipen1b test_out[9189]	4h 3h	
*		10_hip_pipen1b test_out[88]		
*	phystatus0			
5		pipen1b test_out[8642]		
*	txelecidle0	10_hip_pipen1b test_out[41]		
*	txdetectrx0	10_hip_pipen1b test_out[40]		Detected Cond
*		10_hip_pipen1b test_out[39]		Receiver not pu Receiver prese
*				
×.				PCLK
×.		10_hip_pipen1b test_out[36]		TxDetectRx/Loopback
*		10 hin ninen1hiteet out[35]		PhyStatus



※ PHY Interface for the PCI Express Architecture 抜粋



1. Rx Detect Failure (2/2)

チェック項目

遠端デバイスの終端抵抗をチェック - 伝送線路の差動インピーダンスは 100 Ω

Fitter > Resource Section > GXB Reports > Transmitter Channel をチェックし、 Tx OCT = 100 Ohm が設定されていることを確認 (下図参照)

Table of Contents	Transmit	ter Channel	
+ 🔚 Analysis & Synthesis	^	Block Name	Value
- 📂 Fitter	1	Basic Parameters	
E Summary	1	Name	PHY:PHY inst PHY altera xcvr nativetx buf.inst 1
- Settings	2	Location	HSSIPMATXBUF_1F0
📰 Parallel Compilation	3	datarate	3072000000 bps
🚽 🔚 I/O Assignment Warnings	4	pre emp sign 1st post tap	fir post 1t neg
— Internet in the second se	5	pre_emp_sign_2nd_post_tap	fir_post_2t_neg
+ 🛅 Estimated Delay Added for Hold Timing	6	pre_emp_sign_pre_tap_1t	fir_pre_1t_neg
Ignored Assignments	7	pre_emp_sign_pre_tap_2t	fir_pre_2t_neg
+ 📙 Incremental Compilation Section	8	pre_emp_switching_ctrl_1st_post_tap	0x00 (000000)
Pin-Out File	9	pre emp switching ctrl 2nd post tap	0x00 (0000)
- 📂 Resource Section	10	pre_emp_switching_ctrl pre_tap_1t	0x00 (00000)
Resource Usage Summary	11	pre emp switching ctrl pre tap 2t	0x0 (000)
Partition Statistics	12	rx_det	mode_0
📰 Input Pins	13	rx_det_output_sel	rx_det_pcie_out
💳 📰 Output Pins	14	rx_det_pdb	rx_det_off
📰 I/O Bank Usage	15	slew_rate_ctrl	slew_r3
📰 All Package Pins	16	term_code	rterm_code7
– 📂 GXB Reports	17	term sel	r_r1
📰 Receiver Channel	18	user fir coeff ctrl sel	ram_ctl
Transmitter Channel	19	vod_output_swing_ctrl	0x1f (11111)
Transmitter PLL	20	swing_level	hv
📅 PLL Usage Summary	21	res_cal_local	non_local
Resource Utilization by Entity	22	low_power_en	disable
📅 Delay Chain Summary	23	compensation_en	enable
Control Signals	24	dcd_detection_en	disable
🔚 Global & Other Fast Signals Summary	25	link	sr
📰 Global & Other Fast Signals Details	^ 26	power_mode	low_power

Value	Description
R_EXT0	Tristate
R_R1	100 Ohm
R_R2	85 Ohm



2. Far end device Rx detect Issue

症状

Far end device (FPGA 対向の TX デバイス) による RX (FPGA 側) Detect Issue が 発生している

チェック項目

基板上のデカップリング・キャパシターをチェックし、値と接続に問題がないかどうかを確認

- キャパシターの値は Gen1 & Gen2 Rate では 75nF 265nF
- Gen3 Rate では 176nF 265nF
- Arria[®] 10 開発キットでは 220nF を使用

Fitter > Resource Section > GXB Reports > Receiver Channel をチェックし、 Rx OCT = 100 Ohm が設定されていることを確認 (下図参照)

Table of Contents	¶ ⊚ Receiver	Channel	
+ 📙 Analysis & Synthesis	<u>^</u>	Block Name	Value
- 📂 Fitter	9	m_counter	12
III Summary	10		2
- III Settings	11	pd counter	4
Received a compilation	12	pfd counter	2
I/O Assignment Warnings	13	analog mode	user custom
Retlist Optimizations	2	Advanced Parameters	
+ 📙 Estimated Delay Added for Hold Timing	1	prot mode	basic rx
- In Ignored Assignments	2	pcie gen	non pcie
+ 📙 Incremental Compilation Section	3	HSSI PMA RX BUF	
Pin-Out File	1	Basic Parameters	
- 📂 Resource Section	1	Name	PHY:PHY instIPHY altera xcvr nativex buf.inst t
Resource Usage Summary	2	Location	HSSIPMARXBUF 1F0
Partition Statistics	3	bypass egz stages 234	bypass off
🔚 Input Pins	4	datarate	3072000000 bps
🖬 Output Pins	5	eq bw sel	eq bw 1
I/O Bank Usage	6	input vcm sel	high vcm
🖬 All Package Pins	7	offset_cancellation_ctrl	volt_0mv
 – / GXB Reports 	8	power_mode_rx	low_power
📰 Receiver Channel	9	prot_mode	basic_rx
Transmitter Channel	10	qpi_enable	non_qpi_mode
Transmitter PLL	11	rx_refclk_divider	bypass_divider
🔤 🏧 PLL Usage Summary	12	rx sel bias source	bias vcmdrv
Resource Utilization by Entity	13	- term sel	
- 📅 Delay Chain Summary	14	vcm_current_add	vcm_current_1
Control Signals	15	vcm_sel	vcm_setting_04
🚽 📅 Global & Other Fast Signals Summary	16	eq_dc_gain_trim	stg2_gain7
📰 Global & Other Fast Signals Details	▲ 17	one stage enable	s1 mode

Value	Description
R_EXT0	Tristate
R_R1	100 Ohm
R_R2	85 Ohm





3. Reset Failure

• 症状

○ LTSSM が Detect State に滞留している状態

チェック項目

pin_perst, npor がアクティブのままとなっているかを確認

pin_perst が 正しいピン配置(NPERSTL0, NPERSTL1, NPERSTR0, NPERSTR1)となっているかを確認
-> pin_out file

https://www.intel.com/content/www/us/en/programmable/support/literature/lit-dp.html#arria-10



4. rx signal detect failure

症状

O Link が安定しないLTSSM が Detect.Quiet(0) -> Detect.Active(1) -> Polling.Active(2) の間でトグルしている状態

チェック項目

rx_std_signaldetect 信号を Signal Tap で確認 (正常時:全ビット=1)

基板上で入力している VCCR_GXB を Quartus Prime の Assignment Editor で設定し、反映されているか確認

Ex)

set_instance_assignment -name XCVR_VCCR_VCCT_VOLTAGE <xcvr_voltage> -to <txvr_rx_data_pin_N>
set_instance_assignment -name XCVR_VCCR_VCCT_VOLTAGE <xcvr_voltage> -to <txvr_tx_data_pin_N>

※ <xcvr_voltage> = 0_9V, 1_0V or 1_1 ※ _N はレーン番号

Rx Vcm を測定し、rx_std_signaldetect が異常 (0) を示しているレーンと正常のレーンで差分が無いか確認



5. PCIe enter compliance mode

症状

o LTSSM が Polling Compliance State に滞留している状態

チェック項目

test_in[6] = 0 となっていることを確認

差動ピン (Tx,Rx) が対向デバイスに正しく接続されているか確認



38

6. CDR lose lock

• 症状

- o rxelecidle = 0, rx_std_signaldetect = 1
- o rx_is_lockedtodata = トグル
- o LTSSM が下記ステートを繰り返している
 - 0x00 -> 0x01 -> 0x02 -> 0x00

チェック項目

プロトコル・アナライザーを用いて、RX 端で TS1 オーダーセットを受信しているか確認。或いは、オシロスコープを用いて、 RX 端でデータパケットを受信している(トグルしている)か確認 トランシーバーの TX プリセット設定 (Gen3 のみ) と RX イコライゼーション設定をチューニング (CTLE, VGA) Rx に対し user recalibration を行い、CDR の Lock 機能が効いていることを確認



7. Wordaligner can't found valid pattern



o rxvalid = 0 の状態

チェック項目

rxstatus [2:0] が 3'b100 (8b/10b または 128b/130bデコードエラー) を表示していないか確認



8. Wrong link/lane number encoded in TS1/TS2



O Link 番号、Lane 番号が期待通りでない状態

チェック項目

Root Complex から送信された トレーニング・パターン (TS1 / TS2) の Link 番号と Lane 番号が期待通りである か、プロトコル・アナライザーで確認



9. Transceiver calibration not being done properly

症状

o Tx PLL Lock 信号 外れ

- pll_locked がデアサート

チェック項目

100MHz のリファレンス・クロックが入力されていることを確認 RREF ピンを 2kΩ(±1%) で GND に接続しているか確認 (Arria[®] 10 の場合) 正しい I/O Standard の設定がされていることを確認



10. Equalization setting not optimum

• 症状

- o Gen1/Gen2 での Link が不安定
- O Gen1/2 の場合は正常に Linkup するが、Gen3 では Link が安定しない
 - Recovery State に頻繁になる

チェック項目

各レート毎の Assignment 設定が正しく行われているか (詳細は下記 KDB を参照)

<u>https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/ip/2017/what-assignments-do-i-need-for-a-pcie-gen1--gen2-or-gen3-design-.html</u> ⇒ v16.1.2 以降では Fix



11. "Slot clock configuration" parameter set incorrectly

症状

o LTSSM が L0 から頻繁に Recovery State に入る

チェック項目

IP の設定 "Slot clock configuration" の設定が正しく行われているか

Enable 時 : PCle のリファレンス・クロックが同一発振源 (コモンクロック方式) Disable 時 : PCle のリファレンス・クロックが Host と Endpoint で別々(セパレートクロック方式)

rice Error Reporting Lin	K MSI MSI-X Power Management	
nk port number: 1		
🗍 Data link layer active r	eporting	
Surprise down reporting	5	
Slot clock configuration		
Slot clock configur	ation (slotclkcfg_hwtcl):	
Sets the read-only y	alue of the slot clock configuration bit in the link status register.	





Appendix : ケーススタディ



ケーススタディ

- Transceiver の電源 Drop で Linkup Issue
 不要な Ferrite Beads, 配線抵抗での電圧 Drop に起因
- 2. Platform Designer (旧 Qsys) で Clock Crossing Bridge (CCB) を接続する際、Master と Slave のリ セットソースを同一にする
 - 片方のリセットソースのみにリセットが実施された際に内部のポインタがずれ、意図しない Data が FIFO から読み だされてしまう
- 3. 複数の PCIe HIP を構成する場合、Configuration 完了前に全ての HIP にリファレンス・クロックを安定 供給しておく
 - Arria[®] 10 では Calibration Sequence でリファレンス・クロックもチェックしており、一つが止まっていると次の HIP の Calibration が開始されない
- 4. nPERST の電圧に注意!!
 o PCG では 3.3V -> 1.8V にレベルシフトして入力するように指示あり
- 5. 割り込み (MSI/INTx) の発行方法



1. Transceiverの電源 Drop で Linkup Issue (1/2)

- 以下の電源の Drop は特に PCIe Linkup に影響を与える
 - O VCC, VCCP, VCCERAM
 - 0.9V ± 30mV
 - O VCCR_GXB, VCCT_GXB
 - 0.95V ± 30mV (PCle Gen3 の場合には 1.03V)



- 上図は Arria[®] 10 GX デバイスの電源構成の一例:
 - Power Supply Sharing Guidelines for Arria 10 GX with Transceiver Data Rate <= 11.3 Gbps for Chipto-Chip Applications
 - https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/dp/arria-10/pcg-01017.pdf#page=62



1. Transceiver の電源 Drop で Linkup Issue (2/2)

- ノイズ対策等で使用する Filter (Ferrite Beads) の直流抵抗に注意
 - 直流抵抗が大きい場合、消費電流に依存して電圧 Drop が発生し、デバイスの電源電圧 Spec を下回ってしまう可能性がある
 - 使用する Ferrite Beads の特性をきちんとチェックしておく
 - 不必要な個所に Ferrite Beads を挿入しない



- 電源の配線パターン、電源 IC FPGA 間の配線の抵抗に注意
 - ・ 配線抵抗はパターンに依存し、電源 IC 端では Spec 値を満足していても FPGA 電源ピン端では 電圧 Drop が 発生し、Spec 値を下回る可能性がある
 - 配線の抵抗による電圧 Drop を軽減するパターンにする
 - 電源ドックに相談する
 - <u>https://www.macnica.co.jp/business/semiconductor/macnica_products/dengen_doc/</u>



48

2. Clock Crossing Bridge (CCB) のリセットについて (1/2)

• 事例

○ 誤った CCB のリセット接続によって、HOST からの BAR アクセス (MRd) の際 Read Data にずれが発生する

• 解決策

○ 以下 NG ケースの構成になってしまっている場合、OK ケースへ修正する必要がある



NG ケース







49

2. Clock Crossing Bridge (CCB) のリセットについて (2/2)

- Avalon-MM Clock Crossing を使用する場合、内部の入力 Data ポインタと出力 Data ポインターを整 列させるために m0_reset と s0_reset 等の入力及び出力リセットに同一ソースを接続する必要がある
 - "How should I connect the Reset Input Ports of Altera Dual Clock FIFOs?"
 - <u>https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd08042014_443.html</u>
- 上記内容については、Quartus[®] Prime Handbook にも記載あり
 - "Avalon-MM Clock Crossing Bridge"
 - <u>https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-qps-platform-designer.pdf#page=212</u>
 - *Note:* When you use the FIFO-based clock crossing a Platform Designer system, the DC FIFO is automatically inserted in the Platform Designer system. The reset inputs for the DC FIFO connect to the reset sources for the connected master and slave components on either side of the DC FIFO. For this configuration, you must assert both the resets on the master and the slave sides at the same time to ensure the DC FIFO resets properly. Alternatively, you can drive both resets from the same reset source to guarantee that the DC FIFO resets properly.

Handbook 抜粋



3. 複数の PCIe HIP を構成する場合の REFCLK の入力

- 複数の PCIe HIP を使用する場合、Configuration 完了前に必ず全ての HIP にリファ レンス・クロックを入力する必要がある
 - 未入力の場合、トランシーバー・ブロックの Calibration が正しく行われないため動作しない
 - <u>https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/arria-</u> <u>10/ug_arria10_xcvr_phy.pdf#page=575</u>



Arria 10 devices use CLKUSR for transceiver calibration. To successfully complete the calibration process, the CLKUSR clock must be stable and free running at the start of FPGA configuration. Also, all reference clocks driving transceiver PLLs (ATX PLL, fPLL, CDR/CMU PLL) must be stable and free running at start of FPGA configuration. For more information about CLKUSR pin requirements, refer to the Arria 10 GX, GT, and SX Device Family Pin Connection Guidelines.

Handbook 抜粋



4. nPERSTの電圧に注意!!

• PCIe の入力電圧について、Pin Connection Guideline に下記の記載がある

0 https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/dp/arria-10/pcg-01017.pdf#page=11

Connect the PCIe nPERST pin to a level translator to shift down the voltage from 3.3V LVTTL to 1.8V to interface with this pin.

• カードエッジ・タイプの場合など、HOST PC からのリセット信号は 3.3V LVTTL になっている

しかし、<u>Arria[®] 10 は 3.3VLVTTL のまま入力はできない</u>

- よって、下記のように 1.8V へ電圧を下げる必要がある





5. 割り込み (MSI/INTx) の発行方法

• 割り込みの種類

- MSI (Message Signaled Interrupt)
 - Memory Write を使用した割り込み
 - 拡張された MSI-X もサポート
- O INTx (Legacy Interrupt)
 - PCI から使用されていたレガシーの割り込み
 - Message Transaction を使用する
 - FPGA でサポートするのは INTA のみ
- 割り込みの発行方法
 - O User Guide
 - Arria® 10 Avalon-MM Interface for PCIe Solutions User Guide
 - 8. Interrupts for Endpoints
 - = <u>https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_a10_pcie_avmm.pdf#page=97</u>
 - Arria[®] 10 Avalon-ST Interface for PCIe Solutions User Guide
 - 8. Interrupts
 - = <u>https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_a10_pcie_avst.pdf#page=113</u>



53



Appendix : その他



Agenda

- Quartus[®] Prime での SDC ファイルの登録方法
- 適切なリファレンス・クロック・ピンの配置
- Signal Tap の組み込み方法
- GR Design の実行帯域に関して

Quartus[®] Prime での SDC ファイルの登録方法

• Quartus[®] Prime の Assignments メニュー より Settings.. を選択

_∕Settings - top	
Category:	Device/Board
General	TimeQuest Timing Analyzer
Files	Specify TimeQuest Timing Analyzer options.
IP Settings	SDC files to include in the project
Design Templates	File name: Add
Voltage	Remove
Compilation Process Settings	File Name Type
EDA Tool Settings	top_hw.sdc Synopsys Design Constraints File Down
Design Entry/Synthesis Simulation Board-Level Compiler Settings VHDL Input	② ユーザーにて作成した SDC ファイルを一番下に移動 (この画面では、top_hw.sdc ファイルがユーザー SDC ファ イルのため一番下に移動)
TimeQuest Timing Analyzer	Enable Advanced I/O Timing Report worst-case paths during compilation Tel Script File for customizing reports during compilation
Assembler ① 選)TimeQuest Timing Analyzer を 訳



Confidential

適切なリファレンスクロックピンの配置

• Quartus[®] Prime の Pin Planner (Assignments メニュー)より確



57

Signal Tap の組み込み方法

• Quartus[®] Prime の Assignments メニュー より Settings.. を選択

Settings - pex_avmm_grd		
ategory: General Files Libraries P IP Settings Design Templates Operating Settings and Conditions Voltage Temperature Compilation Process Settings Incremental Compilation EDA Tool Settings Design Entry/Synthesis	SignalTap II Logic Analyzer Specify compilation options Enable SignalTap II Logic SignalTap II File name: pex_	Device/Board for the SignalTap II Logic Analyzer. Analyzer avmm_grd.stp
Simulation Source-Level Compiler Settings VHDL Input Verilog HDL Input Default Parameters TimeQuest Timing Analyzer SignalTap II Logic Analyzer		Soft Manager Signal Configuration: Trigger 2017/10/19 15 38 18 e1 Lock mode: Allow all changes Trigger Conditions Signal Configuration: Signal Configuration: Trigger Conditions Signal Configuration: Signal Configurat
1) Signal Tap II Lo Analyzer を選択	gic	Tota Setup Herarchy Osplay: X Image: Setup Data Log: [3] Image: Setup Image: Setup Image: Setu

Signal Tap Logic Analyzer 詳細

- https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-qps-debug.pdf#page=145

Confidential



58

GR Design の実行帯域に関して

- GR Design では、Avalon-MM を採用しています
- Avalon-MM で設計した場合、TLP パケットは GR Design 内で終端され、メモリマップ上に展開されるため、ユーザー回路での取扱いは容易になります
- 従って、Avalon-MMを使用している GR Designの実効帯域は、伝送路コーディック 前の実効レーン帯域 (GEN1: 2Gbps, GEN2: 4Gbps, GEN3: 8Gbps) x レーン数 の 50%~60%を目安としてください
- 一方、Page.14 に記載した Example Design は、高負荷のトランザクションを試験・ 評価するために Avalon-ST を採用しています
- Avalon-ST で設計した場合、直接 TLP パケットを扱うために、高い性能を実現する ことができる一方、TLP パケット内のアドレス管理をユーザー回路で行う必要があり、 PCIe に関する高い知識が必要となります
- レーン帯域に対して理論値に近い帯域が必要でない場合、Avalon-MM で設計することを強く推奨します





Thank you





リビジョン	日付	概要
1.0	2017年11月	初版作成
2.0	2020年2月	URL の Update などを実施

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。

2. 本資料は予告なく変更することがあります。

3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。

5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

