



PCI Express Design & Debug Guideline

Altima Company | A Macnica Division Company
Elsena, Inc. | A Macnica Company



ALTIMA
A **Macnica** Division Company

ELSENA

はじめに

本資料の目的

- PCI Express® (PCIe®) は高速で複雑な規格であるにも関わらず、現在、最も一般的なインターフェース規格として使用されており、様々なレベルの問題が発生している。
- FPGA ではお客様の要求に応じて様々な構成の PCI Express を実装することが可能であることから、期待しない動作が発生した場合に、原因を解析することが難しくなり、長期化する傾向にある。
一方で、経験的にほぼ 80% のお客様の要求仕様は非常に似ており、理論値に近い性能を達成しなければならない場合や特別な構成が必要な場合を除けば、同一の構成で殆どのお客様の仕様をカバーすることができる。
- 本資料では、上記の「ほぼ 80% のお客様の要求をカバーする構成から最小限の機能を実装したデザイン」を Golden Reference Design として示す。更に、それを用いた Design Flow と Debug Flow を示し、適切な手順で設計を行うことにより不具合混入を防ぐことと、Debug に必要な仕組みを実装することにより速やかに問題を解決することを目的とする。
- なお、本資料は Arria® 10 デバイスで PCI Express ハード IP の使用を想定したものである。
 - 一部を除き V シリーズにも適用可能

Summary

◆ Design Flow 全体を通した確認事項

事前準備に記載した資料を確認したか

Golden Reference (GR) Design を検討したか

JTAG の実装をしたか (実運用状態で JTAG を接続し、外部 PC でモニタできるようにしておく)

タイミングを満たしていることを確認したか

FPGA デバイスの左下に配置されている PCIe ハードマクロを使用しているか

◆ 電源関連の確認事項

VCC, VCCR_GXB, VCCT_GXB, VCCH_GXB, VCCA 電圧を測定できるよう設計したか

測定する電源は電圧調整できるよう設計したか

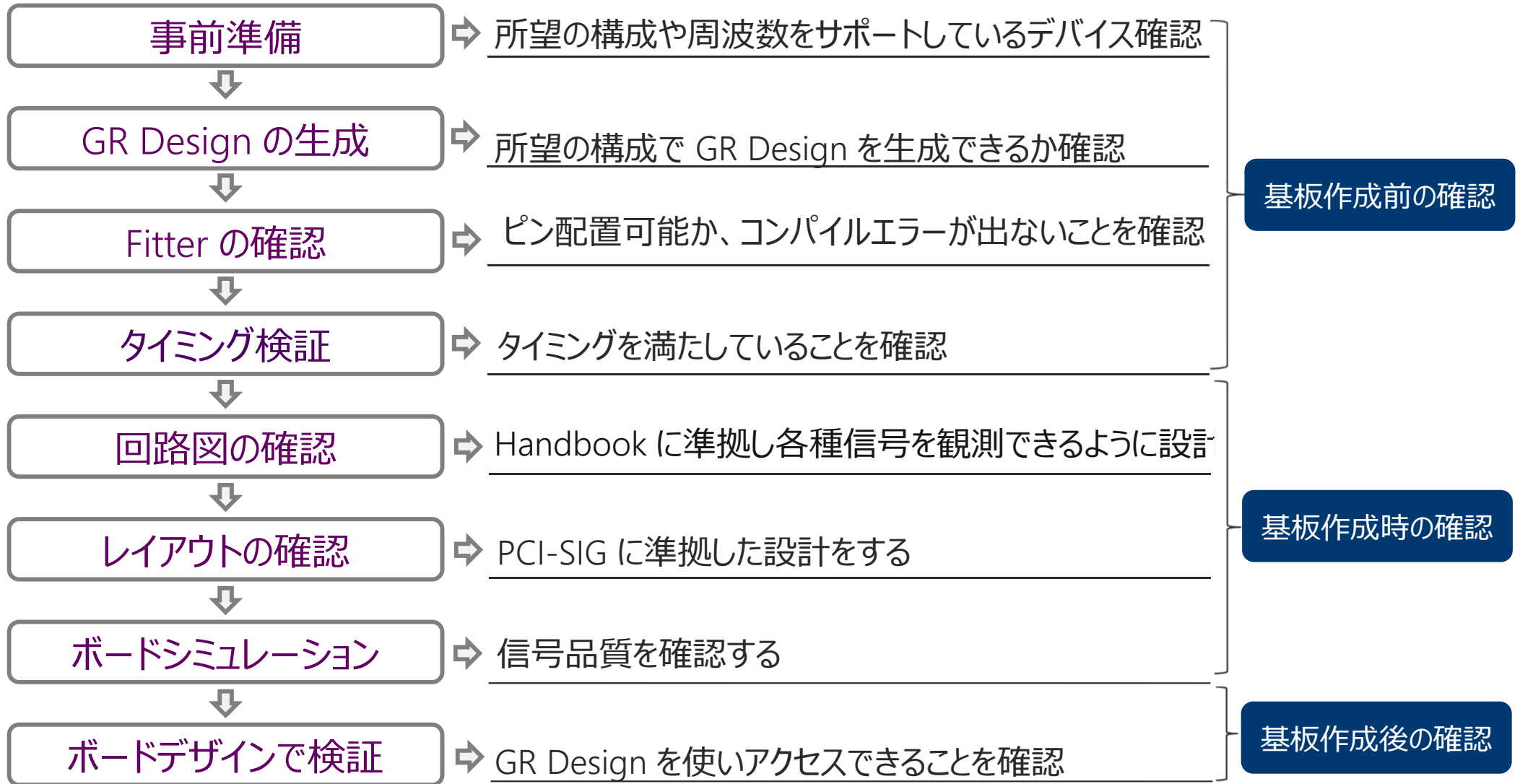
◆ 波形関連の確認事項

FPGA のリファレンスクロックとリセット信号は適切に入力されているか

オシロスコープで確認できるポイントがあるか

10G 帯域 (Gen2 以下)、20G 帯域 (Gen3) のオシロスコープとアクティブプローブで波形を確認したか

Design Flow

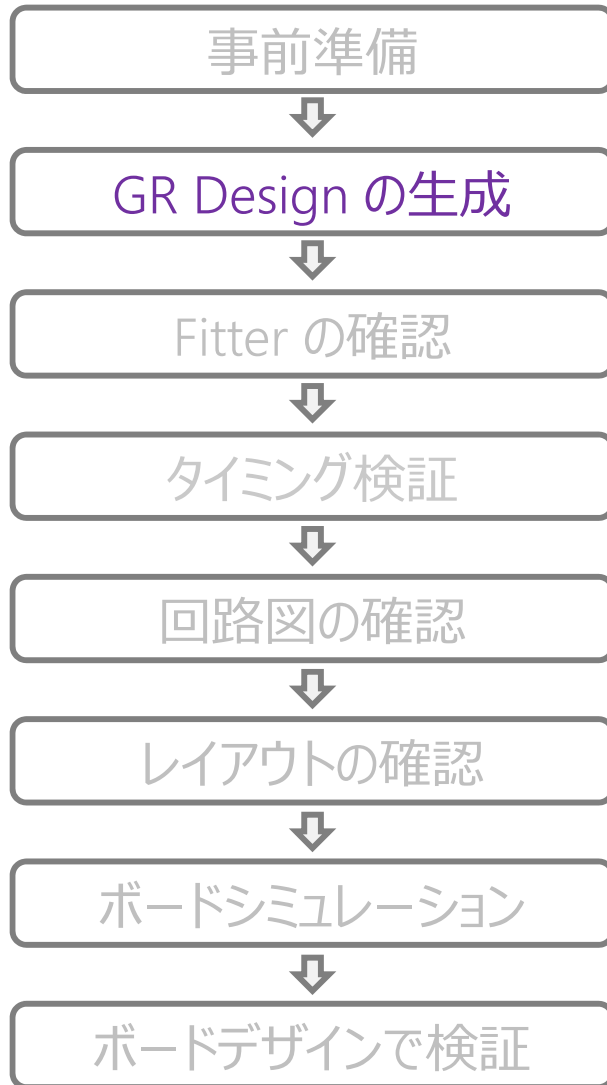


事前準備

PCI Express デザイン設計におけるファーストステップとして 押さえておくべきポイント

- PCI Express デザインガイド
 - 「基礎編」
 - <https://service.macnica.co.jp/library/118473>
 - 「ハードウェア編」
 - https://service.macnica.co.jp/article_files/119865/ELS1362_S000_30_1.pdf
 - https://service.macnica.co.jp/article_files/119865/ELS1362_c5gt_gen2x4_mSGMDA_2.zip
 - 「ソフトウェア編」
 - https://service.macnica.co.jp/article_files/119865/ELS1387_S000_10_1.pdf
- デバイスの選択
 - 所望の動作周波数をサポートしている FPGA を選択しているか
 - レーン数 (x1, x2, x4, x8)
 - レーン速度 (実効帯域は満たしているか)
 - Endpoint or Root Port
 - ※ PCI Express Root Complex, Switch モードをご検討の場合は別途ご相談ください
- 補足情報
 - PCI-SIG Specifications
 - <http://pcisig.com/specifications>
 - Mindshare PCI express System Architecture
 - https://www.mindshare.com/Books/Titles/PCI_Express_Technology_3.0

Design Flow



● Golden Reference (GR) Design の検討

- 本デザインは、PCI Express を使った標準的なシステム構成から最小限の機能を実装したデザインである。この GR Design にお客様の所要の機能ブロックを追加・変更することでシステムを生成することを推奨。
 - <https://service.macnica.co.jp/library/125577>
- GR Design の仕様 (推奨の構成)
 - Avalon-MM, Gen3 x4 (パラメータでレーン数と速度の構成が変更可能)
 - Avalon-MM 構成で Gen3 x8 を実装する場合、with DMA IP を選択する必要あり
 - mSGDMA, On-Chip Memory を実装
 - coreclkout_hip 同期クロックで動作
 - 外部メモリを実装する場合には、[Sample Design](#) を参照
 - npor は3クロックで同期化
 - pcie_refclk クロックに同期させる
 - Arria 10 の場合は test_in[31:0] = 0x188 ([Appendix 参照](#))
- 注意事項
 - PCI Express の最大効率に近いスペックでの使用を検討されている場合はあらかじめご相談ください
 - 本デザインは事前に動作検証を行っておりますが、動作を保証するものではありません。お客様にて十分に動作検証を行った上でご活用ください

Design Flow



● Fitter の確認

- まずはピンフリーでコンパイルを実施
 - 最適な位置に配置されるためマニュアルでの変更はしない
 - トランシーバピン、リファレンスクロックピン、リセットピン
 - CvP 対応 Hard IP へ自動アサイン
 - **FPGA デバイスの左下に配置されている PCIe ハードマクロを使用しているか**
- PCIe 専用ピンにアサインしているか
 - Arria 10 の場合、レーンの極性を合わせる必要あり
 - https://www.altera.com/support/support-resources/knowledge-base/ip/2017/why-does-my-arria-10-pcie-hard-ip-link-width-downtrain.html?cq_ck=1501066300630
- Autonomous mode に設定されているか
 - Quartus® Prime での設定
- 適切なリファレンスクロックピンにアサインしているか
 - 適切なクロックの見つけ方は、[Appendix 参照](#)
 - Configuration が始まる前に安定したクロックが入力されているか
 - nCONFIG が Low -> High 時

Design Flow



● タイミング検証

- SDC ファイルに記載のクロック周波数と実際の動作周波数が同じことを確認
 - Quartus Prime での SDC ファイルの登録
 - ユーザ SDC の前に登録 (登録方法は、[Appendix 参照](#))
 - **Quartus Prime でタイミングを満たしていることを確認**
 - Hard IP の coreclkout_hip
 - GR Design の SDC を参照
 - <https://service.macnica.co.jp/library/125577>
- ※ IP のバージョン毎に設定内容が変わる可能性があるため必ず確認を行うこと

参考資料 : SDC Timing Constraints

https://www.altera.com/en_US/pdfs/literature/ug/ug_a10_pcie_avmm.pdf#page=139

Design Flow



● 回路図の確認 1/2

- PCIe Solution User Guide に準拠する
 - <https://www.altera.com/documentation/lbl1414599283601.html>
 - <https://www.altera.com/documentation/lbl1415230609011.html>
- **JTAG を実装する (実運用状態で JTAG ケーブルが接続できるようにする)**
- トランシーバピンのカップリングは規格に準拠しているか
 - Gen 3 まで対応の場合、カップリングコンデンサ容量は 0.22uF
 - Gen 2 まで対応の場合、カップリングコンデンサ容量は 0.1uF
- リファレンスクロックの確認
 - カードエッジ経由の場合、I/O 規格は HCSL で使用しているか
 - クローズドシステムの場合、
 - PCIe 規格を超える Spread-Spectrum (SS) をかけないこと
 - セパレートクロック構成では SS はかけない
 - PCIe の規格に準拠した IC を使用

● 電源電圧を確認できるように設計

- **VCC, VCCR, GXB, VCCT, GXB, VCCH, GXB, VCCA の電圧を測定できるように設計する**
 - FPGA 直下の電源ピン (VIA でのスルーホール)
- **これらの電源を電圧調整できるように設計する**
 - PM バス付きの電源を使用、もしくは抵抗値の変更
- 動作中に電圧許容範囲内であることを確認するため
- Pin Connection Guideline を参照すること
 - <https://www.altera.com/documentation/wtw1404286459773.html>
 - フェライトビーズは不必要なところに入れない (トラブルのもと)

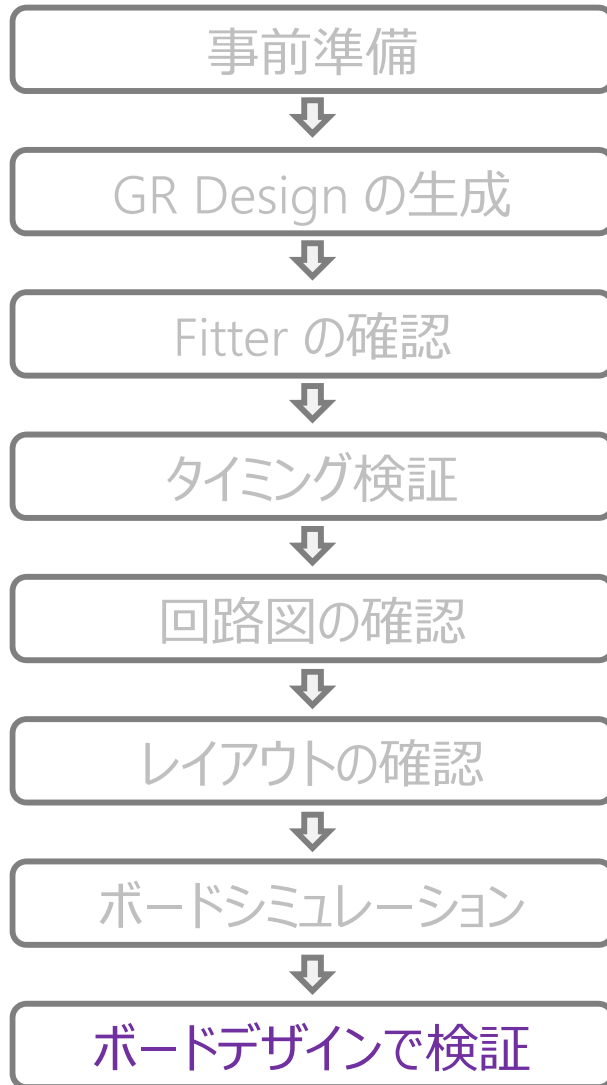
Design Flow



● 回路図の確認 2/2

- 適切な Reset 構成にしているか
- pin_perst はエッジコネクタからバッファを介して接続
 - Arria 10 の場合、エッジコネクタ (3.3V) → FPGA ピン (1.8V)
- CLKUSR ピンに 100MHz クロックが入力されているか
 - Arria 10 の場合
- PCIe 専用ピンにアサインしているか
 - Arria 10 の場合、レーンの極性を合わせる必要あり
 - https://www.altera.com/support/support-resources/knowledge-base/ip/2017/why-does-my-arria-10-pcie-hard-ip-link-width-downtrain.html?cq_ck=1501066300630
- ボードレイアウトについては PCI-SIG 規格に沿い、マージンをもって配線

Design Flow



● ボードデザインで検証

○ GR Design を使用して検証

- リンクアップの確認
 - 所望のレートとレーン数でリンクアップしていること
- FPGA 上のオンチップメモリに対してリード/ライト
- FPGA 上の mSGDMA を使用した DMA 転送
 - <https://service.macnica.co.jp/library/125577>
- アドイン カードタイプの基板の場合は、Quartus Prime から自動生成される Example Design でも検証が可能
- リンクアップの確認
 - 所望のレートとレーン数でリンクアップしていること
- 参考:インテル® FPGA で PCI Express (Avalon-ST 編)
 - <https://service.macnica.co.jp/library/119341>

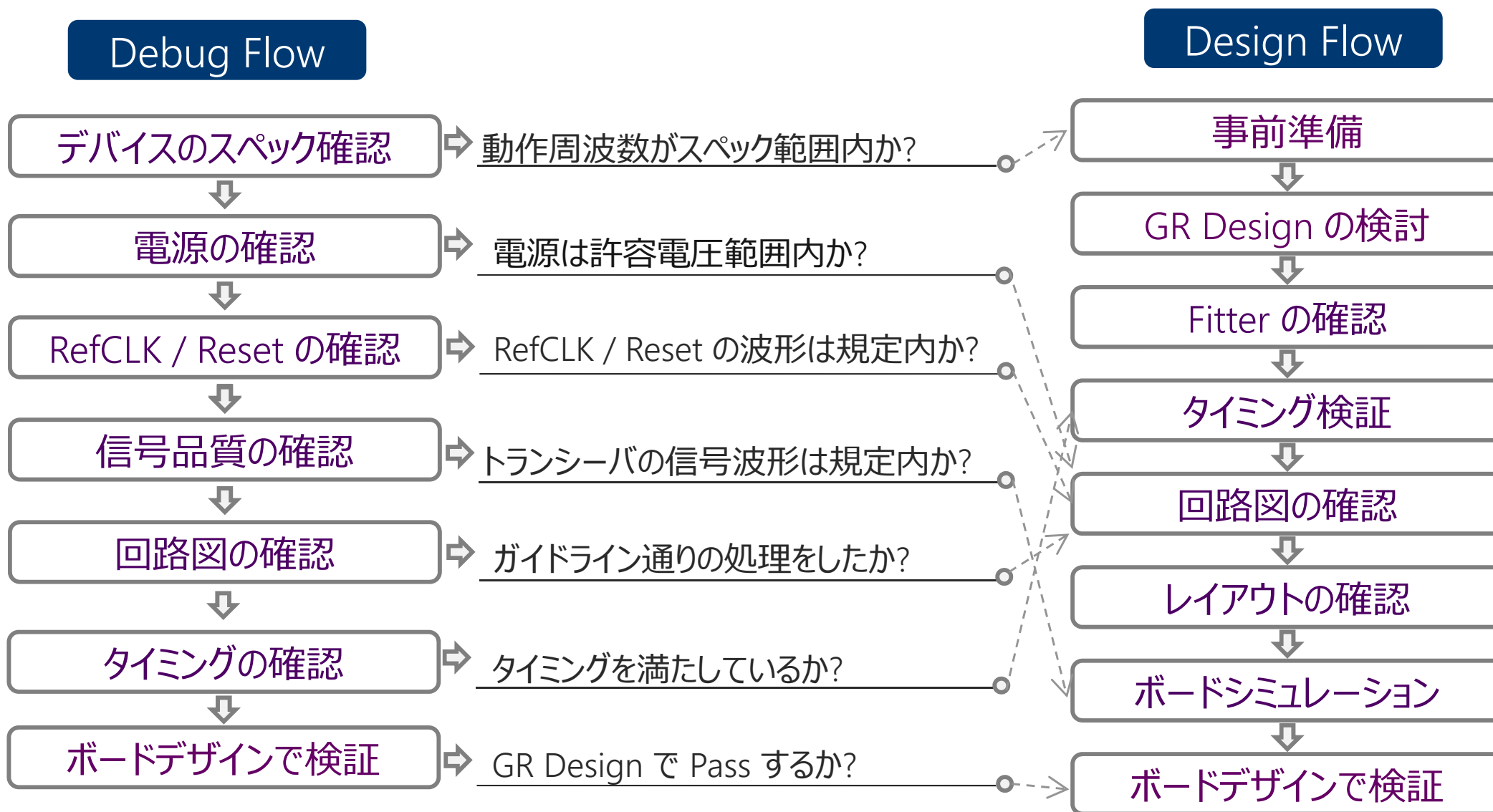


ALTIMA
A **Macnica** Division Company

ELSENA

Debug Flow

Debug Flow



Debug Flow

Debug Flow

デバイスのスペック確認



電源の確認



RefCLK / Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



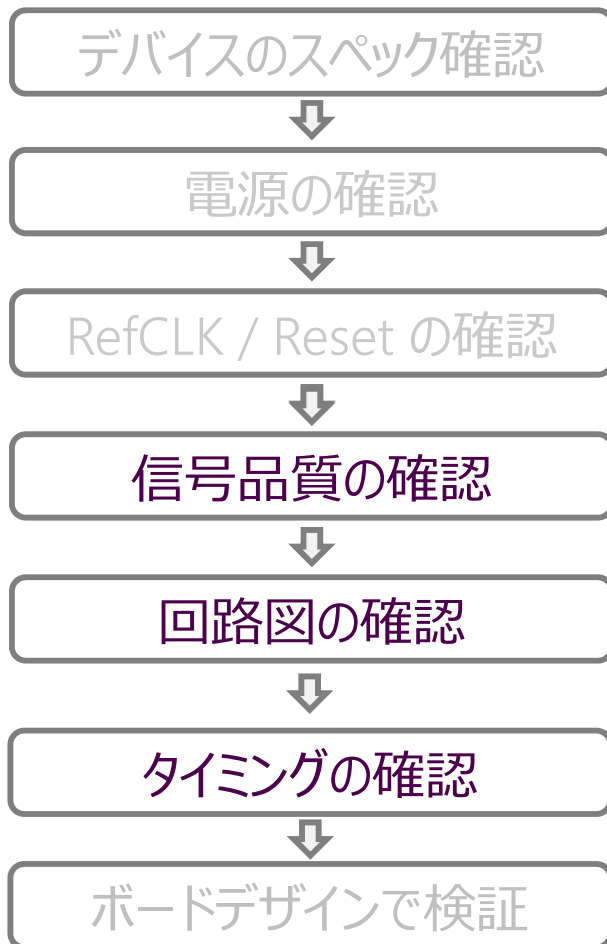
ボードデザインで検証

20G 帯域 (Gen3), 10G 帯域 (Gen2 以下) のオシロスコープで波形を確認し、必ずアクティブプローブを使用する

- 電源の確認
 - 動作中の VCC, VCCR GXB, VCCT GXB, VCCH GXB, VCCA の電圧を測定
 - 動作条件内に収まっているか
 - オシロの積算モードで確認
 - オシロのトリガ・モードで電圧の上限値と下限値を確認
 - 電源電圧を変更
 - 動作条件の上限値、下限値で確認
- 適切なリファレンスクロック、リセット信号が入力されているかの確認
 - FPGA への入カクロックとグローバルリセット
 - PCIe の規格に準拠した精度の良い Clock が入力されているか
 - Root Complex, Switch, Endpoint の各デバイスに入力されているリファレンスクロックの波形をチェック

Debug Flow

Debug Flow



- 信号品質の確認

- デザインガイドライン “Signal Integrity Considerations” セクションを参照

- <https://www.altera.com/documentation/icl1487184721742.html#bhg1487184678907>

- 回路図の確認

- [10 ページ](#)、[11ページ](#)参照

- タイミングの確認

- [9 ページ](#)参照

Debug Flow

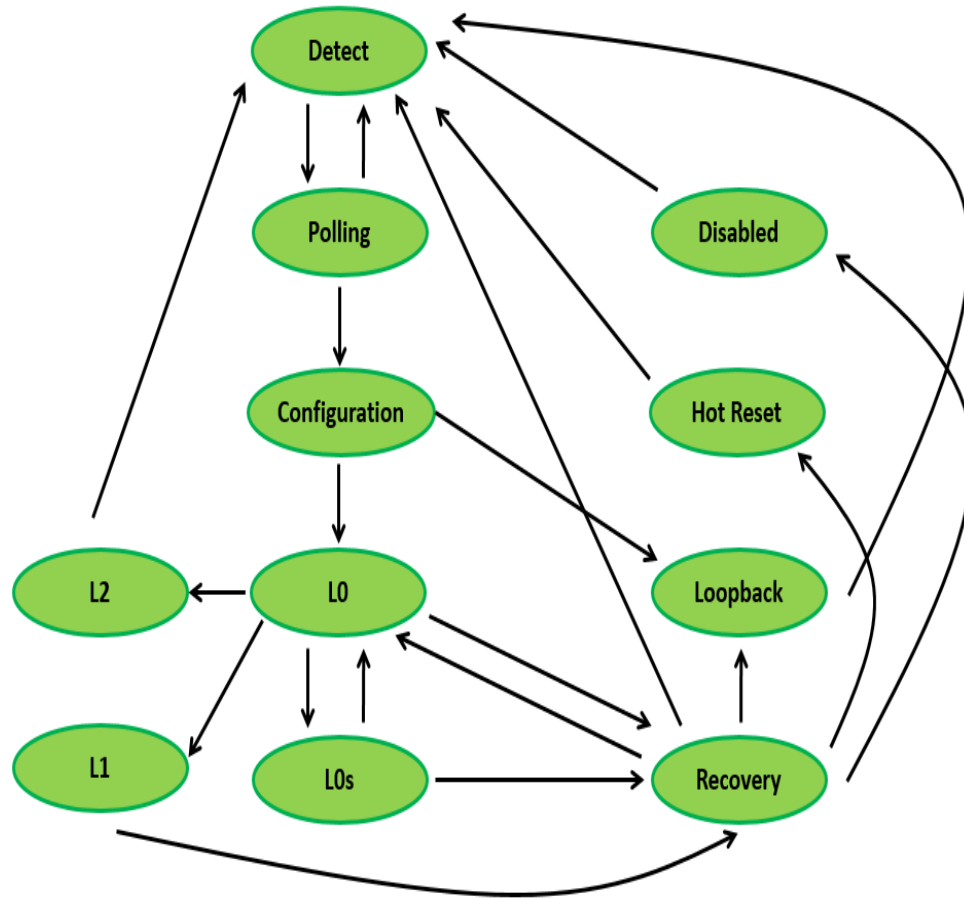
Debug Flow



- Configuration が正常に終了しているか
 - CONF_DONE 信号が High になっているか確認
- Link Up が完了しているか
 - GR Design で LTSSM* と各信号を確認
 - Link Up に Fail する場合、以下の項目を確認
 - 複数基板で同様の現象が発生するか
 - 異なる環境 (PC) を使った場合も同様の現象が発生するか
 - 最新の Quartus Prime を使用した場合も同様か

※ LTSSM : Link Training and Status State Machine

Debug Flow : Link Up Fail について



LTSSM の遷移図

- Link Up Fail とは

- 電源、信号品質、回路図、RTL デザイン等が原因で LTSSM (Link Training and Status State Machine) の状態が L0 ステートに安定していない、または L0 ステートに移行しないことを指す
- Intel[®] PCIe Hard IP では、ltssmstate[4:0] 信号が安定して 0Fh (L0 ステート) の状態でない場合
- 実際の挙動に関しては [Appendix "LTSSM と各信号の挙動確認" \(p25\)](#) を参照

さいごに

- PCI Express は高速で複雑な規格であり様々なレベルの問題が発生しています。設計の設定項目も多いため、動作不良の原因の特定が長期化する傾向にあります。特にリンクアップに関する動作不良例が多く、高速化、多レーン化に伴い増加傾向にあります。
- 本資料では、「ほぼ 80% のお客様の要求をカバーする構成から最小限の機能を実装したデザイン」をGolden Reference Design として示し、更に、それを用いた Design Flow と Debug Flow を示しました。
- 設計時の不具合の混入を防止するために実績のあるデザインをテンプレートとし、動作不良が発生した場合には Debug に費やす時間を短縮するためにあらかじめ Debug する手段を実装することが重要です。
- 設計時間の短縮、市場への不良流出の防止のためにガイドラインを守り、不具合のない製品を最短期間で市場に投入させましょう。



Appendix : Link Up Fail 症状と確認項目

Agenda

- LTSSM と各信号の挙動確認
- test_in 信号について
- Link Up Fail 症状と確認項目
 1. Rx Detect Failure (Tx - FPGA)(Rx - Far end device)
 2. Far end device Rx detect Issue (Tx - Far end device)(Rx - FPGA)
 3. Reset Failure
 4. rx signal detect failure
 5. PCIe enter compliance mode
 6. CDR lose lock
 7. Wordaligner can't found valid pattern
 8. Wrong link/lane number encoded in TS1/TS2
 9. Transceiver calibration not being done properly
 10. Equalization setting not optimum
 11. "Slot clock configuration" parameter set incorrectly

Agenda

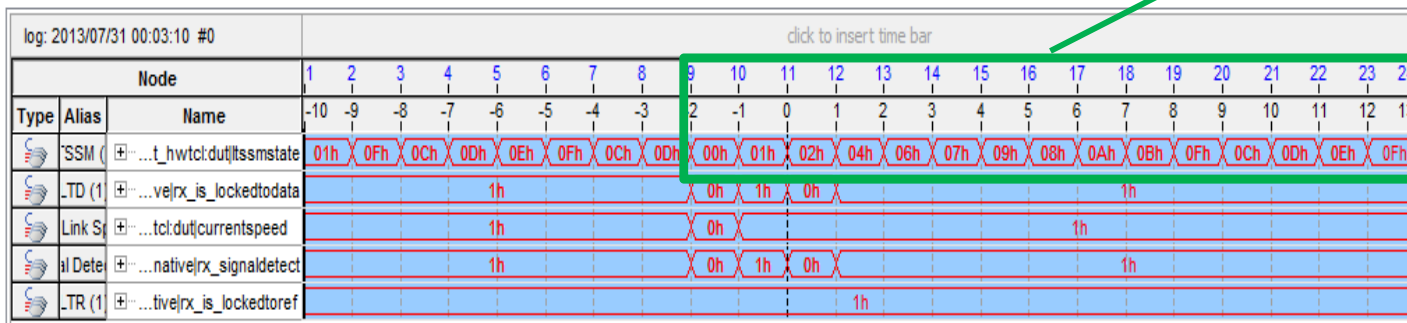
- LTSSM と各信号の挙動確認
- test_in 信号について
- Link Up Fail 症状と確認項目
 1. Rx Detect Failure (Tx - FPGA)(Rx - Far end device)
 2. Far end device Rx detect Issue (Tx - Far end device)(Rx - FPGA)
 3. Reset Failure
 4. rx signal detect failure
 5. PCIe enter compliance mode
 6. CDR lose lock
 7. Wordaligner can't found valid pattern
 8. Wrong link/lane number encoded in TS1/TS2
 9. Transceiver calibration not being done properly
 10. Equalization setting not optimum
 11. "Slot clock configuration" parameter set incorrectly

LTSSM と各信号の挙動確認

- 以下信号を Signal Tap にて観測

| 信号名 | Link Training 成功時の値 |
|---------------------|------------------------------|
| ltssmstate[4:0] | 0Fh |
| currentspeed[1:0] | Gen1=01h, Gen2=02h, Gen3=03h |
| lane_act[3:0] | x1=01h, x4=04h, x8=08h |
| rx_is_lockedtodata | high |
| rx_std_signaldetect | high |
| pin_perst | high |
| npor | high |
| app_nreset_status | high |

- 成功時のLTSSM の動作



| ltssm | LTSSM State |
|-------|-----------------------|
| 00h | Detect.Quiet |
| 01h | Detect.Active |
| 02h | Polling.Active |
| 04h | Polling.Configuration |
| 06h | config.Linkwidthstart |
| 07h | Config.Linkaccept |
| 09h | Config.Lanenumwait |
| 08h | Config.Lanenumaccept |
| 0Ah | Config.Complete |
| 0Bh | Config.Idle |
| 0Fh | L0 |
| 0Ch | Recovery.Rcvlock |
| 0Dh | Recovery.Rcvconfig |
| 0Eh | Recovery.Idle |
| 0Fh | L0 |

※ GR Design に組み込まれている Signal Tap を参照

独自で作成した Signal Tap を組み込む場合は、[Appendix “Signal Tap の組み込み方法”\(p58\)](#) を参照

Agenda

- LTSSM と各信号の挙動確認
- test_in 信号について
- Link Up Fail 症状と確認項目
 1. Rx Detect Failure (Tx - FPGA)(Rx - Far end device)
 2. Far end device Rx detect Issue (Tx - Far end device)(Rx - FPGA)
 3. Reset Failure
 4. rx signal detect failure
 5. PCIe enter compliance mode
 6. CDR lose lock
 7. Wordaligner can't found valid pattern
 8. Wrong link/lane number encoded in TS1/TS2
 9. Transceiver calibration not being done properly
 10. Equalization setting not optimum
 11. "Slot clock configuration" parameter set incorrectly

test_in 信号について

- test_in 信号は PCIe HIP に対する 32-bit の入力信号
 - Arria 10 デバイスでは 32'h188 を設定
 - https://www.altera.com.cn/content/dam/altera-www/global/en_US/pdfs/literature/ug/ug_a10_pcie_avmm.pdf#page=72

| Signal | Direction | Description |
|---------------|-----------|---|
| test_in[31:0] | Input | <p>The bits of the test_in bus have the following definitions. <u>Set this bus to 0x00000188.</u></p> <ul style="list-style-type: none">• [0]: Simulation mode. This signal can be set to 1 to accelerate initialization by reducing the value of many initialization counters.• [1]: Reserved. Must be set to 1'b0.• [2]: Descramble mode disable. This signal must be set to 1 during initialization in order to disable data scrambling. You can use this bit in simulation for Gen1 and Gen2 Endpoints and Root Ports to observe descrambled data on the link. Descrambled data cannot be used in open systems because the link partner typically scrambles the data.• [4:3]: Reserved. Must be set to 2'b01.• [5]: Compliance test mode. Set this bit to 1'b0. Setting this bit to 1'b1 prevents the LTSSM from entering compliance mode. Toggling this bit controls the entry and exit from the compliance state, enabling the transmission of Gen1, Gen2 and Gen3 compliance patterns.• [6]: Forces entry to compliance mode when a timeout is reached in the polling.active state and not all lanes have detected their exit condition.• [7]: Disable low power state negotiation. Intel recommends setting this bit.• [8]: Set this bit to 1'b1.• [31:9]: Reserved. Set to all 0s. |

- test_out (Output) 信号と組み合わせて、Debug 目的で使用することも可能

Agenda

- LTSSM と各信号の挙動確認
- test_in 信号について
- Link Up Fail 症状と確認項目
 1. Rx Detect Failure (Tx - FPGA)(Rx - Far end device)
 2. Far end device Rx detect Issue (Tx - Far end device)(Rx - FPGA)
 3. Reset Failure
 4. rx signal detect failure
 5. PCIe enter compliance mode
 6. CDR lose lock
 7. Wordaligner can't found valid pattern
 8. Wrong link/lane number encoded in TS1/TS2
 9. Transceiver calibration not being done properly
 10. Equalization setting not optimum
 11. "Slot clock configuration" parameter set incorrectly

1. Rx Detect Failure (1/2)

● 症状

- LTSSM が Detect.Quiet (0x0) と Detect.Active (0x1) の間でトグルしている
- LTSSM が Detect.Quiet (0x0) -> Detect.Active (0x1) -> Polling.Active (0x2)... で Loop している
- 所望の Link 幅で Linkup 出来ていない

チェック項目

Signal Tap において rxstatus [2:0] & phystatus チェックし、アクティブな Lane を確認

- Rx が特定の Lane で検出された場合、phystatus のアサート時に rxstatus [2:0] は 3'b011 を示す (次スライド参照)

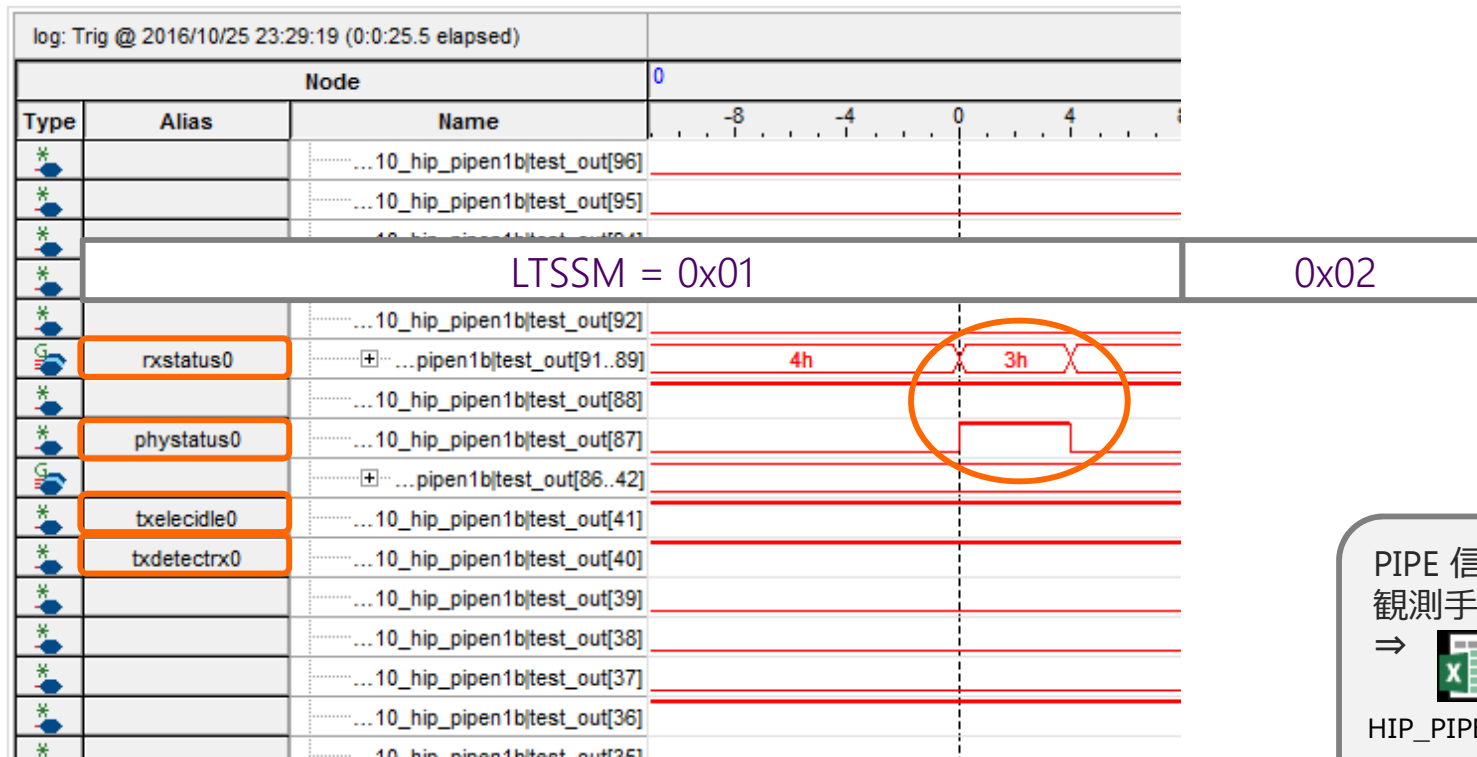
Signal Tap において tx_elecidle & txdetectrx が Lane 検出の開始時にアサートされていることを確認 (次スライド参照)

基板上のデカップリングキャパシタをチェックし、値と接続に問題がないかどうかを確認

- キャパシタの値は Gen1 & Gen2 Rate では 75nF – 265nF
- Gen3 Rate では 176nF – 265nF
- Arria 10 開発キットでは 220nF を使用

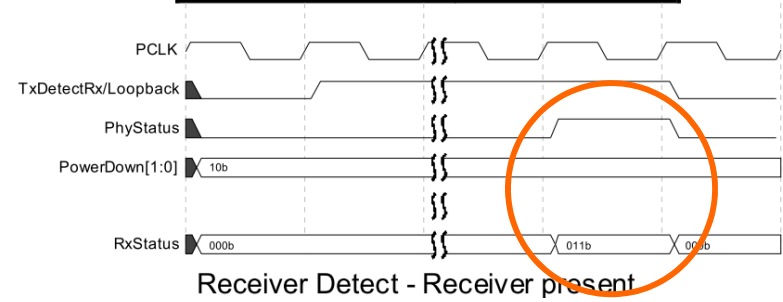
1. Rx Detect Failure - STP 波形

- STP での rxstatus, phystatus, tx_elecidle, txdetectrx の PIPE 信号観測



PIPE 信号の
観測手法
⇒ 
HIP_PIPE_Interf
ace_Signals

| Detected Condition | RxStatus code |
|----------------------|---------------|
| Receiver not present | 000b |
| Receiver present | 011b |



※ PHY Interface for the PCI Express Architecture 抜粋

1. Rx Detect Failure (2/2)

チェック項目

遠端デバイスの終端抵抗をチェック

- 伝送線路の差動インピーダンスは 100 Ω



Fitter > Resource Section > GXB Reports > Transmitter Channel をチェックし、
Tx OCT = 100 Ohm が設定されていることを確認 (下図参照)



| Block Name | Value | Description |
|--|--|-------------|
| -- Basic Parameters | | |
| -- Name | PHY:PHY_inst PHY_altera_xcvr_native_...tx_buf.inst_t | |
| -- Location | HSSIPMATXBUF_1F0 | |
| -- datarate | 3072000000 bps | |
| -- pre_emp_sign_1st_post_tap | fir_post_1t_neg | |
| -- pre_emp_sign_2nd_post_tap | fir_post_2t_neg | |
| -- pre_emp_sign_pre_tap_1t | fir_pre_1t_neg | |
| -- pre_emp_sign_pre_tap_2t | fir_pre_2t_neg | |
| -- pre_emp_switching_ctrl_1st_post_tap | 0x00 (000000) | |
| -- pre_emp_switching_ctrl_2nd_post_tap | 0x00 (0000) | |
| -- pre_emp_switching_ctrl_pre_tap_1t | 0x00 (000000) | |
| -- pre_emp_switching_ctrl_pre_tap_2t | 0x0 (000) | |
| -- rx_det | mode_0 | |
| -- rx_det_output_sel | rx_det_pcie_out | |
| -- rx_det_pdb | rx_det_off | |
| -- slew_rate_ctrl | slew_r3 | |
| -- term_code | rterm_code7 | |
| -- term_sel | r_r1 | |
| -- user_fir_coeff_ctrl_sel | ram_ctl | |
| -- vod_output_swing_ctrl | 0x1f (11111) | |
| -- swing_level | hv | |
| -- res_cal_local | non_local | |
| -- low_power_en | disable | |
| -- compensation_en | enable | |
| -- dcd_detection_en | disable | |
| -- link | sr | |
| -- power_mode | low_power | |

| Value | Description |
|--------|-------------|
| R_EXT0 | Tristate |
| R_R1 | 100 Ohm |
| R_R2 | 85 Ohm |

2. Far end device Rx detect Issue

● 症状

- Far end device (FPGA 対向の TX デバイス) による RX (FPGA 側) detect Issue が発生している

チェック項目

基板上のデカップリングキャパシタをチェックし、値と接続に問題がないかどうかを確認

- キャパシタの値は Gen1 & Gen2 Rate では 75nF – 265nF
- Gen3 Rate では 176nF – 265nF
- Arria 10 開発キットでは 220nF を使用



Fitter > Resource Section > GXB Reports > Receiver Channel をチェックし、Rx OCT = 100 Ohm が設定されていることを確認 (下図参照)



| Value | Description |
|--------|-------------|
| R_EXT0 | Tristate |
| R_R1 | 100 Ohm |
| R_R2 | 85 Ohm |

3. Reset Failure

- 症状
 - LTSSM が Detect State に滞留している状態

チェック項目

pin_perst , npor がアクティブのままとなっているかを確認

pin_perst が正しいピン配置(NPERSTL0 ,NPERSTL1 ,NPERSTR0 ,NPERSTR1)となっているかを確認

-> pin_out file

<https://www.altera.com/support/literature/lit-dp.html#Arria-10>

4. rx signal detect failure

- 症状

- Link が安定しないLTSSM が Detect.Quiet(0) -> Detect.Active(1) -> Polling.Active(2) の間でトグルしている状態

チェック項目

rx_std_signaldetect 信号を Signal Tap で確認 (正常時 : 全ビット=1)

基板上で入力している VCCR_GXB を Quartus Prime の Assignment Editor で設定し、反映されているか確認

Ex)

```
set_instance_assignment -name XCVR_VCCR_VCCT_VOLTAGE <xcvr_voltage> -to <txvr_rx_data_pin_N>
```

```
set_instance_assignment -name XCVR_VCCR_VCCT_VOLTAGE <xcvr_voltage> -to <txvr_tx_data_pin_N>
```

※ <xcvr_voltage> = 0_9V, 1_0V or 1_1

※ _N はレーン番号

Rx Vcm を測定し、rx_std_signaldetect が異常 (0) を示しているレーンと正常のレーンで差分が無いか確認

5. PCIe enter compliance mode

- 症状
 - LTSSM が Polling Compliance State に滞留している状態

チェック項目

test_in[6] = 0 となっていることを確認

差動ピン(Tx ,Rx)が対向デバイスに正しく接続されているか確認

6. CDR lose lock

- 症状
 - rxelecidle = 0, rx_std_signaldetect = 1
 - rx_is_lockedtodata = トグル
 - LTSSM が下記ステートを繰り返している
 - 0x00 -> 0x01 -> 0x02 -> 0x00

チェック項目

プロトコルアナライザを用いて、RX 端で TS1 オーダーセットを受信しているか確認。或いは、オシロスコープを用いて、RX 端でデータパケットを受信している(トグルしている)か確認

トランシーバの TX プリセット設定 (Gen3 のみ) と RX イコライゼーション設定をチューニング (CTLE, VGA)

Rx に対し user recalibration を行い、CDR の Lock 機能が効いていることを確認

7. Wordaligner can't found valid pattern

- 症状
 - rxvalid = 0 の状態

チェック項目

rxstatus [2 : 0] が 3'b100 (8b/10b または 128b/130bデコードエラー) を表示していないか確認



8. Wrong link/lane number encoded in TS1/TS2

- 症状
 - Link 番号、Lane 番号が期待通りでない状態

チェック項目

Root Complex にて送信されたトレーニングパターン(TS1 / TS2) の Link 番号と Lane 番号が期待通りであるかプロトコルアナライザーで確認



9. Transceiver calibration not being done properly

- 症状
 - Tx PLL Lock 信号 外れ
 - pll_locked がデアサート

チェック項目

100MHz のリファレンスクロックが入力されていることを確認

RREF ピンを $2k\Omega(\pm 1\%)$ で GND に接続しているか確認 (Arria 10 の場合)

正しい I/O Standard の設定がされていることを確認

10. Equalization setting not optimum

● 症状

- Gen1/Gen2 でのLink up が不安定
- Gen1/2 の場合は正常に Link up するが、Gen3 で Link が安定しない
 - Recovery State に頻繁になる

チェック項目

各レート毎の Assignment 設定が正しく行われているか
(詳細は下記 KDB を参照)

<https://www.altera.com/support/support-resources/knowledge-base/ip/2017/what-assignments-do-i-need-for-a-pcie-gen1--gen2-or-gen3-design-.html>



11. "Slot clock configuration" parameter set incorrectly

- 症状

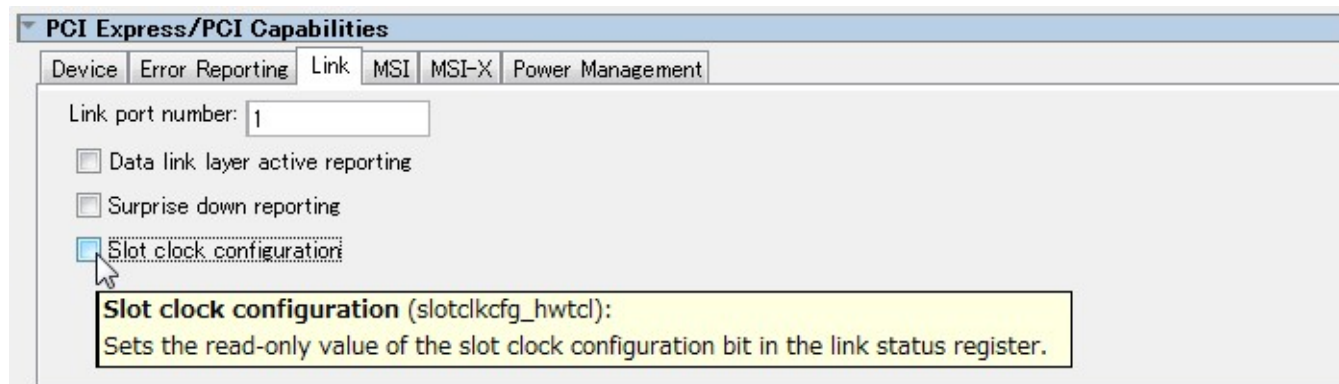
- LTSSM が L0 から頻繁に Recovery State に入る

チェック項目

IP の設定 "Slot clock configuration" の設定が正しく行われているか

Enable 時 : PCIe のリファレンスクロックが同一発振源 (コモンクロック方式)

Disable 時 : PCIe のリファレンスクロックが Host と Endpoint で別々 (セパレートクロック方式)





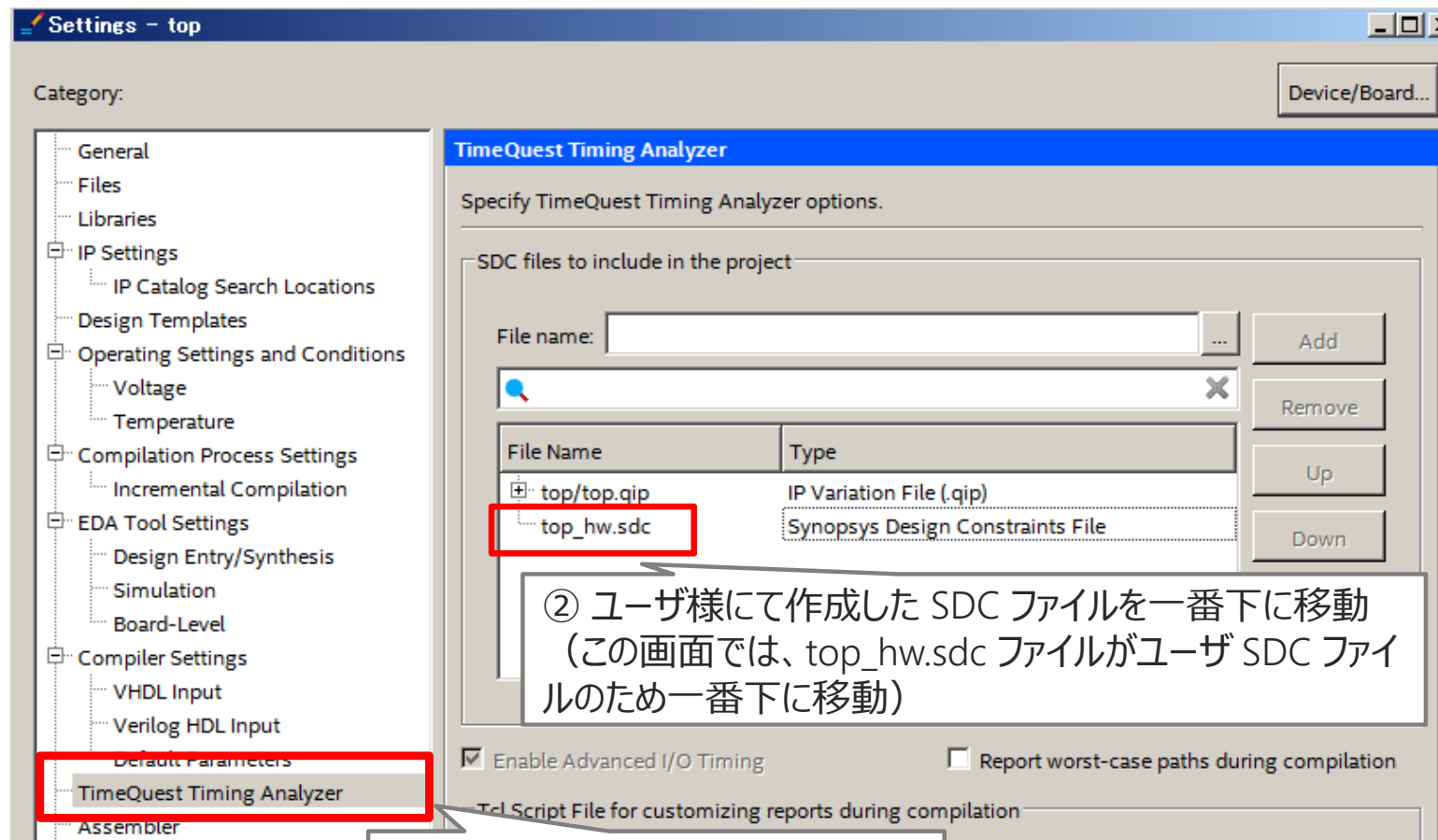
Appendix : その他

Agenda

- Quartus Prime での SDC ファイルの登録方法
- 適切なリファレンスクロックピンの配置
- Signal Tap の組み込み方法

Quartus Prime での SDC ファイルの登録方法

- Quartus Prime の Assignments メニューより Settings.. を選択



適切なリファレンスクロックピンの配置

- Quartus Prime の Pin Planner (Assignments メニュー) より確認

トランシーバ用 リファレンスクロックピン
使用するトランシーバチャネルと同一バンクの
トランシーバリファレンスクロックピンを推奨

Bottom View - Flip Chip
Arria 10 - 10AX115S2F45I1SG

Show I/O Banks
Show VREF Groups
Show Edges
Show DQ/DQS Pins
Show Hard Memory Interface Pins
Show PCIe Hard IP Interface Pins
Show Fitter Placements
Show Differential Pin Pair Connections
Show SSN Analyzer Results

x1 Lanes
x2 Lanes
x4 Lanes
x8 Lanes

右クリック > “Show PCIe Hard IP Interface Pins”
により、所望の Lane 数における HIP の配置、
Refclk, Tx/Rx, nPERST の配置を確認可能

pin_perst ピン

Signal Tap の組み込み方法

- Quartus Prime の Assignments メニュー より Settings.. を選択

① SignalTap II Logic Analyzer を選択

②作成した Signal Tap ファイル (*.stp) を選択

| Type | Alias | Name | Data Enable | Trigger Enable | Trigger Conditions |
|------|-------|---|-------------|----------------|--------------------|
| | | perstn | ☑ | ☑ | |
| | | npor[2..0] | ☑ | ☑ | Xh (OR) |
| | | pex_avmm_grd_u_pex_avmm_grd[hip_status]tsmstate[4..0] | ☑ | ☑ | XXh (OR) |
| | | pex_avmm_grd_u_pex_avmm_grd[currentspeed_currentspeed[1..0] | ☑ | ☑ | Xh (OR) |
| | | pex_avmm_grd_u_pex_avmm_grd[hip_status_lane_act[3..0] | ☑ | ☑ | Xh (OR) |
| | | ...e_a10_hip_pllphy_g_xcvraltpcie_a10_hip_pllphy[rx_is_lockedtodata[7..0] | ☑ | ☑ | XXh (OR) |
| | | ...d_altera_xcvr_native_a10_170_364xgvi:phy_g2x8[rx_std_signaldetect[7..0] | ☑ | ☑ | XXh (OR) |
| | | ..._grd_altera_pcie_a10_hip_170_lq[6sda.pcie_a10_hip_avmm]app_nreset_status | ☑ | ☑ | |

Signal Tap Logic Analyzer 詳細

- <https://www.altera.com/documentation/jbr1437428483891.html#mwh1410384469524>



ALTIMA
A **Macnica** Division Company

ELSENA

Thank you

改版履歴

| リビジョン | 日付 | 概要 |
|-------|----------|------|
| 1.0 | 2017年11月 | 初版作成 |

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。