

ORCA4 Series FPGA / FPSC 基板設計時資料



本資料は、Lattice社 ORCA4-Series FPGA/FPSCを使用する際、
 1) BitstreamデータをFPGA (SRAM) へコンフィグ
 2) Flash-ROMへの書き換え
 3) 電源端子、コンフィグ端子の処理
 等、基板設計時の注意事項をまとめたものです。

動作タイミング等詳細は、別途データシートを参照ください。

注：本資料においては、FPSCに特有の“ASIC”部分、即ち
 Embedded Core部(SERDES、8b/10b等)をASIC部、FPGA領域を
 FPGA部と表記します。

ご不明点等は弊社技術サポートまでお問い合わせください。



株式会社マクニカ
 テクスター カンパニー
 応用技術1部 第3課
 TEL : 045-470-9841
lattice@macnica.co.jp

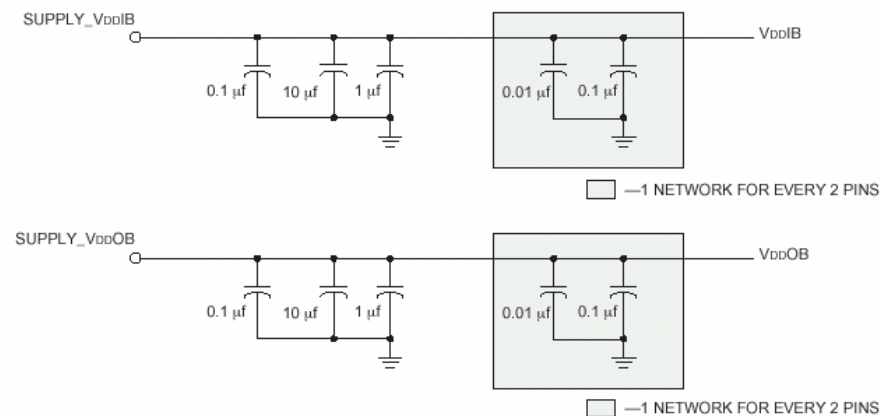
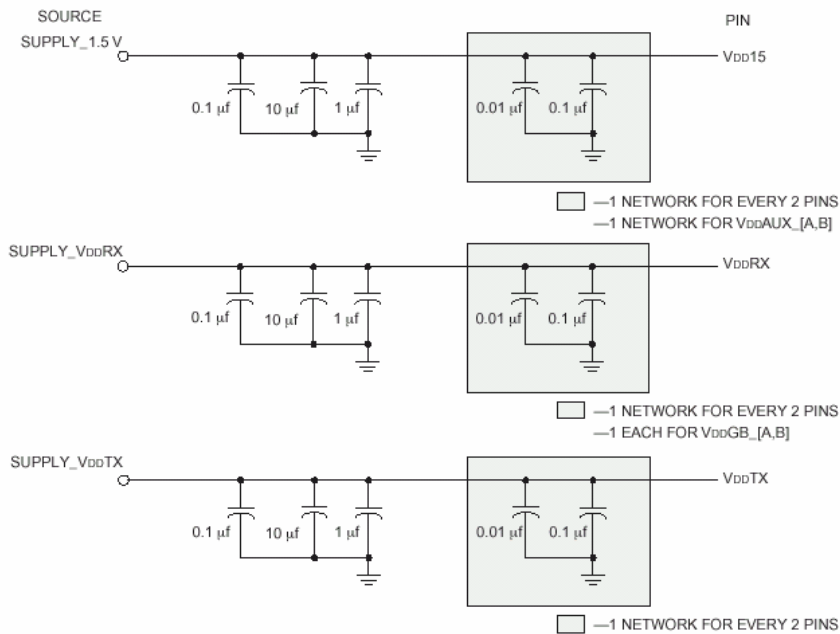
- 1) FPGA/FPSC の電源
 - 1-A) 電源の種類
 - 1-B) 電源処理例
 - 1-C) 電源シーケンス
- 2) FPGA/FPSC へのコンフィグレーション
 - 2-A) コンフィグ概要
 - 2-B) コンフィグ端子
 - 2-C) コンフィグ・シーケンス
 - 2-D) コンフィグ・モードと接続図
 - 2-E) ORCA ダウンロード・ケーブル
- 3) Flash-ROM へのダウンロード
 - 3-A) ダウンロード・ツールの概要
 - 3-B) ダウンロードのブロック図
 - 3-C) ダウンロード・ツールの操作
- 4) FPGA/FPSC の端子の処理
- 5) FPSC のASIC部の処理
 - 5-A) 電源の種類
 - 5-B) CMLバッファ
 - 5-C) ASIC部の外部I/O

V_{DD15}	1.5V電源、コア用です。
V_{DD33}	3.3V電源、コンフィグレーションと内部PLL(FPGA部)用 内部PLLを使用する場合は、Analog電源として扱います。
V_{DDIO}□	各バンク毎に用意されている。バンク毎に使用する インターフェースによって、入力する電源を決定します。
V_{REF}_□_■	リファレンス電圧が必要なインターフェース(HSTL等)を使用 するときに各バンク毎に入力します。使用しないときはI/O として使用可能です。
V_{SS}	グラウンドです。

Note:

□----V_{DDIO}バンク

■----V_{REF}番号



注: V_{DD}Rx、V_{DD}TxはFPSCに必要な電源なので、5)にて説明します。
 FPGAはその二種類電源ないので、無視してください。

電源は、3種類供給する必要があるため、それぞれ V_{DD15} 、 V_{DD33} 、 V_{DDIO} となります。電源シーケンスは以下の投入順序を推奨いたします。

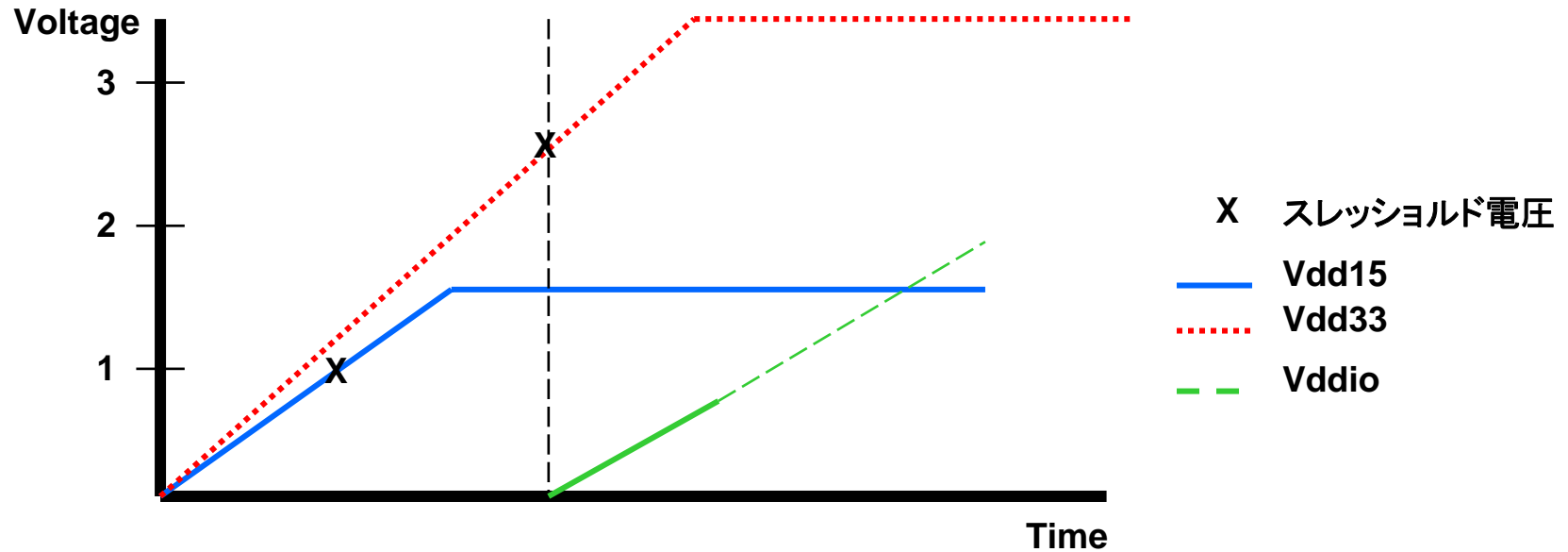
① V_{DD33} が2.3V(V_{DD33} のスレッシュホールド電圧)に到達する前に、 V_{DD15} が1V(V_{DD15} のスレッシュホールド電圧)を超える必要がある。

② V_{DD33} と V_{DD15} が動作範囲に入ってから、 V_{DDIO} を供給する。

つまり、 **1.5V→3.3V→ VDDIO** となります。

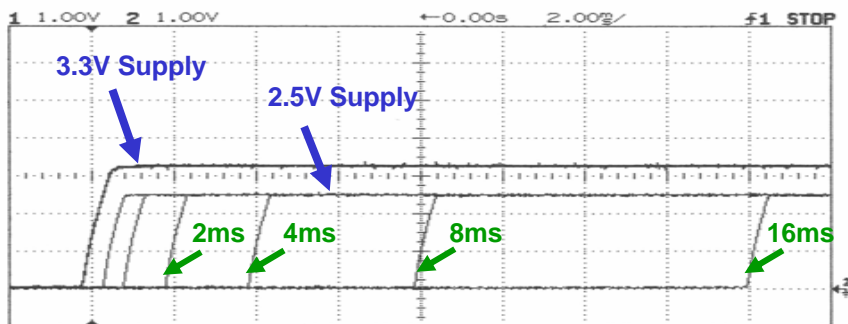
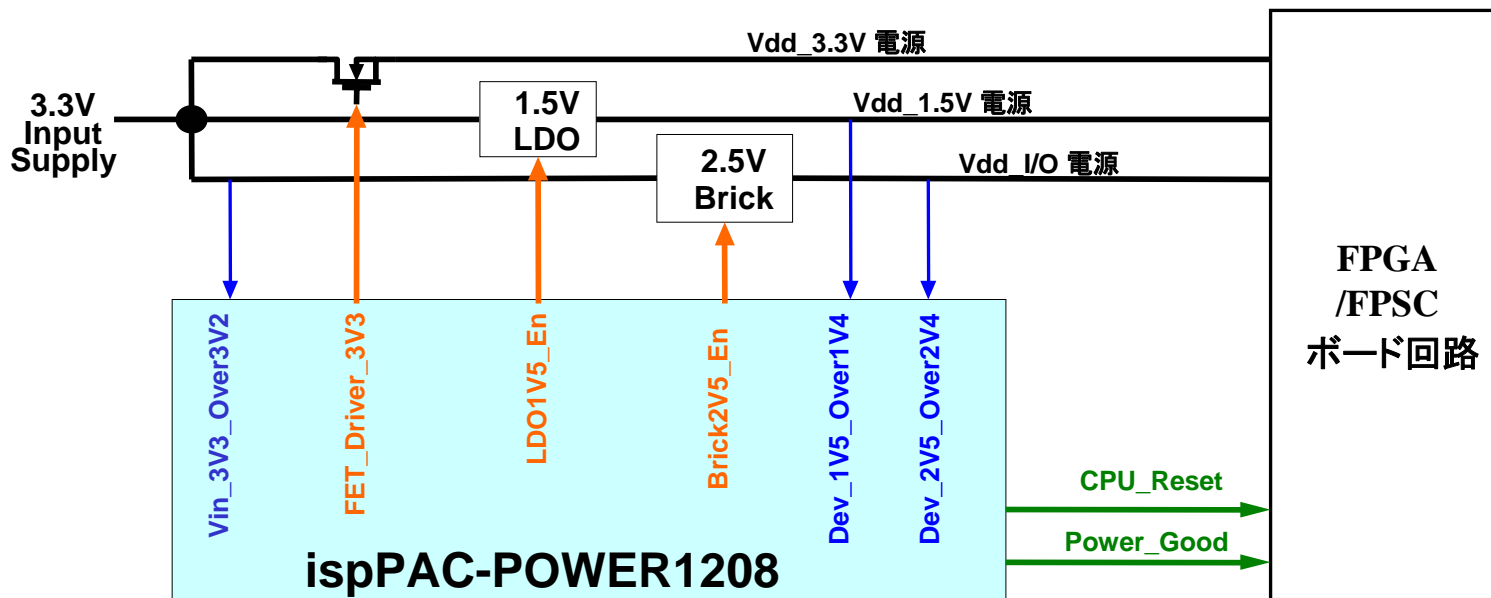
※ V_{DD33} が2.3Vを通過するとき、 V_{DD15} が1Vを通過するときにはそれぞれ1~2A程度の電流が流れます。

※ 電源起動に50mS以上かかる場合は、PRGMピンをLowに落としてください。これにより、不正な電源状態でコンフィグレーションすることを防ぎます。(電源が安定したら、PRGMピンをHiにしてください。そこからコンフィグレーションが始まります)

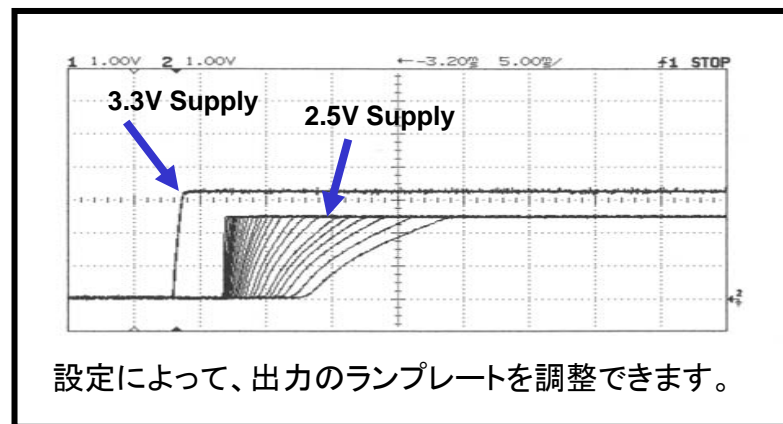


注: V_{DDIO} が3.3Vでも、 V_{DD33} と別電源にしてください。
シーケンスも V_{DDIO} のシーケンスを守ってください。

1-C) 電源シーケンスの推奨部品

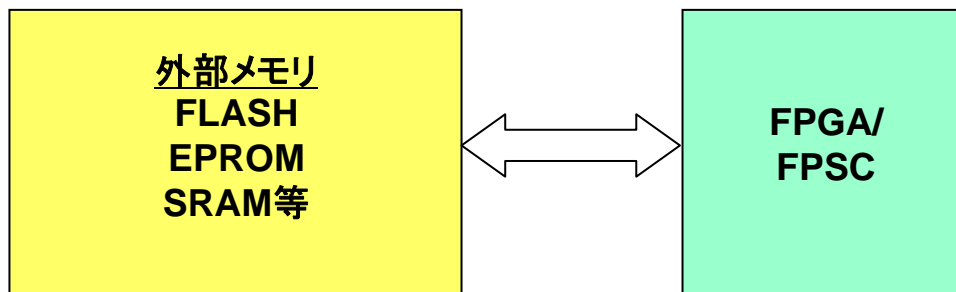


PACツール上の設定によって、出力の遅延を調整できます。



設定によって、出力のランプレートを調整できます。

- コンフィグレーションとは、設計のビットストリーム・ファイルをFPGAの内部コンフィグレーション・メモリにロードするプロセスを言います。
- リードバックとは、FPGAにプログラムされたコンフィグレーション・データを読み出してファイルに書き出すプロセスを言います。



外部コンフィグレーション・メモリとFPGA

- FPGAはSRAMベースのデバイスであり、コンフィグレーション情報を保存する外部メモリが必要になります。このコンフィグレーション情報はFPGAの電源を投入するたびにFPGAにロードする必要があります。
- 外部のストレージ・デバイスにはフラッシュ・メモリ、EPROM、SRAM等があり、これらはサード・パーティのサプライヤから入手可能です。

- FPGA、FPSCにかかわらずコンフィグレーションは同一の手法を使用します。
- FPSCをターゲットにしたビットストリームにはFPGA部分と“ASIC”部分の両方の情報が含まれます。
- FPGAのコンフィグレーションの主な2つの方法
 - 専用FPGAコンフィグレーション・ピンを使用します。
 - マイクロプロセッサ・インターフェース (MPI) を使用します。
- FPGAのJTAGポート経由でPCに接続されたシリアル・ケーブルでFPGAのコンフィグレーションをおこなうこともできます。その場合のダウンロード速度はPCのシリアル・ポートの転送レートに制限されます。

ORCA4-FPGA/FPSCに必要なROMの容量は以下のようになります。

	FPSC				FPGA		
デバイス	ORT8850H	ORT8850L	ORLI10G	ORT82G5	OR4E2	OR4E4	OR4E6
最大 PROM サイズ	4,737,288	1,161,648	3,128,072	3,128,072	1,161,648	3,128,072	4,737,288
外部メモリ	8 - Meg	2 - Meg	4 - Meg	4 - Meg	2 - Meg	4 - Meg	8 - Meg

- 上記外部メモリは1 FPGA (FPSC) 対1 ROMの場合のサイズです。
複数のFPGA (FPSC) を使用する場合、サイズを足し算してください。
- ROMの分割(単数FPGAデータを複数のROMで保存)と
ROMの合成(複数FPGAデータを単数ROMか複数ROMで保存)
について、「ORCA4のコンパイル・オプション」マニュアルをご参照ください。

コンフィグレーションに使用するピンの一覧です。

コンフィグモードにより、使用しないピンもあります。INITとDONE信号はOpen-Drain接続となるため、使用しない場合は外部Pull-upを推奨します。その他の使用しないピンは、OPENにしておいてください。(通常I/O及びMPI Modeとして使用する場合を除く)

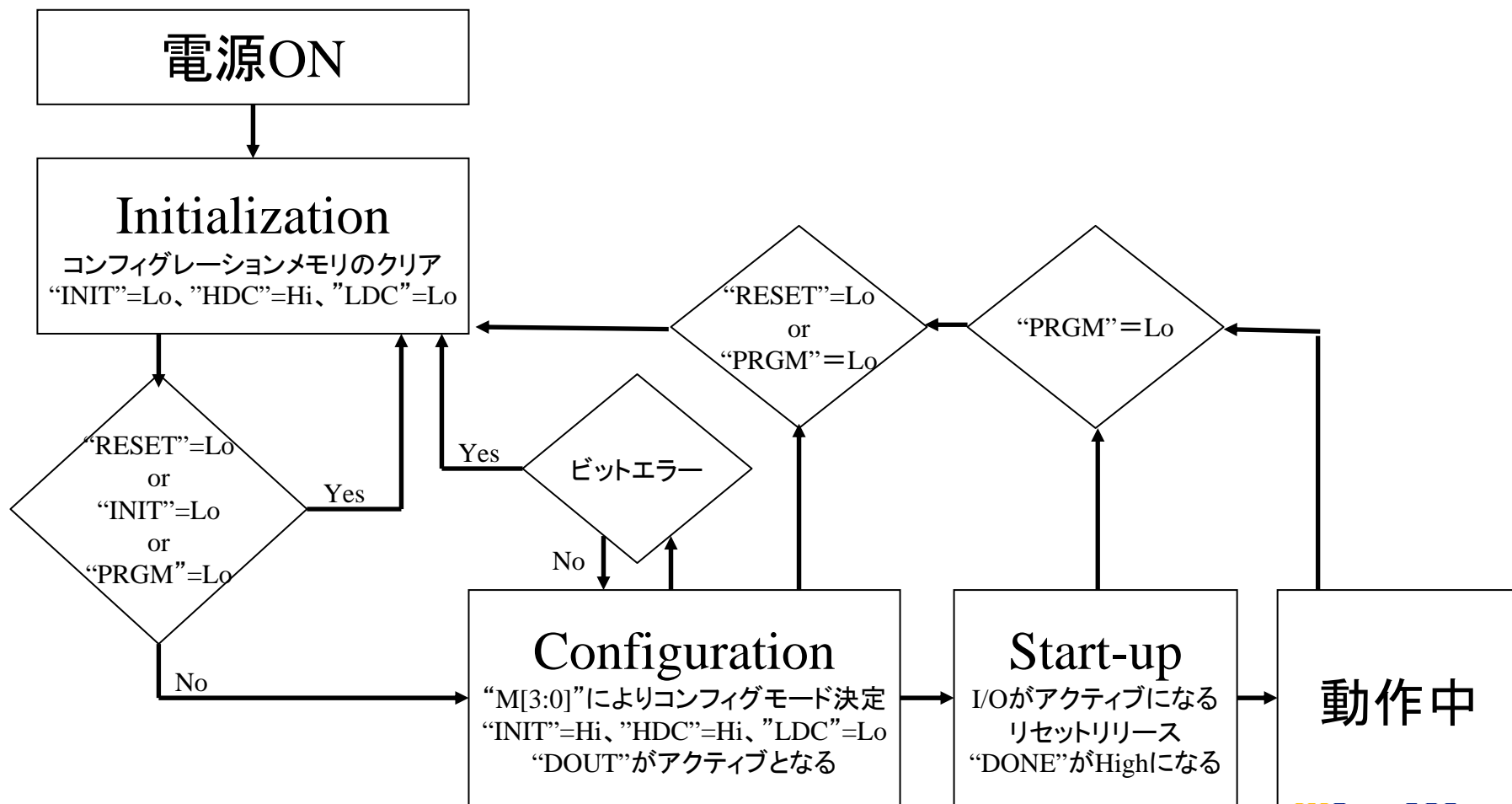
また、太字下線文字で掲載されている信号は、完全な専用ピンとなります。その他は兼用ピンで、コンフィグレーション後、通常I/Oとして使用可能です。但し、**コンフィグレーションとしてLVTTTL推奨(LVCMOS25動作検証済み)なので、兼用ピン該当のバングのV_{DDIO}に3.3V(か2.5V)電源を供給してください。**

各コンフィグ・モードとバンクの関係は以下に示します。シリアル・モードはバンク0のみ該当、パラレル・モードはバンク0と7該当、MPIモードはバンク0、6と7該当します。

<u>•RESET</u>	•M[3:0]	•RD/MPI_STRB
<u>•CCLK</u>	•TDI	•WR/MPI_RW
<u>•DONE</u>	•TCK	•A[21:0]
<u>•PRGM</u>	•TMS	•D[0:31]
<u>•RD_CFG</u>	•RDY/BUSY/RCLK	•DIN
<u>•RD_DATA/TDO</u>	•HDC	•DOUT
<u>•CFG_IRQ/MPI_IRQ</u>	•LDC	•TESTCFG
	•INIT	
	•CS0	
	•CS1	

端子	プロセス	I/O	用途	備考
/RESET	コンフィグ前、中	I	‘L’ →コンフィグをリスタートさせる。内蔵Pull-upがイネーブル。	
	コンフィグ後	I	グローバル・リセット(非同期set/reset for all FlipFlops/Latches)	
/PRGM	コンフィグ前、中、後	I	‘L’ →コンフィグをリスタートさせる。内蔵Pull-upが常にイネーブル。	
	JTAG	I	Boundary SCAN回路をリセットする。内蔵Pull-upが常にイネーブル。	
/INIT	コンフィグ前	B	‘L’ 出力→FPGAのSRAMをクリアにする。電源安定するまで‘L’を保持する。初期化済み、‘H’ 出力になる。外部“L” 入力により、コンフィグのスタートをDelayさせる。	Open-drain
	コンフィグ中	B	通常は‘H’ 出力。ビット・エラーが発生した場合、‘L’ 出力になる。内部Pull-upがイネーブル。基板上で外部Pull-upの付加を推奨する。	
	コンフィグ後	I/O	User I/O	
M[3:0]	コンフィグ前	I	/INIT端子の立ち上がりエッジ、M0-M3はコンフィグ・モードの選択として使用する。	
	コンフィグ中	I	内蔵Pull-upがイネーブル。	
	コンフィグ後	I/O	User I/O	
CCLK	コンフィグ中 ①	O	MasterモードかPeripheralモードの場合、内部CLKを生成し、出力する。	
	コンフィグ中 ②	I	SlaveモードかMPIモードの場合、外部CLKの入力が必要。	
HDC	コンフィグ中	O	‘H’ を出力する。コンフィグ未完了を示す。	
	コンフィグ後	I/O	User I/O	
/LDC	コンフィグ中	O	‘L’ を出力する。コンフィグ未完了を示す。	
	コンフィグ後	I/O	User I/O	
DONE	コンフィグ中	B	コンフィグ中、基本的に‘L’ 出力。Start-up時のみ、外部‘L’ 入力によりDelayさせる。	Open-drain
	コンフィグ後	O	‘H’ 出力がコンフィグ完了を示す。内蔵Pull-upがオプションとして使用。	
DIN	コンフィグ中	I	シリアル・モードでデータ入力として使用。内蔵Pull-upがイネーブル。	DIN=D0
	コンフィグ後	I/O	User I/O	
DOUT	コンフィグ中	O	Daisy-Chain後段デバイスのDINに対し、シリアル・データをDOUTから出力。(Slave-Parallelモード以外)	
	コンフィグ後	I/O	User I/O	
A[21:0]	コンフィグ中	O	Master-Parallelモードで最大4M-ByteのEPROMをアクセス可能。	
	コンフィグ後	I/O	User I/O	
D[7:0]	コンフィグ中	I	ParallelかPeripheralモードで、/WR=‘L’のとき、データを入力される。Pull-up内蔵。	
	コンフィグ後	I/O	User I/O	

Power Onから、コンフィグレーションまでは、以下の流れとなります。

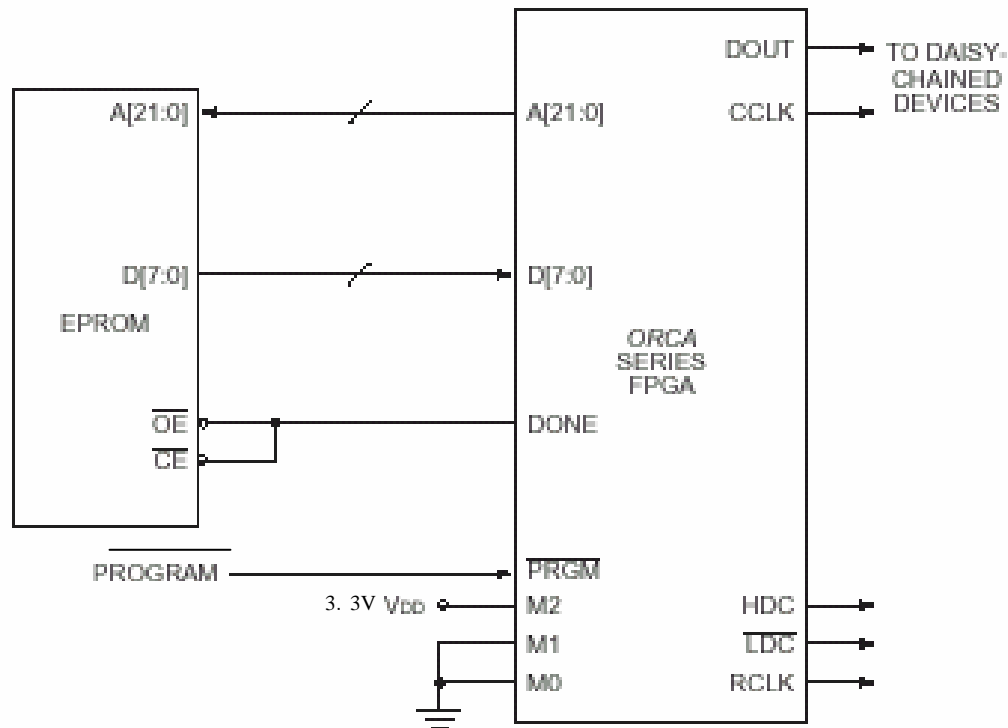


ORCA4は様々なコンフィグ方式に対応しております。次のページより、それぞれの形式における配線図を紹介します。

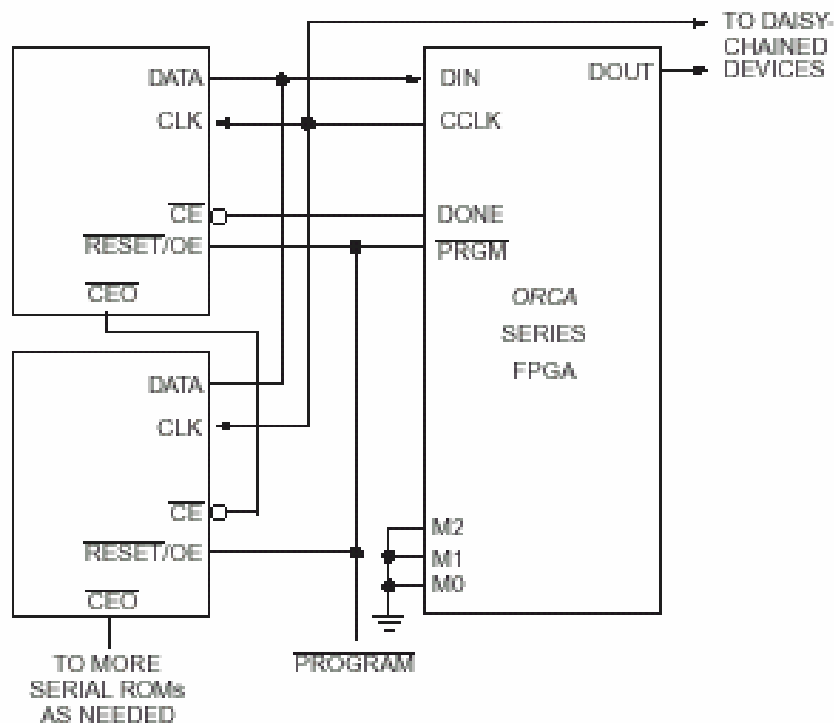
なお、コンフィグ方式の選択は、M[3:0]ピンを以下の表のように固定することによって行います。

M3	M2	M1	M0	CCLK	Configuration Mode	Data
0	0	0	0	Output. High-frequency.	Master Serial	Serial
0	1	0	0	Output. High-frequency.	Master Parallel	8-bit
0	1	0	1	Output. High-frequency.	Asynchronous Peripheral	8-bit
0	1	1	1	NA	Reserved	NA
1	0	0	0	Output. Low-frequency.	Master Serial	Serial
1	0	0	1	Input.	Slave Parallel	8-bit
1	0	1	0	Output.	MPC860 MPI	8-bit
1	0	1	1	Output.	MPC860 MPI	16-bit
1	1	0	0	Output. Low-frequency.	Master Parallel	8-bit
1	1	0	1	Output. Low-frequency.	Asynchronous Peripheral	8-bit
1	1	1	0	Output.	MPC860 MPI	32-bit
1	1	1	1	Input.	Slave Serial	Serial

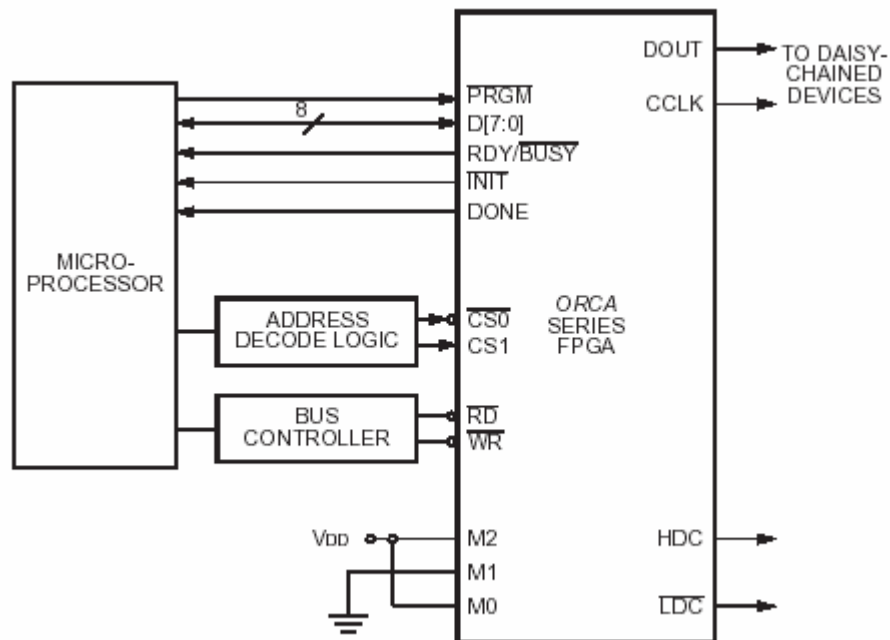
- マスタ・パラレル・モードは業界標準のバイト幅のメモリとインターフェースをとるために一般的に使用されます。



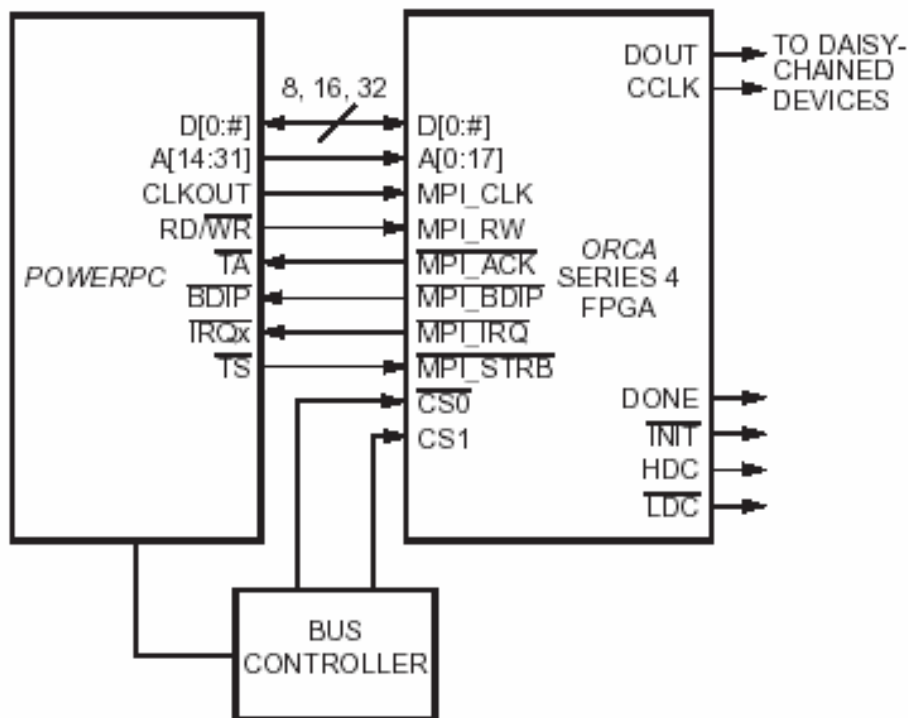
- マスタ・シリアル・モードでは、FPGAはコンフィグレーション・データを外部シリアルROMからロードします。コンフィグレーション・データのロードは、スタートアップ時に自動的に、あるいは再コンフィグレーションのためにPRGMコマンドが発行された場合におこなわれます。



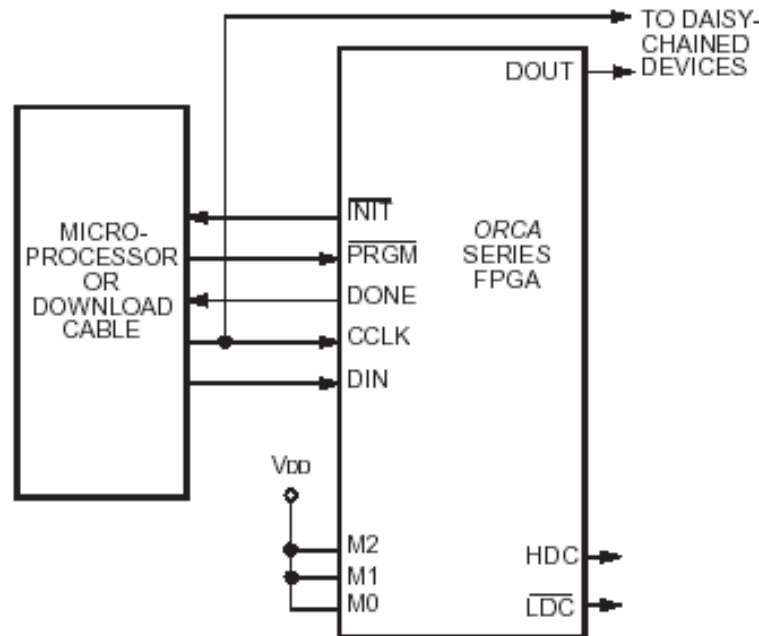
- 非同期ペリフェラル・モードではFPGAシステム・インターフェースはマイクロプロセッサ-ペリフェラル・インターフェースに近い形となります。マイクロプロセッサは8ビットのバイト・データをFPGAに書き込むための制御信号を生成します。標準PROMフォーマットを使用する場合はマイクロプロセッサのD[7:0]にFPGAを接続可能ですが、.bitや.rbtファイルを使用する場合はispLEVERでファイル中のバイトを反転する必要が生じる場合があります。



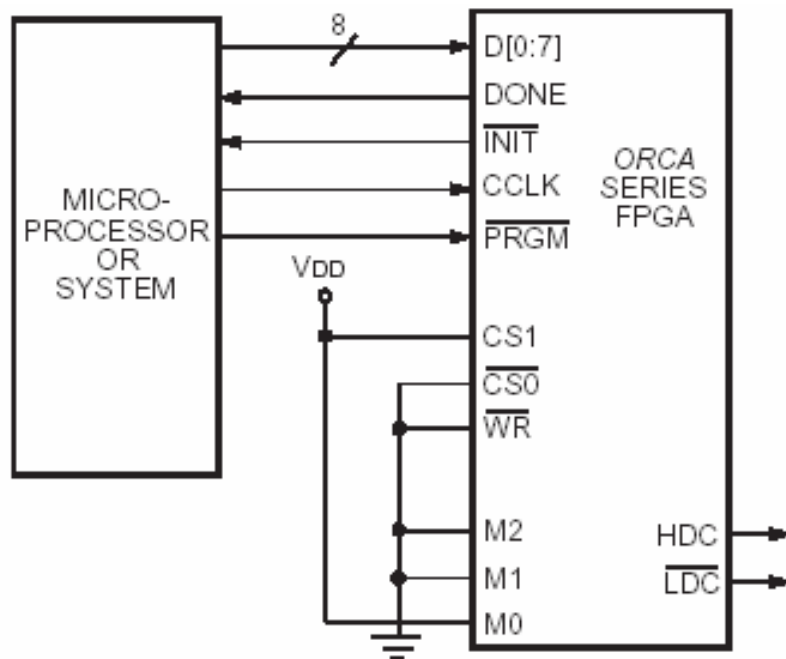
- ORCAシリーズ4 FPGAでは、ビルトインのマイクロプロセッサ・インターフェース (MPI) をFPGAのコンフィグレーションに使用できるように設計されています。



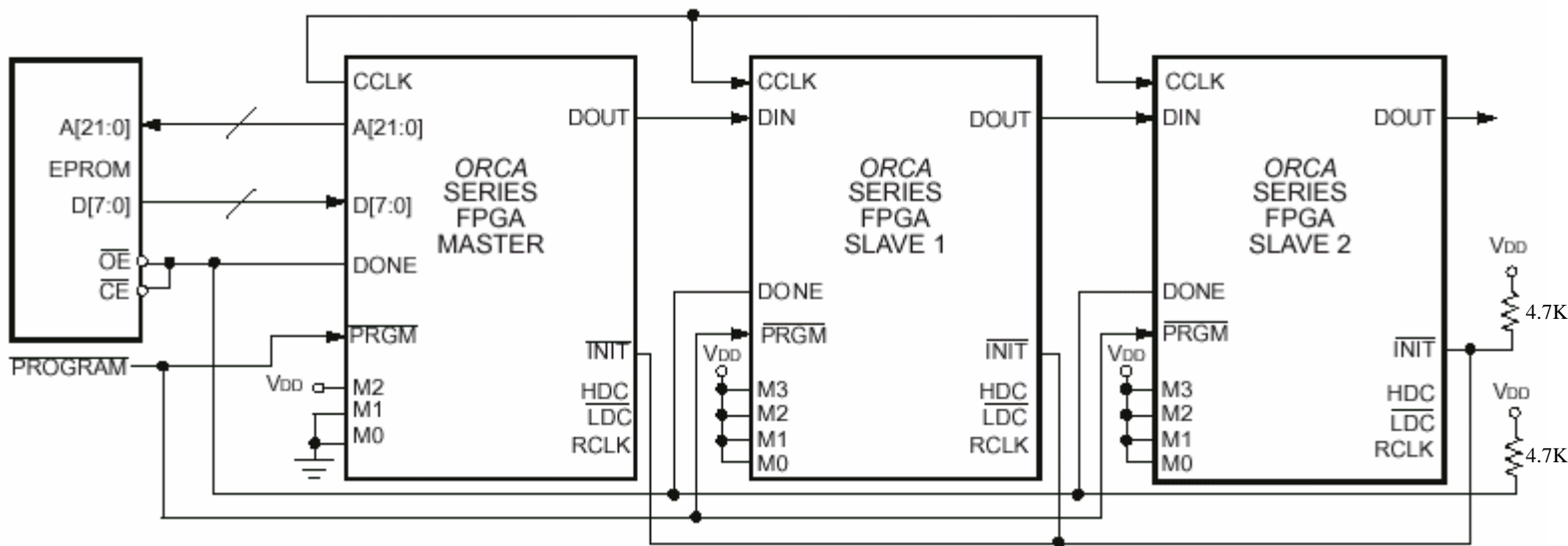
- スレイブ・シリアル・モードは、主に複数のFPGAをデージー・チェーン構成でコンフィグレーションするために使用されます。これはFPGA/FPSC評価基板でも使用されており、ダウンロード・ケーブルとのインターフェースに使用します。
- この構成はデージー・チェーン上の先頭のデバイスとしてスレイブ・シリアル・モードのデバイスを使用できます。(次のデージー・チェーンの構成図を合わせてご参照ください。)



- CCLKサイクル毎に8ビットのデータがD[0:7]ピンに入力されることを除けば、スレイブ・パラレル・モードは、スレイブ・シリアル・モードと同じです。CCLKサイクル毎に8ビットのデータが入力されるので、DOOUTピンにはスレイブ・パラレル・モードのための有効なビットストリームが含まれません。



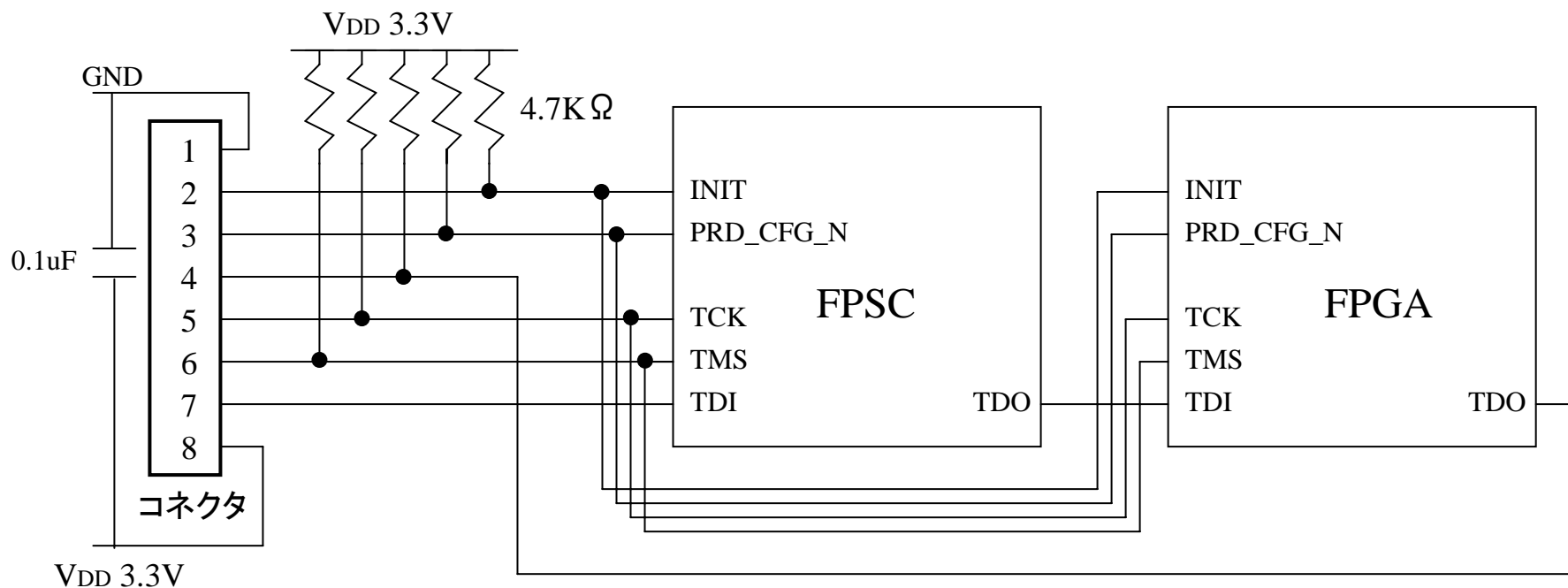
- デイジー・チェーン
 - 複数のFPGAのコンフィギュレーションをデイジー・チェーン構成でおこなうことができます。先頭のFPGAはスレイブ・パラレル以外の任意のモードで、それに続くFPGAはすべてスレイブ・シリアル・モードに設定してください。
注：下図は先頭がMaster-Parallelモードに設定された例です。
 - 各FPGAにおいて、CCLKの立ち上がりエッジでプリアンブルとレンクス・カウントの読み込みとシフト・インがおこなわれ、CCLKの立下りエッジで読み出しとシフト・アウトがおこなわれます。
- Pull-up抵抗について
 - 初期化が確実にできるよう、すべての“_INIT”端子を統一処理(Pull-up)することを極力お勧めします。
 - FPGAがConfiguration後のStart-up
 - 同時にStart-upできるよう、すべての“_PRGM”端子を統一処理(Pull-up)することが推奨です。



ORCA用ダウンロードケーブル(型番:ORCASERIALCABLE)では、2種類の書込みモードをサポートしています。JTAGによる書きこみとSlave Modeによる書込みです。

注: Lattice社のダウンロード・ケーブル(水色Ver.2、灰色Ver.3かUSB)の使用も可能です。詳細は「JTAG基板設計資料」をご参照ください。本資料には割愛させていただきます。

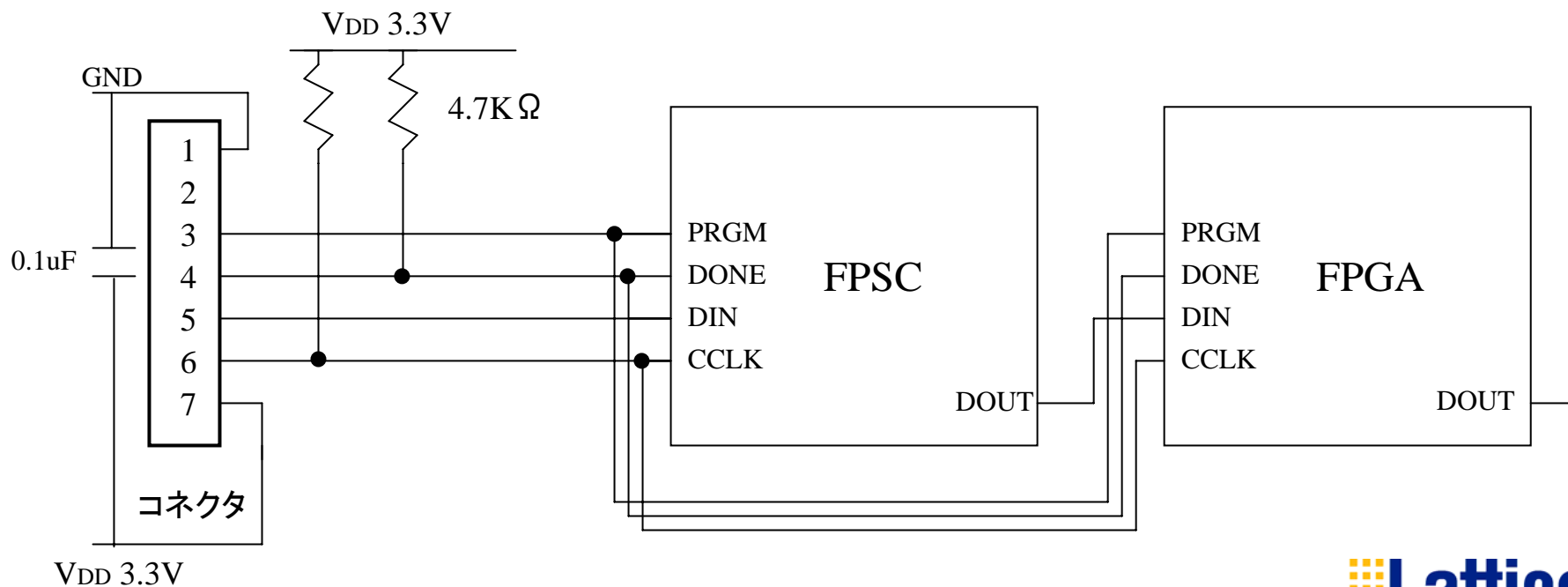
コンフィグ回路図(JTAG Mode)



ORCA4シリーズのダウンロード(JTAG Mode か Slave Mode)の注意点

- 1) Power-On後、コンフィグされていない場合にダウンロードできます。
- 2) Power-On後、すでにコンフィグされた場合、ダウンロードできません。
 - 2-A) 一旦Power-Offしてから、他のコンフィグ手段を止めて、再度Power-Onし、ダウンロードしてください。
 - 2-B) 予め開発ツール(ispLEVER)にて、“JTAG after Configuration”の設定変更してから、コンパイルし、生成されたデータを他の手段でコンフィグした場合は常にできます。詳細は「ORCA4のCompile Option」マニュアルをご参照ください。

コンフィグ回路図(Slave Mode)





ORCA ダウンロードケーブル
(型番:ORCASERIALCABLE)

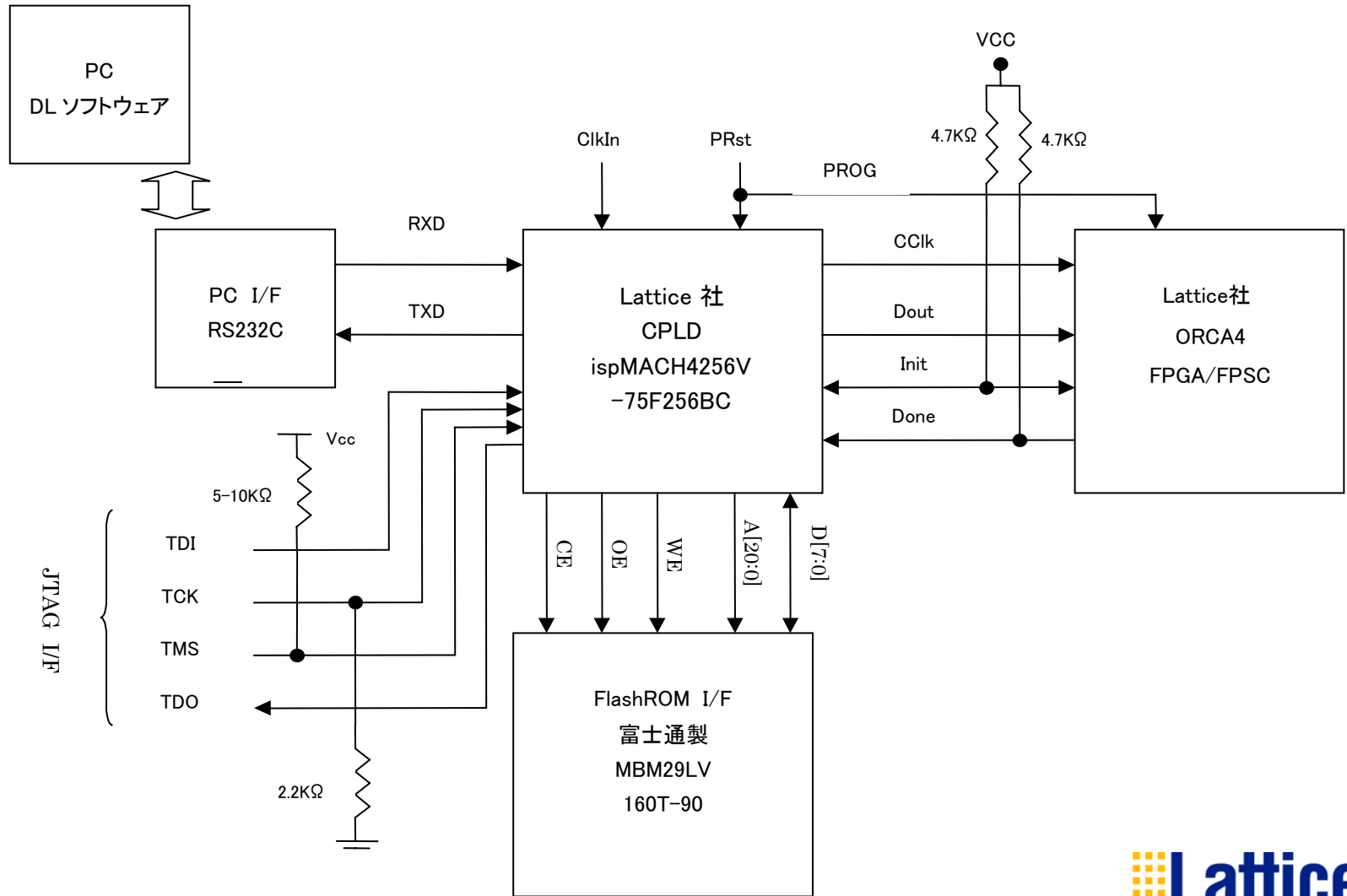
JTAG Mode用コネクタ

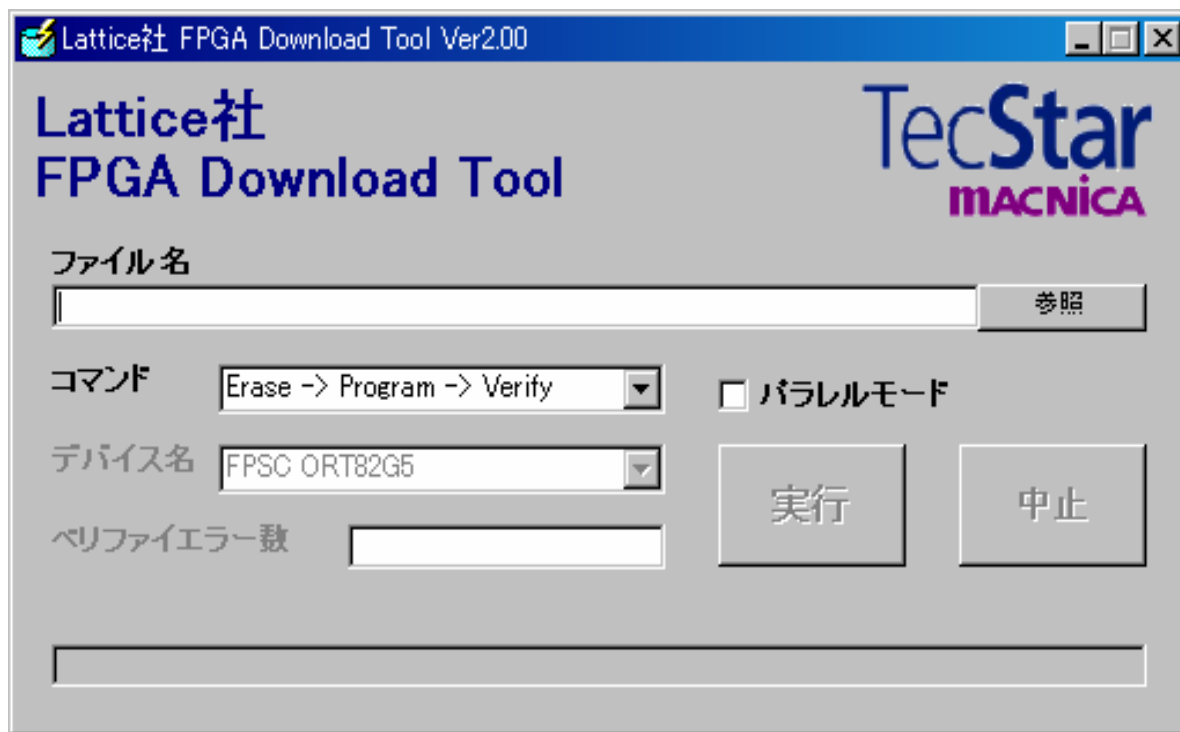
JTAG Connector	
Pin 1	GND
Pin 2	INIT_N
Pin 3	RD_CFG_N
Pin 4	TDO
Pin 5	TCK
Pin 6	TMS
Pin 7	TDI
Pin 8	VDD

Slave Mode用コネクタ

Serial Connector	
Pin 1	GND
Pin 2	NC
Pin 3	PROGRMN
Pin 4	DONE
Pin 5	D0
Pin 6	CCLK
Pin 7	VDD

- 背景
 - Flash-ROMを使用する場合、ロムライターでの焼き込みとダウンロード・ツールでの書き込み二つ方法がございます。
 - ダウンロード・ツールをご検討していただく場合、弊社技術サポートまでお問い合わせください。以下はダウンロード・ツールの概要を紹介します。
- Download Tool 機能
 - PC-基板間I/Fは、RS-232C通信に対応
 - 汎用Flash-ROMを使用
 - FPGAコンフィグレーションは、スレーブシリアルモード対応
- PC Download (DL)ソフトウェア
 - Lattice社FPGA/FPSC対応 Flash-ROMダウンロードツール
 - テクスターオリジナル
 - PCシリアルポートI/F対応
 - Flash-ROMへの書き込み、削除、データベリファイ、読み出し&ファイル保存
 - Windows98/XPにて、実機検証済み。
- CPLD(コンフィグレーション・コントロール)
 - RS-232C通信機能
 - Flash-ROM制御機能
 - FPGAコンフィギュレーション機能





対応コマンド

- Erase -> Program -> Verify: Flash-ROMのイレーズ、プログラム、ベリファイを実行
- Verify: Flash-ROMとデータファイルのベリファイ処理を実行
- Verify Only: Flash-ROMのチップイレーズを実行
- Erase Only: Flash-ROMに書き込まれたデータの読み出し&ファイルセーブを実行
- Read and Save:

本デバイスはFPGA部に、MPI(MicroProcessor Interface)用のピンを持っています。以下の信号名がその一覧となります。なお、CFG_IRQ/MPI_IRQ以外は、MPIを使用しないときは通常I/Oとして使用可能です。

(使用しない場合は、OPENでかまいません)

- | | |
|--------------------------|------------|
| ▪ <u>CFG_IRQ/MPI_IRQ</u> | ▪ MPI_ACK |
| ▪ CS0 | ▪ MPI_CLK |
| ▪ CS1 | ▪ MPI_TEA |
| ▪ RD/MPI_STRB | ▪ MPI_RTRY |
| ▪ WR/MPI_RW | ▪ D[0:31] |
| ▪ PPC_A[14:31] | ▪ DP[0:3] |
| ▪ MPI_BURST | |
| ▪ MPI_BDIP | |
| ▪ MPI_TSZ[0:1] | |
| ▪ A[21:0] | |

PTEMP	温度監視用ピン。使わないときはOPEN
PLL_CK[0:7]	PLLのCLK入力ピン。PLL未使用時は、通常I/Oとして使用可能
P[TBLR]CLK[1:0]	CLK専用ラインへの入力ピン。未使用時は、通常I/Oとして使用可能
LVDS_R	LVDSを使用して、内部の終端抵抗を使用する場合には、 このピンとV _{ss} 間に100Ω(±1%)の抵抗を挿入する。 未使用時は通常I/Oとして使用可能
通常I/O	使わないときはOPEN

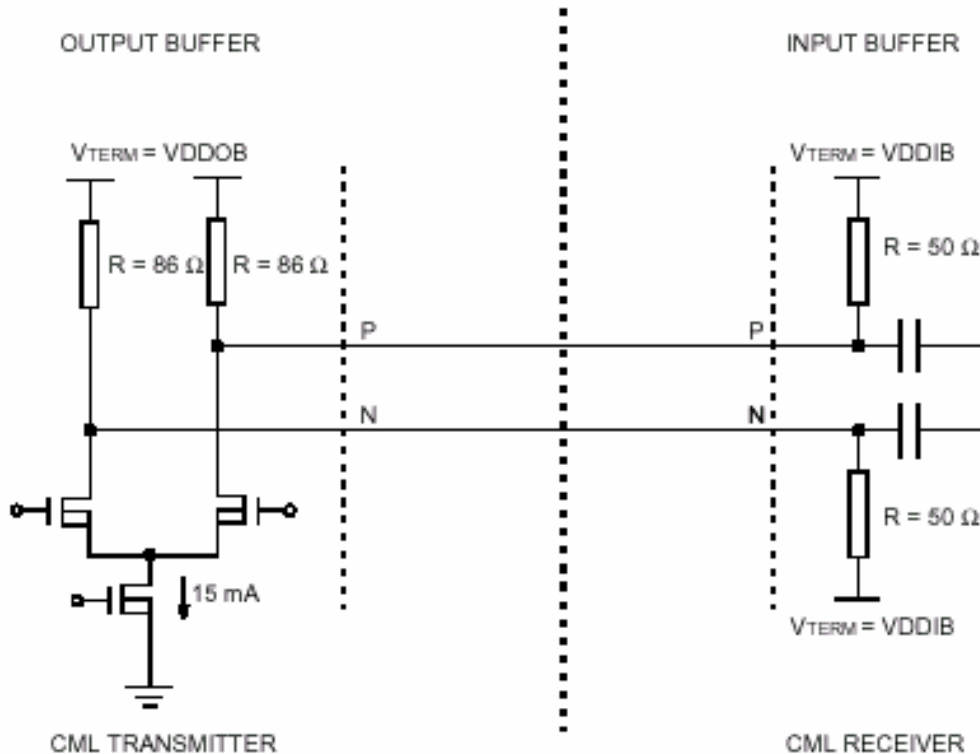
- V_{DD}TX_○●** TX用Analog1.5V電源。ノイズが小さくなるよう考慮下さい。
- V_{DD}RX_○●** RX用Analog1.5V電源。ノイズが小さくなるよう考慮下さい。
- V_{DD}OB_○●** TX Outputバッファ用電源。1.5V or 1.8V供給※。
- V_{DD}IB_○●** RX inputバッファ用電源。1.5V or 1.8V供給※。
- V_{DD}AUX_○** 1.5V電源
- V_{DD}GB_○** 1.5VAnalog電源。ノイズが小さくなるよう考慮下さい。

※次ページを参照してください

Note:

○----SERDESブロック。A or B

●----チャンネル。A or B or C or D



※ VDDIB、VDDOBは、左図のように使用されています。SERDES部の性能にも関わってきますので、この電源だけ分離する等、注意を払ってください。

以下に、SERDES A,B共通のピンを示します。

PASB_RESETNは3.3V Pull-upを推奨しています。その他のピンは未使用時はOPENでかまいません。

PASB_RESETN	Core部へのリセット信号(Active Low) (内部レジスタのアドレス308***,309***,30A***を除く)
PASB_TRISTN	Core部アウトプットバッファの3-state信号(Active Low)
PASB_PDN	SERDES部と関連I/Oのパワーダウン(Active Low)
PASB_TESTCLK	BISTテストとLoopbackテスト用CLKインプット
PBIST_TEST_ENN	PASB_TESTCLKをBISTテスト用に使用する
PLOOP_TEST_ENN	PASB_TESTCLKをLoopbackテスト用に使用する
PMP_TESTCLK	テストモードにおけるMicroprocessor用CLKインプット
PSYS_DOBISTN	BISTテストスタート
PSYS_RSSIG_ALL	BISTテスト結果

以下に、SERDES A,Bのピンを示します。

REXT、REXTN以外は、未使用時はOPENでかまいません。

REFCLKN_○	CMLリファレンスクロックインプット
REFCLKP_○	CMLリファレンスクロックインプット
REXT_○	REXTN_○との間に3.32K Ω \pm 1%の抵抗を挿入
REXTN_○	REXT_○との間に3.32K Ω \pm 1%の抵抗を挿入
HDINN_○●	高速CMLインプット
HDINP_○●	高速CMLインプット
HDOUTN_○●	高速CMLアウトプット
HDOUTP_○●	高速CMLアウトプット

Note:

○----SERDESブロック。A or B

●----チャンネル。A or B or C or D

以上で **ORCA4 Series FPGA / FPSC 基板設計時資料**
は終了です。

より詳細なお問合せ、ご質問等に関しましては、技術サポート貴社担当FAE
または下記技術サポート窓口までお気軽にお問い合わせ下さい。

株式会社 マクニカ テクスターカンパニー ラティス製品 技術サポート窓口
 電話 045-470-9841/FAX 045-470-9842
 Email lattice@macnica.co.jp
 URL <http://www.tecstar.macnica.co.jp/contact/index.html>



6 Revision History

日付	Revision	Old-page	New-Page	変更内容の概要	更新担当者
2007/6/1	1.0			改訂版	恩賀