

第 19 章 設計制約設定ガイド

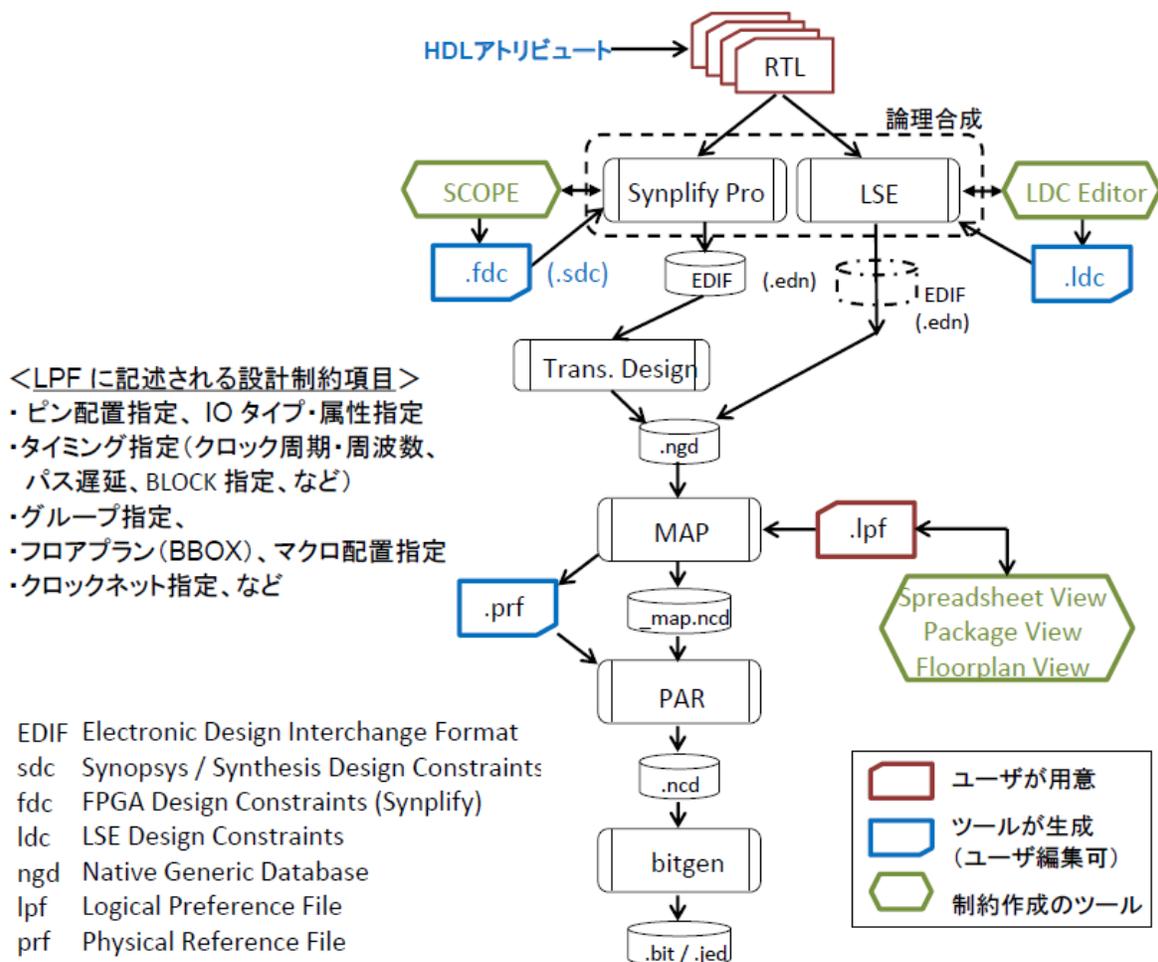
本章では、FPGA への回路実装において、求められる動作性能（クロック周波数制約）を満たす”タイミング・クロージャー（収束）”を確実に達成するために理解しておくべき留意点と、その設計制約 (Preference、Constraints) の設定ガイドラインについて特に焦点を当てています。

設計制約とは、PCB に実装するためのデバイス・パッケージのピン配置指定、各 I/O ピンのタイプや属性指定、回路動作クロックの周波数・周期指定、など FPGA が期待仕様を満たして動作するために回路実装する際に必要となる、ツールへの指示全般を指しています。

19.1 実装フローと設計制約ファイル

設計制約ファイルと制約設定用ポイント・ツール、実装処理フローの関係を図 19-1 に示します。

図 19-1. 設計制約ファイルと実装フロー



註：本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は技術サポート担当者にお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

設計制約を与える方法は幾つかあります。

1. HDL アトリビュート：RTL 記述する HDL ソースファイル内で指定しますが、限定的です。必須ではありません。必要に応じて I/O タイプや論理グループ化、使用リソースタイプ（EBR か分散メモリーか、DSP マクロかロジック・スライスか、など）等の指定に用いられます。
2. 論理合成制約：主に動作クロックの周波数・周期に関する制約を論理合成ツールに与えます。フォルスパスやマルチサイクルパス制約を与える場合も稀にあり得ます。通常は LDC エディター (*.ldc。LSE の場合) や SCOPE エディター (*.fdc/*.sdc。SynplifyPro の場合) を用いて作成します。文法に習熟している場合はテキストエディターでユーザーが編集・用意することもできます。次に述べる LPF での制約や、ストラテジー設定では満足なタイミング・クロージャが達成できない場合に、これら制約ファイルを作成して、論理合成プロセスに適用します。
3. LPF 制約ファイル：主に I/O に関しては I/O タイプとオプション設定、およびピン配置、また動作クロックの周波数・周期に関する制約を与えます。フォルスパスやマルチサイクルパス制約を与える場合もあります。LPF はマッピングと配置配線（以下 PAR）プロセスに作用します。

HDL アトリビュートはユーザーがテキストエディターで RTL 編集時に記述します。LDC エディターについては第 5.2.2 項を、SCOPE エディターについては第 5.3.2 項をそれぞれご参照下さい。LPF 制約ファイルはスプレッドシート・ビュー（第 16 章）、パッケージ・ビュー（第 17 章）、フロアプラン・ビュー（第 18 章）などを用いて追記・編集します。それぞれの操作など詳細は各章をご参照ください。

Diamond プロジェクトでは、インプリメンテーションごとにアクティブな LPF が必ず一つ存在する必要があります。新規プロジェクトを作成する際に、既存の制約ファイル *.LPF をインポートできますが、そうしない場合は自動生成されて組み込まれます。デフォルトの内容は、どの実装にも適用される二つの BLOCK 制約が記述されているのみですので、ユーザーはこの LPF 制約ファイルを直接テキストエディターで編集して設定を行うこととなります。

スプレッドシート・ビュー（以下 SSV）を起動すると、LPF の内容を反映して作業開始となります。種々設定後、保存すると、その設定内容が LPF に書き出されます。タイミング・クロージャのためには、通常は PAR プロセス終了後にタイミングレポートをレビューし、SSV での追加・削除・修正・更新や、LPF を直接編集する、という作業の繰り返しになります（マッピング以降の再実行）。ストラテジーの変更が必要になる場合もあります（変更対象のプロセス以降を再実行）。

マッピング・プロセスを実行すると、PAR プロセスで使用する PRF 制約ファイル (*.prf、Physical pReference File) が自動生成されます。*.prf は LPF の内容を反映して配置配線処理に関わる項目を書き出した（それ以外の情報も含まれる）テキストファイルですので、編集も可能ですが、通常ユーザーが編集することはありません。唯一の例外は PAR 結果のネットリスト (*.ncd) に対して、特定の条件で (TCL コマンドで) タイミング解析するための編集です（第 7.8 節）。

19.1.1 基本的な設計制約の考え方

どのようなインプリメンテーションにおいても、適切な設計制約を与えることは期待する動作を実現するために重要です。考慮すべき制約事項と指定は、大きく分類して以下があります。

- ・ クロック周波数・周期や I/O ポートのタイミング制約
- ・ I/O ポートに対する属性やピン配置などの制約
- ・ その他の制約

まずタイミング制約と I/O ポートの属性に関する制約が適切であることを確実にします。ピン配置は始めに与えることが必ずしも適切とは限りません。特に高速動作を伴う場合、固定されたピン配置が PAR 処理に置いて内部タイミングの最適化を妨げる要因になることがあります。また特定のマクロをデザインに組み込む場合に、適切でないピン配置指定で DRC エラーになることもあり得ます。

ピン配置指定は、当該デバイスの要件を十分に理解した上で行う必要があります。また、一度 PAR プロセスまで処理を実行して、タイミング制約を満たすようにツール自身が決定した配置にすることも良いアプ

ローチです。

”その他の設計制約”とは、特定モジュールやIPなどの実装に係わる配置指定を含む制約事項を意味します。それら固有の制約があるかどうかも含めて、付随するドキュメントを参照するようにします。

クロック信号やネット、またパスに対して何らかのタイミング制約を与えた場合、PAR プロセスは以下の項目を満たすように（ストラテジーで指定回数分の）繰り返し処理を実行します。

- ・ 最大動作速度（周波数または周期）
- ・ 特定パス / ネットの最大遅延
- ・ レジスタ間のホールド時間
- ・ Set/Reset のリカバリ時間（オプション設定によって解析範囲が変わります）

PAR 処理とタイミング解析（Place & Route Trace）の両エンジンは連携して繰り返し回数分動作し、処理終了後に解析結果をレポートに書き出します。タイミング制約を変更した際は、PAR 処理から実行し直します。ターゲットデバイスのスピードグレードを変更した場合も同じです。

一方 I/O タイミング解析（I/O Timing Analysis）プロセスはこれと異なり、配置配線処理後のネットリスト（.ncd）に対して、スピードグレードや PVT 条件の組み合わせを変えて、タイミング解析のみを繰り返し実行してレポートアウトします。

19.1.2 タイミング制約のタイプ

タイミング制約を分類すると以下のようになります。

1. タイミング制約を適用

FREQUENCY / PERIOD, INPUT_SETUP, CLOCK_TO_OUT, MAXDELAY, CLOCKSKEWDIFF など

2. タイミング要件を緩和、または適用除外

MULTICYCLE, BLOCK

以下の二つについてはデフォルトで適用する事を推奨します。プロジェクトを生成した際に自動生成される LPF ファイルには必ず含まれています。

BLOCK RESETPATHS, BLOCK ASYNCPATH

なお、FREQUENCY や PERIOD 制約で与える遅延量を緩和させる場合、特定の単一クロックドメイン内では MULTICYCLE を用い、クロックドメイン間にまたがるパスについては MAXDELAY を用いるようにします。基本的に MAXDELAY はレジスタ間やマクロのポート、および I/O ピンとの間のパスに設定しますが、ネットに適用することもできます。

BLOCK は一義的には上述のように特定の制約を緩和・適用除外する作用して、PAR エンジンがタイミングを満たす為に高い優先度で処理することを不要にする効果があります、もう一つの意図としては、何も指定しないと未制約パスと認識されるため、タイミング・カバレッジが高くなりません。これらを明示的に BLOCK 指定することで制約パスとして Diamond に解釈させます。これによりカバレッジが改善されます。

19.1.3 重複する設計制約の適用ルール

Lattice Diamond において、設計制約が重複して与えられている場合は以下のような優先度が適用されます（以下 ”>” 印は「(優先度高い) > (優先度低い)」を意味します）。

A. グローバル制約と特定の制約

特定 > グローバル

LPF で記述される重複した特定の制約は**後ろの記載**が有効

B. 特定パスに対する制約

BLOCK > MULTICYCLE > MAXDELAY > FREQUENCY

C. ポートとそのポートに繋がるネット（たとえば FREQUENCY 制約）

ネット > ポート

A の例にはファンアウト制約があります。例えば論理合成ツールで与える設定 (Synplify Pro: Fanout Guide、LSE: Max Fanout Limit) はグローバル (デザイン全体) に適用されますが、HDL 内で与える "synthesis syn_maxfan=N (N はファンアウト数)" 記述は特定ネットやポートに対して制約を適用することが可能です。

19.1.4 設計制約のレビュー

与えられた設計制約が適切かどうかを、タイミングレポート (Trace Report: .tw1 / .twr) を以下の観点から慎重にレビューすることは重要です。

- ・レポートされる全制約事項の適用対象アイテム数 ("xxx items scored") を確認する。アイテム数がゼロの場合、誤りであったり意図する制約になっていないことを示唆する。またエラーアイテム数が多すぎる場合、制約自体が過度であるか、RTL 記述を修正しないと根本解決ができない可能性がある
- ・タイミングエラーのパスについて **BLOCK** できるかどうか。リセットなど非同期パスではないか
- ・逆に **BLOCK** すべきではないパスが **BLOCK** 指定されていないか
- ・タイミングエラーのパスについて **MULTICYCLE** 指定できないか (単一クロックドメイン内)
- ・逆に **MULTICYCLE** すべきではないパスが **MULTICYCLE** 指定されていないか
- ・当該パスは同期・依存関係にない二つのクロックドメイン間 (CDC: Clock Domain Crossing) かどうか。その場合、設計的にタイミング制約がなくても問題ない (Don't Care) 回路構成になっているか
- ・タイミングカバレッジは "十分に" 高いか (95% 以上)
- ・PAR ストラテジーで "Check Unconstrained Paths" を TRUE にし (デフォルトは FALSE)、制約の与えられていないパスとしてレポートされている中で、本来は制約されるべきパスはないか

19.1.5 タイミング違反解消のための対処方法

タイミング違反を解消するためには、上述のような設計制約自体の妥当性を見直すことが基本ですが、その次に考慮すべき事項の例と対処方法を示します (順不同)。

- ・マルチシード指定 (PAR Placement Iteration) などストラテジー・オプションを十分推敲する
- ・PAR_ADJ オプションを活用し、PAR 処理を実周波数の 5 ~ 10% 増で負荷をかける (STA は実周波数)
- ・クロックネット割り当てが専用ネットワーク (プライマリーやセカンダリー) かどうかを確認する
- ・内部リセット信号は GSR ネットに割り当てられているか (リセットシステムが複雑でローカルリセットが多用されることで悪影響している場合は、リセット構成を見直し)
- ・意図せず FF ではなくラッチを使う記述になっていないかを確認する (非同期 CDC パスと判断されてタイミング違反が解消できない、など)

クリティカルパスの特定と解析

- ・メモリー (EBR) や sysDSP などの出力遅延が大きい場合、出力レジスタをイネーブルする
- ・パス詳細レポートから、特に遅延が大きくついているエレメント、或いは想定以上にファンアウトが大きい場合、ファンアウト制限や複製オプションを考慮する (特にクロックイネーブルなど)
- ・IO タイミングが厳しい場合、適宜 IO セル内 FF が使われているか
- ・FF によるシフトレジスタ記述が、論理合成で分散メモリーに推論されている為ではないか
- ・メモリーは EBR か分散メモリーのどちらが適切なのか

一段と踏み込んだ制約方法

- ・論理合成ツールに制約 (fdc/sdc) を与えて「その実装にとってより望ましい」結果を生成させる
- ・フロアプランニング : LOCATE、UGROUP、BBOX / Anchor などによる配置指定

HDL の修正が不可避、或いは最善と判断されるケース

- ・ 論理合成ツールによる推論記述ではなく、ツール生成マクロによるインスタンス化する
- ・ 組み合わせ回路のロジック段数が深すぎる場合、FF 間にさらに FF を挿入する（パイプライン化、或いは FF 段数を増やす。ツール依存の方法ではなく、HDL 記述による方法）
- ・ 一連の FF 間同士の組み合わせ論理のアンバランスを見直す（リタイミング化。ストラテジー・オプションによるツール依存の方法ではなく、HDL 記述による方法）

19.2 クロックドメイン内の制約設定と解析

各クロックに周期（PERIOD）または周波数（FREQUENCY）制約を設定すれば、クロックドメイン内は勿論、可能な限りクロックドメインをまたぐパスでも自動的に適切な制約が設定されます。しかし、以下のようなクロックの構成の場合は、周期／周波数制約だけでは期待通りの制約が適用されないこともあるので注意が必要です。

19.2.1 反転クロックを使用した場合の注意事項

Lattice Diamond のタイミング解析では、各スライス内で選択されているクロックの極性設定をチェックし、レジスタ間で使用しているクロックエッジが異なるパスでは、基本的にはクロック周期の 1/2 を制約として適用します。PERIOD 制約でデューティ比を設定していればその値が適用されます。

HDL ソースに反転クロックを記述した場合、ほとんどの場合はスライス内にあるクロック反転機能で実現されます。このため反転／非反転クロックエッジの混在しているパスでも意図するタイミング解析が行われます。このようなデザインでは、有効エッジに関わらずクロックネット名が共通になります（反転クロックのネットは生成されない）。

図 19-2. 有効クロックエッジの異なるパス（スライス内の反転機能を使用）

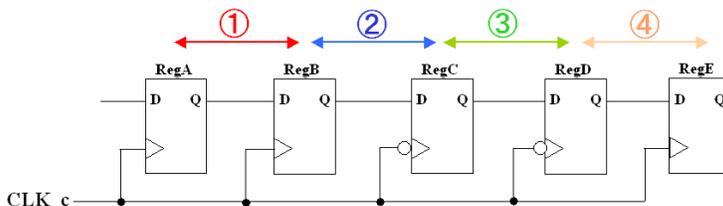
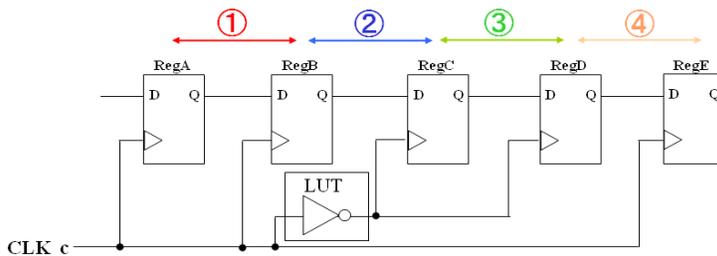


図 19-2 を例にとると、「RegC」および「RegD」のクロック反転はスライス内のクロック反転機能を使用して実現されるため、有効エッジが異なるパス（②④）には、クロック周期の 1/2 がタイミング制約として適用されます。

図 19-3. LUT でクロック反転したパス



しかし、デバイス内部の固有マクロではなく、スライス（LUT）論理を用いて反転や分周するクロックの場合、Lattice Diamond のタイミング解析では、期待通りのデューティ比とクロックエッジでの解析が行われないことに留意する必要があります。スライスまでとスライスからの一般配線を用いた遅延が必ず付加されますし、ファンアウト数によってはクロック分配も一般配線となります。

図 19-7. PLL の出力間パスの適用される制約 (2)

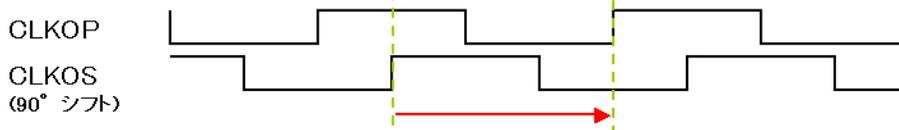
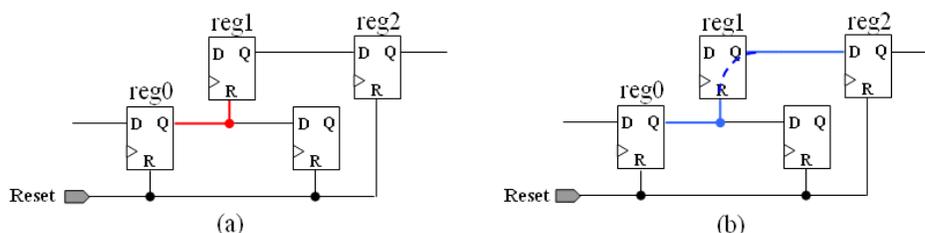


図 19-5 ④のパスのように始点のクロックが CLKOS、終点のクロックが CLKOP となるパスでは、制約として図 19-7 のように [クロック 1 サイクル - 位相シフト分] が設定されます。

19.2.3 非同期リセットの解析

クロックのタイミング制約が設定されたパスでは、非同期リセット（およびセット）のパスも解析されます。解析対象となるのは、FPGA 内部のレジスタで生成された非同期リセットです。

図 19-8. リセット解析パス



ツールのデフォルト設定では、図 19-8 (a) のようにリセットを生成したレジスタ "reg0" から、"reg1" のレジスタのリセット入力までが解析の対象となります。

"reg0" 出力から "reg1" の Q 出力を介して "reg2" の D 入力までのパスを解析する必要がある場合は、制約ファイル内の **BLOCK RESETPATHS** 制約記述を削除します。

19.3 クロックドメイン間の制約設定と解析

19.3.1 基本的な制約方針

任意の 2 クロックドメインを跨ぐ (CDC: Clock Domain Crossing) パスに対する制約設定と解析については、例えば始点/終点レジスタのクロック信号名が異なるパスのタイミング解析では、クロック構成により解析可否が異なります。

解析のデフォルト条件

周波数が整数倍の関係 ~ 高速クロックの一周期相当を適用

それ以外 ~ 当該 2 クロック間の「最小となるエッジ~エッジ間隔」を適用。何も対処しないと制約が厳しくなりすぎるので、要注意

高速クロックから低速クロックへ

むしろ、より適切なのは MULTICYCLE 制約。ただし、高速クロックに伴うデータが毎周期変化する場合は適用できない

低速クロックから高速クロックへ

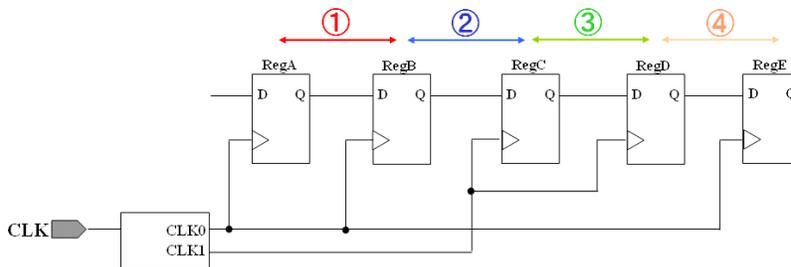
適切な制約があるとなれば BLOCK (解析対象外とするべき) と考えられる

位相や周波数として特定の依存関係がない

BLOCK 制約で解析対象外であることを明示的にツールに指示する。何も設定しないとタイミング・カバレッジが満足するレベルを満たせない可能性が大きくなる

図 19-9 例の PLL に限らず、クロックツリーを辿ると共通のクロックソースにたどり着く場合のクロック間の解析です。図 19-9 のパス②に適用される制約について、図 19-10 のように CLK0 周波数が CLK1 周波数の 2.5 倍のケースです。

図 19-9. CDC (クロックドメイン間) パスの極端な例



終点レジスタのクロック CLK1 の方が低速のため、両クロックエッジ間の最小時間を制約として適用します。一方、同じ周波数関係でパス④では、逆に終点レジスタのクロック CLK0 の方が高速のため、CLK0 の一周期相当が制約として適用されます。

図 19-10. CLK0 => CLK1 CDC パスの適用例 1 (CLK0 周波数が CLK1 周波数の 2.5 倍)

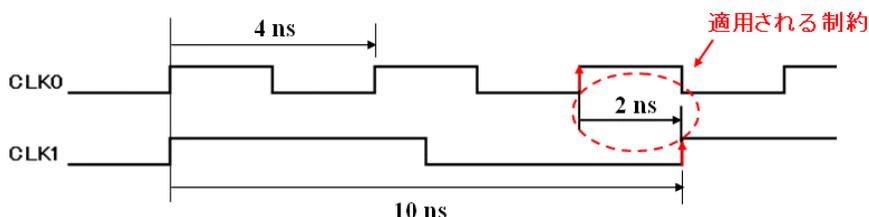
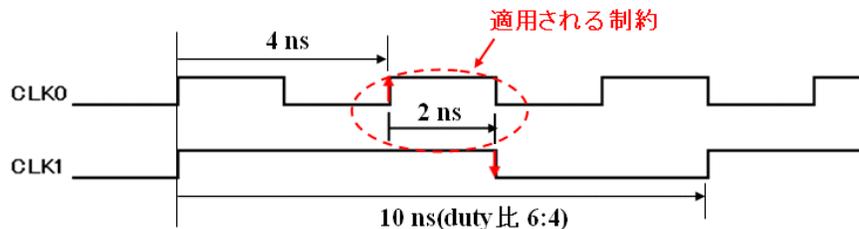


図 19-11 は CLK1 のデューティ比が 6:4 の例で、CLK1 が立ち下がりエッジ有効の場合です。これもエッジ間が最小となる時間相当が制約として適用されます。始点/終点レジスタで使用しているクロックエッジが異なる場合でも、エッジおよびデューティ比を考慮した解析が行われます。

図 19-11. CLK0 => CLK1 CDC パスの適用例 2 (例 1 と同様で CLK1 は立ち下りかつデューティ 6:4)



解析の際には両クロックの (PLL の位相シフトも含む) スキューを考慮した解析が行われます。各パスの解析結果は終点側クロックの解析レポートに出力されます。

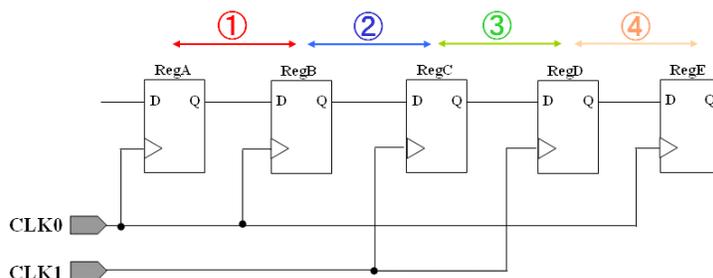
設計回路に依存しますが、適切な解析を行うためには周波数/周期制約だけでなく、場合によっては MULTICYCLE 制約等が必要になります。

19.3.2 派生クロックへのタイミング制約の伝播

CLKDIV など、その出力がクロックとして用いられることを想定してデバイスに組み込まれているマクロを除いて、**論理による分周クロックやゲートド・クロック (派生クロック) の使用は一切推奨しません、結果としての動作保証できません。** 一般配線を使用することが避けられず、クロックとして用いる場合はスキュー管理できません。またクロック・ネットワークに割り当てられるとしても、注入 (インジェクション) 遅延が大きくなり、安定した配置配線結果は得られません。PVT バラツキの影響も大きくなります。

19.3.3 始点・終点のクロックソースが異なるパスの解析

図 19-12. クロックソースが異なるクロックドメイン間パス



それぞれのクロックソース（元のクロック入力ピン）が異なる場合は、デフォルトでは解析が行われません。図 19-12 を例にとると、“CLK0” および “CLK1” に **FREQUENCY** または **PERIOD** 制約が設定されていても、更には **MULTICYCLE** 制約や **MAXDELAY** 制約を設定してもパス②と④は解析されません。

このようなパスに関しては入力ポートでのクロック間スキューを定義することで解析させることも可能です。これにより依存関係のない 2 クロックを関係があるものとしてツールに認識させられます。

```
CLKSKEWDIFF CLKPORT <port_name> CLKPORT <port_name> <max_time_unit> [ MIN <time_unit> ];
```

例えば、

```
CLKSKEWDIFF CLKPORT "clk0" CLKPORT "clk1" 1.4ns Min 0.4ns;
```

などです。クロック 2 系統間の関係が周波数的（例：整数倍比の関係）、或いは位相的に分かり易い単純な関係であれば懸念はありませんが、そのような関係にない場合に解析が必要となる設計とすることは推奨しません。通常はデュアルポートメモリーなど、タイミング要件的に分離できるような回路構造とします。

ただし、2 クロック間が完全非同期でも②や④のようなパスの遅延量を抑えたい場合、CLKSDEWDIFF が有効と解釈されれば、こうしたパスに対する MAXDELAY / MULTICYCLE 制約は意味を持ちます。

なお、CLKSKEWDIFF 制約はクロックポート間にのみ有効です。内部オシレータや特定のマクロが生成するクロック出力との間の本制約は無効です。ECP5 の PCS マクロに含まれる外部基準クロック入力バッファ (extref) マクロの出力も同様です。どうしても制約したい場合は、一旦外部ポートに出力し、ボード上で再度入力する構成にする必要があります。

PLL 生成のクロックとの間は自動的に解析しますので、指定不要です。

19.3.4 BLOCK INTERCLOCKDOMAIN PATHS 制約

Lattice Diamond には **BLOCK INTERCLOCKDOMAIN PATHS** という、異なるクロックドメイン間のタイミング制約／解析を無効（フォルスパス）にしてしまうオプションがあります。このオプションを使用すると、解析が可能としているパスでも全てフォルスパスに設定されます。

この制約は、最優先される制約の 1 つです。これが記述されていると、個別にクロック間に設定 MULTICYCLE 制約等を設定していても全てフォルスパスになります。

期待しないクロックドメイン間の制約／解析の無効化を防ぐため、**BLOCK INTERCLOCKDOMAIN PATHS 制約の使用は推奨しません**。クロックドメイン間のパスをフォルスパスに設定する場合は、個別に **BLOCK** 制約を設定することを推奨します。

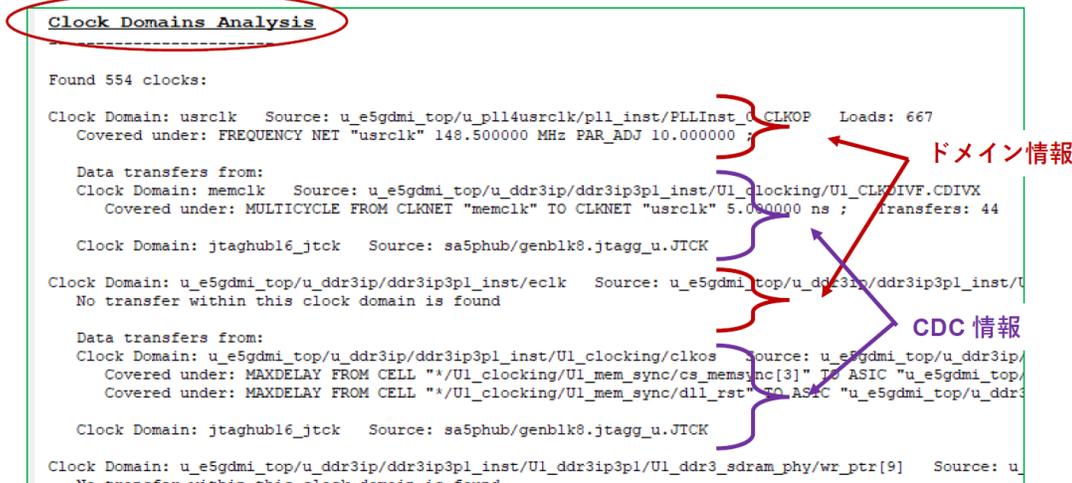
なお、この制約はクロックドメイン内のパスの解析には影響を与えません。

19.3.5 クロックドメイン解析レポート

タイミング解析レポートには、“Clock Domains Analysis” セクションがあります（図 19-13）。各クロックド

メインのネット名とソースおよび負荷数、そして適用された制約がレポートされます。さらに他のクロックドメインからの CDC パスがある場合は、対象となるクロックとそのドメイン間パスに適用された制約をレポートします (クロックドメイン解析)。

図 19-13. クロックドメイン解析レポート



この解析レポートをレビューして、必要な制約が設定されていることを確認するようにします。

19.4 I/O 信号のタイミング解析

19.4.1 出力容量負荷設定

Lattice Diamond で適切な出力信号の遅延を見積もるためには、出力ピンごとの容量負荷を設定する必要があります。出力容量負荷は SSO 解析でも必須ですので、スプレッドシート・ビューなどで必ず適切な値を設定するようにします。

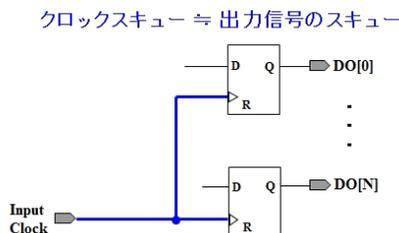
19.4.2 出力信号のスキュー

バスやソースシンクロナスなどの出力信号間でスキュー値が必要な場合、I/O タイミング解析レポートで示されるスキュー値は、2 つのパラメータが考慮されていないため必ずしも適切でない場合があります。その 1 つはクロックスキュー、もう一つは出力バッファの立ち上がり / 立ち下り遅延の差分です。

19.4.2.1 クロックスキューについて

Lattice Diamond のタイミング解析では、クロック専用配線の遅延がレジスタの位置にかかわらず全て同じ値になっています (スキューなし)。エッジクロックも同様です。これは "スキュー値がない" というのではなく、タイミングモデルとして、FF などのセットアップ時間 / ホールド時間要件の中に組み込まれているという意味です。

図 19-14. スキューを計算できる回路構成



このため、出力信号の最大遅延および最小遅延の解析結果自体は正しく計算されますが、この解析から算出される信号間のスキューは、クロックスキューが考慮されていない値になっています。データシートにはクロック専用配線のスキューがパラメータとして記載されていますので、“出力信号間のスキュー”が必要な場合は、レポートから算出した値にクロックスキューの値を加算します。

19.4.2.2 出力バッファの立ち上がり／立ち下り遅延

Lattice Diamond のタイミング解析では、出力バッファ遅延はバッファタイプや出力負荷に応じた最大値・最小値が適用されます。出力信号の最大遅延および最小遅延の解析結果自体は正しく計算されますが、これらの値は立ち上がり・立ち下がりどちらか遅延が大きな方が適用されています。立ち上がり・立ち下りの遅延差はデータシートにも記載されていません。

この値を知るためには、例えば適切な負荷条件での IBIS シミュレーションを行い、その結果から遅延差を求めることとなります。

--- *** ---