

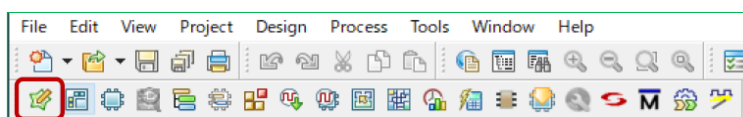
第16章 スプレッドシート・ビュー

16.1 概要と起動

Diamondではユーザーが与える設計制約をLPF制約ファイルに記述しますが(第2.5節)、スプレッドシート・ビュー (Spreadsheet View、“SSV”) GUIで各種制約を設定することで、LPFに書き出す仕組みになっています。あるいは、スプレッドシート・ビューを起動時に、当該インプリメンテーションでアクティブなLPFの内容が反映されて表示されますので、一貫した設計制約の管理ができます。

スプレッドシート・ビューを起動するには、Lattice Diamond ツールバーのアイコン  をクリックするか(図16-1)、メニューバーから [Tool] → [Spreadsheet View] の順に選択します。

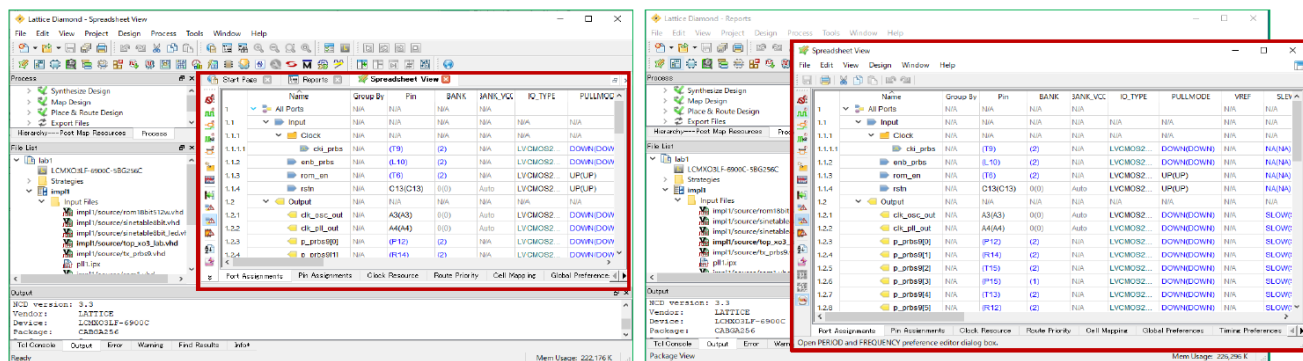
図16-1. アイコンからのスプレッドシート・ビューの起動



スプレッドシート・ビューはデフォルトでLattice Diamondにアタッチされた状態で起動しますが、右上のアイコン  をクリックするとデタッチされ、独立したウィンドウとして表示されます。元に戻すにはデタッチされたウィンドウの右上にあるアイコン  をクリックします(図16-2)。

スプレッドシート・ビューがアタッチされた状態では、メニューバーおよびツールバーがDiamond本体と共有されるので、それらを使用します。デタッチされた状態ではスプレッドシート・ビューウィンドウに表示されるメニューバー/ツールバーを使用します。

図16-2. スプレッドシート・ビューのアタッチ状態(左)とデタッチ状態(右)例



16.2 基本動作

16.2.1 ビューがアクティブになる状態


スプレッドシート・ビューで編集を行うためには、少なくともマッピング・プロセスの前まで (Synplify Pro 選択時は “Translate Design” まで、LSE 選択時は “Synthesize Design” まで) 完了している必要があります。

註: 本Lattice Diamond日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は技術サポート担当者にお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

そうではない状態でもスプレッドシート・ビューを起動することはできますが、全てがグレーアウトされて何も編集はできません。また、この場合でも ”MAP Design” プロセスの前まで終了すれば、スプレッドシート・ビューを再起動することなく、各種設定が行える状態になります。

また既述の通り、当該インプリメンテーションで LPF がインポートされていれば、スプレッドシート・ビューを起動時に、その内容が反映されます。

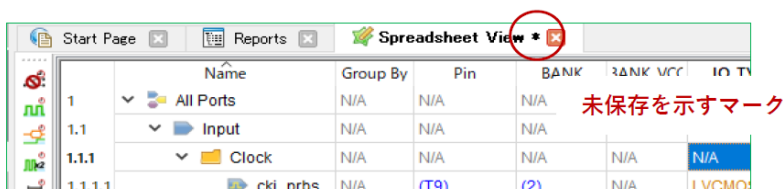
16.2.2 変更した設定の保存

スプレッドシート・ビューで行った何らかの設定変更・追加を有効にするためには、保存する必要があります。未保存状態かどうかは、図 16-3 のようにビューの上部にある ”Spreadsheet View” 表示に ”*” 印が付加されます。また Diamond 本体 GUI の右下には ”Preferences Modified” と表示されます。さらに、Lattice Diamond のメニューバーやスプレッドシート・ビューのウィンドウに表示される保存アイコン  がアクティブになった状態のままです。

編集後には保存アイコンをクリックして保存します。保存アイコンは非アクティブ状態になりグレーアウトされます。保存先は当該インプリメンテーションでアクティブになっている LPF 制約ファイルです。

編集を無効にするためには、保存する前にメニューから [File] → [Close] を選択するか、ウィンドウ右上の印をクリックします。いずれも ”INFO - Do you want to save your in-memory LPF changes into xxx.lpf?” のような確認メッセージが表示されますので、『Discard』をクリックします。

図 16-3. 設定変更・追加後の未保存状態

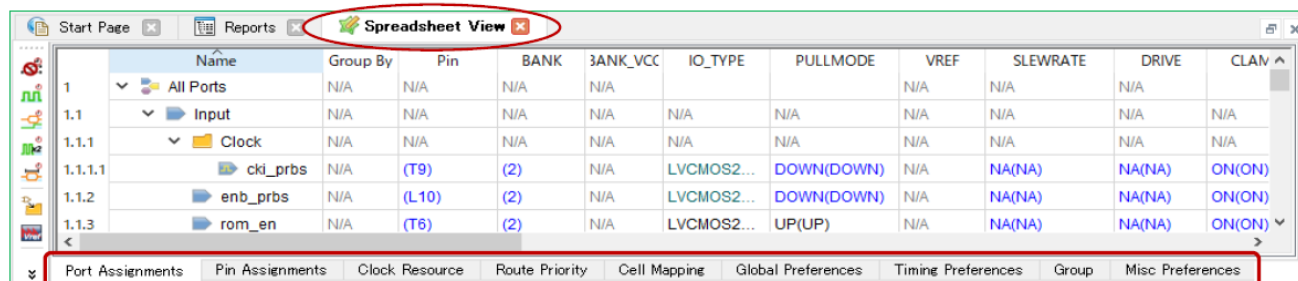


保存する際に、DRC (デザインルール・チェック) がバックグラウンドで実行され、問題があれば ”Output” ウィンドウにメッセージが赤字で出力されます。

16.2.3 制約設定タイプとタブ構成

スプレッドシート・ビューは設定内容タイプごとに 9 シートから構成されています (図 16-4)。各シートはウィンドウ下部のタブによって選択し、それぞれの詳細設定を行います。

図 16-4. スプレッドシート・ビューのタブ構成

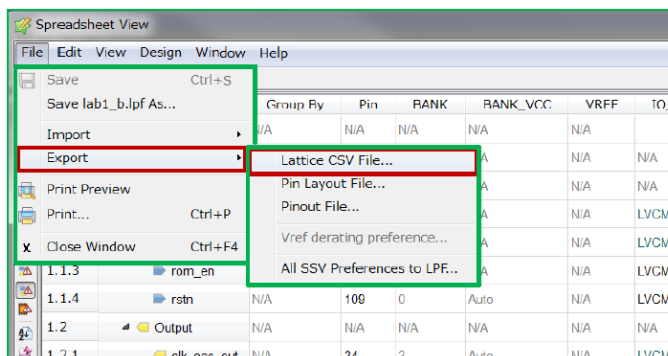


最も良く作業するタブは [Global] (コンフィグレーション関連) や [Timing Preferences] (タイミング関連)、および [Port Assignments] (ポート配置や属性関連) です。次いで [Group] (グループ化)、[Clock Resource] (クロック関連) ですが、頻度はそれほど高くはないでしょう。他に [Pin Assignments]、[Route Priority]、[Cell Mapping]、[Misc Preferences] があります。

16.2.4 CSV ファイルへのエクスポートとインポート

一部のシートについては CSV ファイルへのエクスポート（書き出し）とインポート（取り込み）ができます。エクスポート後に編集してから再度インポートすることも可能です。

図 16-5. csv ファイルへのエクスポート（デタッチ状態のスプレッドシート・ビュー）



シートをエクスポートするためには、まず対象とするシートのタブを選択します。その後メニューバーから [File] → [Export] → [Lattice CSV file...] の順に選択します（図 16-5）。

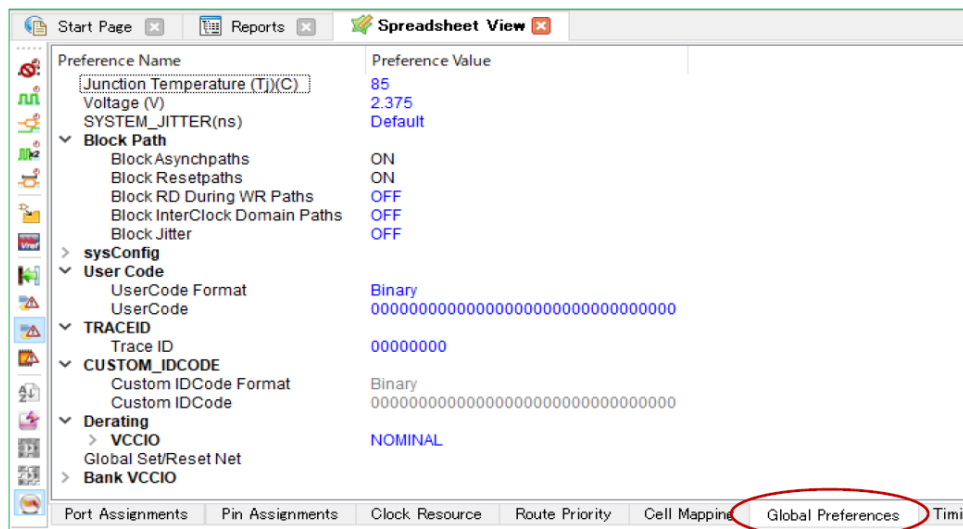
エクスポートされた CSV ファイルは Microsoft Excel 等で編集ができます。フォーマットさえ正しければ列の順番等は変更しても問題ありません。ただし**ヘッダ部分（デバイス名等の記述）は絶対に編集しない**ようにします。

編集した CSV ファイルをインポートするには、スプレッドシート・ビューのメニューバーから [File] → [Import] → [Lattice CSV file...] の順に選択します。

16.3 Global Preferences シート

[Global Preference] シートではグローバル制約（デバイスやツール動作の全般的な項目）の設定を行います。

図 16-6. Global Preference シート（MachXO3 の例）



幾つかのセクションに分かれています。sysConfig セクション（図 16-6 では畳んでいます）がデバイスのコンフィグレーションに関連する設定で、次項で詳細記述します。またデバイスファミリーによって一部異なりますが、各種 ID として "User Code"、"TRACEID"、"CUSTOM_IDCODE"、"Unique ID" などがあり、これらについても以降の項で記述します。

これら以外はツール動作に関わる項目としてシートの上部に ”Junction Temperature” と ”Voltage”、および ”SYSTEM_JITTER” があり、下部に ”Derating” や ”Bank VCCIO” などがあります。特段の理由がない限り、基本的にこれらの項目はいずれも編集しないようにします。変更すると、セットアップ / ホールド解析などがその条件でのみ実行されるなど、意図するツールの振る舞いとは異なることになり、期待する結果が得られない可能性があります。

また、特にツールへの BLOCK 制約をまとめた ”Block Path” セクションがありますが、これについては第 16.6.4.1 項をご参照下さい。

16.3.1 sysCONFIG セクション

sysCONFIG 部はコンフィグレーション関連の設定項目で、**デバイスファミリーによって異なります**(図 16-7)。以下に主な項目についてアルファベット順に説明します。ここでは MachXO2/3 シリーズ、ECP5 ファミリー、Crosslink ファミリーのみを対象にしています(以下 ”XXX の ” という表現は ”これらの対象に関しては ” という意図であり、LatticeECP3 ファミリーなど他のデバイスでサポートするかどうか、という観点ではないことにご留意ください)。ここに記載したものの以外については、オンラインヘルプから Applying Design Constraints → Using Preferences → Global Preferences をご参照ください。

図 16-7. コンフィグレーション関連の設定 (左 : MaxhXO3、中 : ECP5、右 : Crosslink)

Preference Name	Preference Value	Preference Name	Preference Value	Preference Name	Preference Value
Junction Temperature (Tj)(C)	85	Junction Temperature (Tj)(C)	85	Junction Temperature (Tj)(C)	100
Voltage (V)	2.375	Voltage (V)	1.045	Voltage (V)	1.140
SYSTEM_JITTER(ns)	Default	SYSTEM_JITTER(ns)	Default	SYSTEM_JITTER(ns)	Default
> Block Path		> Block Path		> Block Path	
> sysConfig		> sysConfig		> sysConfig	
SDM_PORT	DISABLE	SLAVE_SPL_PORT	DISABLE	SLAVE_SPL_PORT	ENABLE
SLAVE_SPL_PORT	DISABLE	MASTER_SPL_PORT	DISABLE	MASTER_SPL_PORT	DISABLE
I2C_PORT	DISABLE	SLAVE_PARALLEL_PORT	DISABLE	I2C_PORT	DISABLE
MASTER_SPL_PORT	DISABLE	BACKGROUND_RECONFIG	OFF	MCCLK_FREQ	6
COMPRESS_CONFIG	ON	DONE_EX	OFF	DONE_EX	OFF
CONFIGURATION	CFG	DONE_OD	ON	ONE_TIME_PROGRAM_SRAM	DISABLE
MY_ASSP	OFF	DONE_PULL	ON	ONE_TIME_PROGRAM_NVCM	DISABLE
ONE_TIME_PROGRAM	OFF	MCCLK_FREQ	2.4	SECURITY_SRAM	DISABLE
CONFIG_SECURE	OFF	TRANSFR	OFF	SECURITY_NVCM	DISABLE
MCCLK_FREQ	2.08	CONFIG_I0VOLTAGE	2.5	TRANSFR	OFF
JTAG_PORT	ENABLE	CONFIG_SECURE	OFF	BOOT_UP_SEQUENCE	NVCM
ENABLE_TRANSFR	DISABLE	WAKE_UP	21	CDONE_PORT	CDONE_USER_IO
SHAREDEBRINIT	DISABLE	COMPRESS_CONFIG	OFF	DONE_EX	OFF
MUX_CONFIGURATION_PORTS	DISABLE	CONFIG_MODE	JTAG		
DUALBOOTGOLDEN	INTERNAL	INBUF	OFF	> User Code	
BACKGROUND_RECONFIG	OFF				
INBUF	ON				
> User Code		> User Code			

BACKGROUND_RECONFIG

ユーザーモードでの再コンフィグレーションを可能にします。動作機構を良く理解していない場合は、OFF (デフォルト) のままにしておくことをお勧めします。[SRAM_ONLY] と [SRAM_EBR] は MachXO3D のみのオプションです。詳細はそれぞれのテクニカルノートをご確認ください。

BACHGROUND_RECONFIG_SECURITY

MachXO3D のオプションです。デフォルト (OFF) では CFG 領域はリードオンリーです。[ON] で ESB からリード / ライト可能になります。

BOOT_UP_SEQUENCE

Crosslink ファミリーのオプションです。デフォルト (NVCM) では内部不揮発メモリーからブートします。これ以外に [EXT]、[NVCM-EXT]、[EXT-NVCM]、および [EXT-EXT] があります。動作の詳細はテクニカルノートをご確認ください。

COMPRESS_CONFIG

[ON] ではビットストリーム・ファイルを圧縮して生成します。[OFF] を選択した場合は、圧縮されないコンフィグレーションデータが生成されます。圧縮率はデザイン (データパターン) に依存します。デフォルトは MachXO2/3 シリーズでは [ON] ですが、ECP5 ファミリーでは [OFF] です。Crosslink ファミリーにはありません。

CONFIG_IOVOLTAGE

ECP5 ファミリーのオプションで、sysCONFIG 用 IO バンクに供給する電源電圧の設定です。ピンアサインの DRC 実行時に、この電圧値を基準に IO タイプのアサインをルールチェックします。

CONFIG_MODE

ECP5 ファミリーのオプションで、コンフィグレーション・モードを設定します。デフォルトは [JTAG] で、これ以外に [SSPI]、[SPI_SERIAL]、[SPI_DUAL]、[SPI_QUAD]、[SLVE_PARALLEL]、および [SLAVE_SERIAL] があります。動作の詳細はテクニカルノートをご確認ください。

CONFIG_SECURE

デフォルト (OFF) では、JTAG ポートや sysCONFIG ポートからコンフィグレーション・メモリーの読み出しが可能です。[ON] にすると読み出しはできません。この設定を [OFF] にしたコンフィグレーション・パターンで書き換えない限り、それ以降の読み出しは可能になりません。

CONFIGURATION

MachXO2/3 シリーズのオプションです。デフォルト (CFG) では CFG 領域のみにデータを保存します。オプションには他に [EXTERNAL]、[CFGUFM]、および [CFG_EBRUFM] があります。動作の詳細はテクニカルノートをご確認ください。

CUR_DESIGN_BOOT_LOCATION

MachXO3D のオプションです。二面ある CFG 領域のどちらにダウンロードするかを設定します。デフォルト (IMAGE_0) で *a.jed が生成され、[IMAGE_1] では *b.jed が生成されます。

DONE_EX

ECP5 ファミリーのオプションです。デフォルト (OFF) ではコンフィグレーション完了後 (内部 Done ビットが '1')、無条件に起動します (DONE ピンは出力)。[ON] にすると、コンフィグレーション完了後、外部から DONE ピンが High にドライブされるまで、起動シーケンスの開始を待ちます。複数の FPGA が同一 JTAG チェインにある場合など、全デバイスがコンフィグレーション完了した時点で同期して起動するための機構です。

なお、[ON] にした場合は、必ず DONE_OD = [ON] または DONE_PULL = [OFF] に設定する必要があります。また、"WAKE_UP" オプションで起動シーケンスを指定します。

DONE_OD

ECP5 ファミリーのオプションです。デフォルト (ON) では DONE ピンはオープンドレイン出力です。[OFF] にした場合は、コンフィグレーション完了後 VCCIO 電圧に依存した High レベルを出力します。

DONE_PULL

ECP5 ファミリーのオプションです。デフォルト (ON) では DONE ピンを内部プルアップします。

DUALBOOTGOLDEN

MachXO3LF のオプションで、デュアルブート時の "ゴールデン" イメージを設定します。デフォルト (INTERNAL) は内部フラッシュメモリがゴールデンで、[EXTERNAL] を選択すると外部 SPI フラッシュメモリがゴールデンです。

ENABLE_TRANSFER

MachXO2/3 シリーズのオプションです。デフォルト (OFF) で "TransFR" 機能はオフです。[ON] にすると、TransFR がイネーブルされます。

I2C_PORT

MachXO2/3 シリーズのオプションで、デフォルト (DISABLE) から [ENABLE] に変更すると、コンフィグレーション用に I2C ポートが使用でき、GPIO としては使用できなくなります。

INBUF

ECP5 ファミリーのオプションです。未使用の I/O への電源供給に関する設定で、バウンダリー・

スキャンを行う場合は、デフォルト (OFF) から [ON] に変更する必要があります。

JTAG_PORT

MachXO2/3 シリーズのオプションで、デフォルト (ENABLE) では JTAG ポートを GPIO として使用することができません。[DISABLE] にすると GPIO として使用可能になり、JTAGENB ピンが High にされると JTAG ピンの機能として動作させることができます (DISABLE 時は、ボード上で必ず JTAGENB ピンのレベルを制御できるようにしておきます)。

MASTER_PREAMBLE_DETECTION_RETRY

MachXO3D のオプションで、コンフィグレーション・データからプリアンブル (0xFFFFBDB3) 検出のリトライ回数を指定します。デフォルト (0) ではリトライしません。選択肢は 1/2/3 です。

MASTER_PREAMBLE_DETECTION_TIMER

MachXO3D のオプションです。コンフィグレーション・データからプリアンブル (0xFFFFBDB3) を検出するまでのタイマー長を指定します。デフォルト (0) では約 126K μ s です。選択肢は 1 ~ 15 からのいずれかで、1 の場合は約 63 μ s、15 は約 3.85 μ s です (2 のべき乗分の 1 で短くなります)。

MASTER_SPI_PORT

ECP5 ファミリーのオプションです。デフォルト (DISABLE) ではマスター SPI ポートで、外部 SPI フラッシュメモリからのブートはできません。ポートは GPIO として使用できます。[ENABLE] にするとマスター SPI ポートがイネーブルされ、外部 SPI フラッシュメモリからのブートが可能になります。

MCCLK_FREQ

マスタモードでコンフィグレーションを行う設定時に、デバイスから出力するマスター・クロックの周波数を指定します。単位は MHz で、デフォルトは当該デバイス・ファミリーで用意されている最低速の周波数です。コンフィグレーション動作はこの最低速の周波数で開始され、パターンから本設定ビットが検出されると、その周波数に切り替わります。

MUX_CONFIGURATION_PORTS

MachXO2/3 シリーズのオプションです。全てのコンフィグレーション・モードが "DISABLE" になっている場合に、デフォルト (DISABLE) のままだと、デバイスは OTP (ライト一度のみ) 相当になりますので、ご注意ください。[ENABLE] にすると JTAGENB ピンによって JTAG 機能を動作させることが可能になります。動作の詳細はテクニカルノートをご確認ください。

MY_ASSP

MachXO2/3 シリーズのオプションです。デフォルト (OFF) では、デバイス ID は通常のデバイス固有の ID です。[ON] にした場合、"CUSTOM_IDCODE" として設定した値がデバイス ID となります。第三者によるデバイスアクセスを制限する機構として使用できます。

ONE_TIME_PROGRAM

MachXO2/3 シリーズのオプションで、コンフィグレーションデータの書き換え防止のための設定です。デフォルト (OFF) では、何度でも内蔵不揮発メモリー内のコンフィグレーションデータを書き換えられます。[ON] にすると、一度プログラムした後は書き換えができなくなります。

ONE_TIME_PROGRAM_SRAM

Crosslink ファミリーのオプションで、デフォルト (DISABLE) から [ENABLE] にすると、コンフィグレーション SRAM の消去や書き換えができなくなります。

ONE_TIME_PROGRAM_NVCM

Crosslink ファミリーのオプションですが、デフォルト (DISABLE) のままにしておきます。元々 Crosslink は NVCM ですので、書き換えできません。

PRIMARY_BOOT

MachXO3D のオプションで、ブート元を設定します。デフォルト (IMAGE_0) は CFG0/UFM0 からブートし、[IMAGE_1] だと CFG1/UFM1 から、[EXTERNAL] は外部メモリからです。デュアルブート時

に限り [LATEST] は直近のビットストリームを最初にロードし、[FORMER] は最初にロードされたビットストリームを選択します。動作の詳細はテクニカルノートをご確認ください。

ROLLBACK_CONTROL

MachXO3D のオプションで、古いバージョンのビットストリームでアップデートすることを防ぐための機構です。デュアルブート・モード時のみの動作です (EXT-EXT を除く)。詳細はテクニカルノートをご確認ください。

SDM_PORT

MachXO2/3 シリーズのオプションで、SDM モード時の PROGRAM/DONE/INITN 出力ピンについての設定です。[PROGRAM_DONE_INITN] はこれら 3 ピンをイネーブルし、[PROGRAM_DONE] は 2 ピンを、[PROGRAM]/[DONE]/[INITN] はそれぞれ当該ピン 1 本をイネーブルします。

SECONDARY_BOOT

MachXO3D のオプションで、”PRIMARY_BOOT” の次の第二のブート元を設定します。コンフィグレーション・モードやデュアルブートかどうかなどに依存して、指定できる PRIMARY_BOOT との組み合わせが決まります。動作の詳細はテクニカルノートをご確認ください。

SECURITY_SRAM

Crosslink ファミリーのオプションで、[ON] ではコンフィグレーション SRAM の読み出しができません。

SECURITY_NVCM

Crosslink ファミリーのオプションで、[ON] はコンフィグレーション NVCM の読み出しができません。

SFDP_CHECK

MachXO3D のオプションで、MSPI モードで外部 SPI フラッシュメモリからブートする場合の ”Serial Flash Discoverable Parameter” チェックについて設定します。デフォルト (DISABLE) はチェックしませんが、[ENABLE_SFDP_SFDP] にすると SFDP 失敗時に動作停止し、その際に MASTER_PREAMBLE_DETECTION_RETRY や MASTER_PREAMBLE_DETECTION_TIMER 設定が作用します。[ENABLE_SFDP_PREAMBLE_SFDP] は SFDP 失敗してもプリアンブル検出動作を継続します。動作の詳細はテクニカルノートをご確認ください。

SHAREDEBRINIT

MachXO2/3 シリーズのオプションです。EBR の初期化に用いるファイルを内部メモリに保持し、複数の EBR で共用することを可能にします。

SLAVE_IDLE_TIMER

MachXO3D のオプションです。SSPI か I2C モードでビットストリームをダウンロードする際に、コンフィグレーション制御回路内のタイマー値を設定します。デフォルト (0) は制限無しで、値は 1 ~ 15 まで設定できます。1 は 128,000msec、15 は 10msec で、2 のべき乗分の 1 で時間が短くなります。詳細はテクニカルノートをご確認ください。

SLAVE_PARALLEL_PORT

ECP5 ファミリーのオプションです。[ENABLE] すると、8 ビット・パラレルのコンフィグレーション・ポートがイネーブルされます。

SLAVE_SPI_PORT

デフォルト (DISABLE) では、Slave SPI ポートをユーザー IO として使用できます。[ENABLE] にするとスレーブ SPI モードになり、外部コントローラからデバイス内部へのコンフィグレーション・アクセスが可能になります。

SPIM_ADDRESS_32BIT

MachXO3D のオプションです。マスター SPI モードで SPI フラッシュメモリにアクセス際に、デフォルト (DISABLE) では 24 ビット・アドレスを用いますが、[ENABLE] にすると、32 ビット・アドレスを用います。

TRANSFER

ECP5 ファミリーのオプションで、デフォルト (OFF) で "TransFR" 機能はオフです。[ON] にすると、TransFR がイネーブルされます。

WAKE_UP

ECP5 ファミリーのオプションです。コンフィグレーション完了後に、デバイスがユーザーモードに移行する際の起動シーケンス (ウェイクアップ・シーケンス) 番号を指定します。デフォルト値は "DONE_EX" の設定によって異なり、DONE_EX=ON の時が 21、OFF の時が 4 です。

シーケンス番号 "21" の場合、テクニカルノート TN-02039 Figure 8.1 に明記されているように GOE-GWDIS/GSR-DONE の順序でリリースされます。"4" の場合は、DONE-GOE-GWDIS/GSR の順序になります。

16.3.2 各種 ID コードの設定

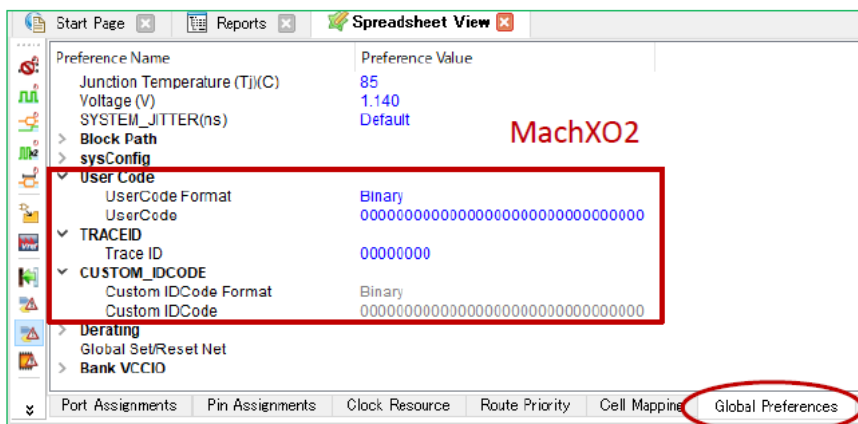
[Global Preferences] タブには "User Code"、"TRACEID"、"CUSTOM_IDCODE"、および "Unique ID" などの ID コードに関する各セクションがあります (図 16-8)。デバイス・ファミリーによってやや異なります。これらユーザー固有の値は、デザインのコンパイル時に取り込まれ、書き込みファイル (*.bit、*.jed) に反映されます。

これらはスプレッドシート・ビューによる設定以外に、テキストエディターによって制約ファイル *.lpf に記述することによる指定も可能です。次に書式例を示します。

```
USERCODE ASCII "abcd";
TRACEID "01010101";
CUSTOM_IDCODE HEX "13579bdf";
```

デバイスにプログラム済みのこれら ID 値は、プログラマーや外付けコントローラからプログラミング・インターフェイスや JTAG を介して読み出すことができます。

図 16-8. スプレッドシート・ビューによるの各 ID 値設定 (MachXO2)



また、生成済みファイルやプログラム済みデバイスの ID 値を書き換える場合は、プログラミング・ユーティリティツールを用いることができます。USERCODE は『USERCODE エディター』での編集を (第 15.3 節参照)、TraceID および Custom ID Code の編集は『FEATURE ROW エディター』 (第 15.2 節参照) がサポートしています。

16.3.2.1 User Code (全ファミリー)

User Code は 32 ビットで、例えば実装するデザインのバージョン番号など、任意のコードを設定します。入力書式を Binary / Hex / ASCII から選択します。ECP5 ファミリーのみ "Auto" があり、これを選択すると

”Unique ID” が有効になります (”Unique ID” 項参照)。

16.3.2.2 TRACEID (MachXO2、MachXO3L/LF/D ファミリー)

TraceIDは64ビットで、そのうち56ビットはラティス出荷時に製造上の固有の値(ウェファ番号、X/Yダイロケーションなど)が入りますが、これはチップ個体を一義的に識別できる情報です。残りの8ビットは、ユーザーが任意に与えることが可能です。詳細はテクニカルノート『TN-02084 Using TraceID』をご参照ください。

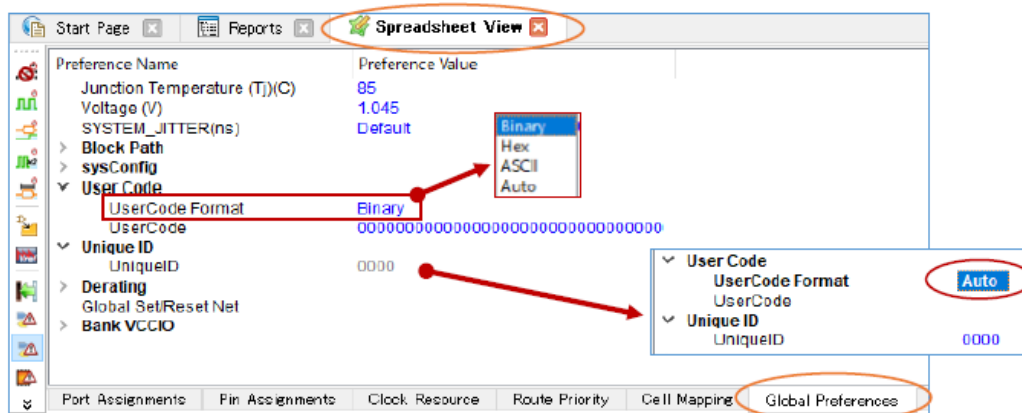
16.3.2.3 CUSTOM_IDCODE (MachXO2、MachXO3L/LF/D ファミリー)

Custom ID Codeは図16-8の”sysConfig”セクションに含まれる”MY_ASSP”オプションが[ON]の時に有効になります。第14.1.4項で言及している”Device ID”は、標準品では規定の値ですが、MY_ASSP=ON時に限りこのCustom ID Codeがこれに置き換わります。”MY_ASSP”機能を用いる場合には、標準のプログラマーではデバイスへのアクセスが一切できなくなりますので、ご注意ください。

16.3.2.4 Unique ID (ECP5 ファミリー)

User Codeの入力フォーマットとして”Auto”を選択すると”Unique ID”セルがイネーブルされ(図16-9)、ユーザーは所望の16ビットを16進値で与えることができますようになります。このとき、32ビットのUser Codeは上位16ビットがこのUnique ID値となり、下位16ビットをビットストリーム生成ごとに、ツールが自動的にインクリメントする値を割り当てます。

図16-9. ECP5のID設定/スプレッドシート・ビュー



16.4 I/Oポート関連の制約設定

16.4.1 ユーザー I/O のピン配置指定

ユーザー I/O (RTL 記述で宣言された I/O) のピンアサインには、”ポート名に対してピン番号を指定する方法”と、”ピン番号に対してポート名を指定する方法”の二通りあります。それぞれスプレッドシート・ビューの [Port Assignments] シート、および [Pin Assignments] シートで行います。

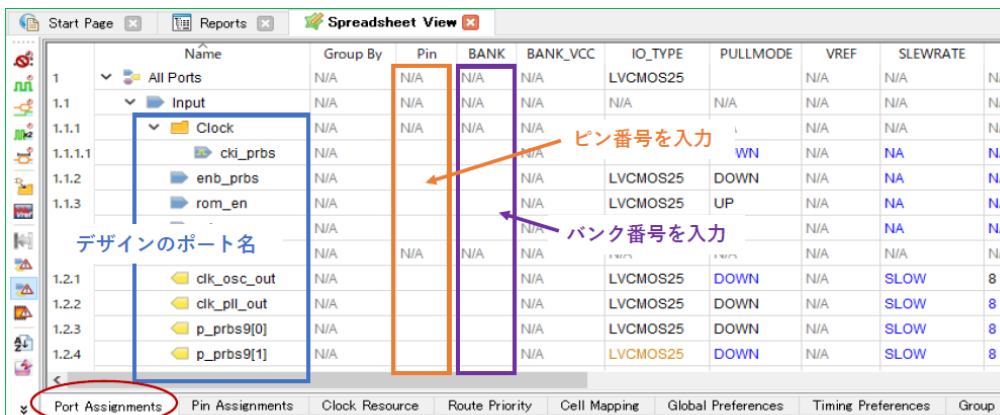
16.4.1.1 Port Assignments シートでのピン指定

このシートでは、I/O ポート名に対してピン番号を指定します。最左側カラムにデザインでのポート名とそのポートのタイプ (Input、Clock、Output、Bidirectional) が表示されます (図16-10)。ピン配置指定は、各ポートの”Pin”カラムにピン番号を入力します。I/O バンクのみを指定する場合は、”Bank”カラムにバンク番号を入力します。

なお、差動 I/O を使用する場合、Diamond では RTL ソースファイルでシングルエンド I/O と同様に非反転

ポートのみを宣言します。”IO_TYPE”セルにLVDSなどの差動I/Oを指定すると、ツールは宣言されているポートを非反転側のピンにアサインし、反転側はペアとなるピンに自動的にアサインします。

図 16-10. Port Assignments シートでのピンアサイン



16.4.1.2 Pin Assignments シートでのピン指定

このシートでは、ピン番号に対してポート名を指定します。最左側”Pin”カラムにパッケージのピン番号がバンクごとに表示されます (図 16-11)。

図 16-11. Pin Assignments シートでのピンアサイン

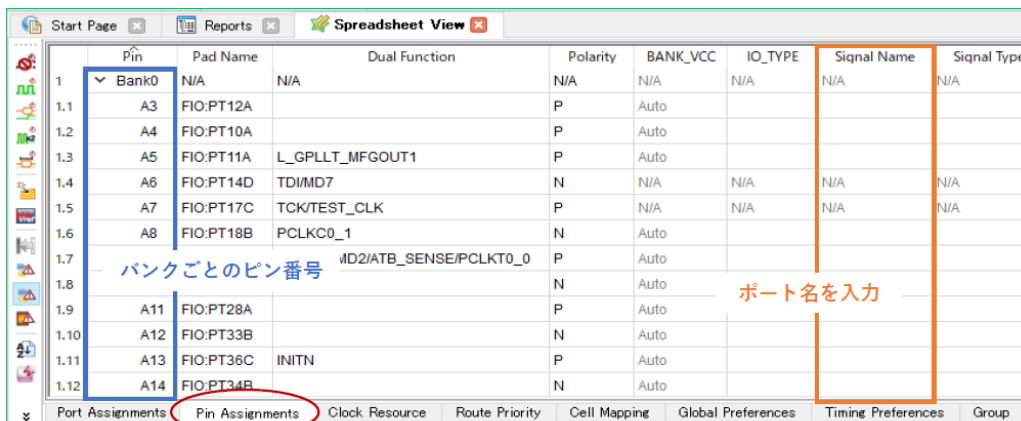
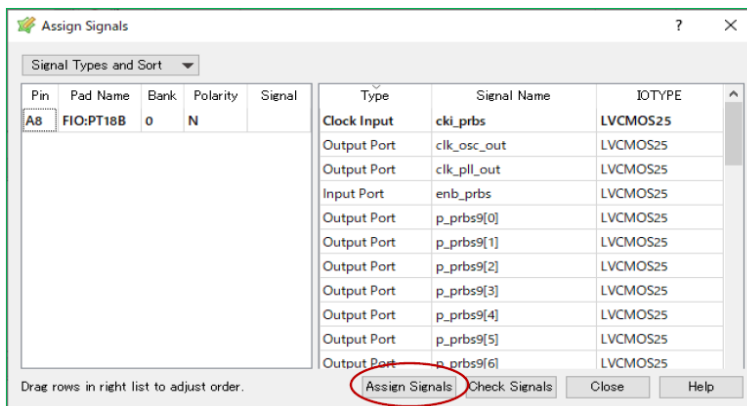


図 16-12. Assign Signals ウィンドウ



このシート上でピン番号を選択し ”Signal Name” セルをダブルクリックすると、図 16-12 のようなアサインする候補となるポート名を示す ”Assign Signals” ウィンドウが立ち上がります。アサインするポートを選択してウィンドウ下部の『Assign Signals』ボタンをクリックします。

16.4.1.3 Vref ピンの指定

DDR3 メモリー・インターフェイスなど SSTL や HSTL を使用する ECP5 ファミリーでは、Vref 入力ピンが複数用意されており、ユーザーが使用するピンを指定することができます。指定しない場合は、ツールが自動的に割り当てします。


Vref ピンを指定するには、まず Vref ピンの登録を行います。スプレッドシート・ビューの左側に並んでいるアイコンから  をクリックすると、Vref ピンの登録ウィンドウが立ち上がります (図 16-13)。

図 16-13. Vref ピンの登録

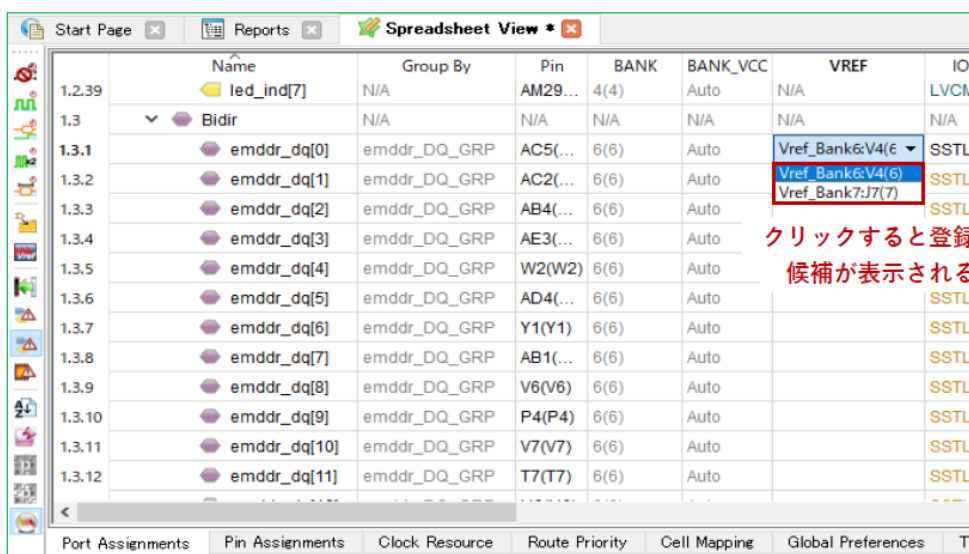


登録は、「Vref Name」セルに適切な名称を入力し、ウィンドウの右側に表示されている候補リストから、Vref として使用するピンを選択します。『OK』ボタンをクリックして終了します。必要とする Vref ピンの数分、すべて登録します。

登録された Vref ピンは [Misc Preferences] シートに表示されます。選択したピンを変更する場合などは、このシートで当該 Vref 名の行をダブルクリックすると、図 16-13 と同じウィンドウが表示されますので、対象ピンの選択を変更できます。

次に [Port Assignments] シートを選択し、Vref の対象となる該当ピンの ”Vref” カラムをクリックすると、登録済みの Vref ピン名が表示されますので、適切なものを選択します (図 16-14)。”Vref” カラムは、”IO_TYPE” が SSTL または HSTL ピンでのみ設定できます。

図 16-14. Vref ピンの選択



16.4.1.4 SERDES 関連ピンの配置指定

SERDES (PCS) を使用する場合、SERDES 関連ポートのピン配置指定は通常のポートとは異なる方法で行います。デバイス内の SERDES マクロは、それぞれピンとの対応があらかじめ決められています。このため使用する SERDES マクロの位置を指定すると、各チャネルの入出力ポートや基準クロック入力等のピン配置は自動的に行われます。SERDES マクロのポートとピンの接続を変更することはできません。

ECP5 ファミリーにおける PCS/SERDES マクロの配置指定は、Clarity Designer のプランニング機能を用いて行います。第 4.3.8 項をご参照ください。

16.4.2 ユーザー I/O ピンの属性指定

ユーザー I/O ピンの属性は、[Port Assignments] シートで設定します (図 16-15)。主な設定項目に関して以下にアルファベット順に記述します。これらの項目以外に SSO (同時スイッチング) 解析用のカラムがあります (SwitchingID/Ground plane PCB noise/Power plane PCB noise/SSO Allowance)。これらの設定などに関しては、第 13.2 節をご参照下さい。これ以外の項目については各デバイスファミリーのドキュメントをご参照ください。

CLAMP

オンチップ PCI クランプ・ダイオードの設定です。デフォルト (ON) でクランプが有効で、[OFF] にすると無効になります。デバイス・ファミリーによってクランプ対応の I/O バンクが異なりますので、ご確認下さい。

DIFFDRIVE

差動 I/O の出力ドライブ電流値を設定します。

DIFFRESISTER (ECP5 ファミリーのみ)

LVDS 系差動入力ピンのオンチップ終端抵抗値を設定します。デフォルト (OFF) では終端抵抗なしで、他には [100] が選択できます (100Ω ±20%)。SSTL18/15/135D にも適用できます。

DRIVE

出力ピンと差動出力ピンの電流ドライブを設定します。4/8/12/16mA などがオプションとしてありますが、"IO_TYPE" 設定と、デバイス・ファミリーによってデフォルト値や選択できる値が異なります。

HYSTERESIS

LVC MOS/LVTTL 入力ピンなどのヒステリシス設定です。MachXO2/3 シリーズでは SMALL (デフォルト) /LARGE/NA (=なし) が、ECP5 ファミリーでは ON (デフォルト) /OFF がそれぞれ選択できます。Crosslink ファミリーではデフォルト (ON) のみです。

図 16-15. I/O タイプの選択

Name	Group By	Pin	BANK	3ANK_VCC	IO_TYPE	PULLMODE
1.1.1	Input					
1.1.1.1	Clock					
1.1.1.1	cki_prbs				LVC MOS25	DOWN
1.1.2	enb_prbs				LVC MOS25	DOWN
1.1.3	rom_en				LVC MOS25 (De	UP
1.1.4	rstin	C13	0	Auto	LVC MOS25 (...	UP
1.2	Output					
1.2.1	clk_osc_out	A3	0	Auto	LVC MOS18	DOWN
1.2.2	clk_pll_out	A4	0	Auto	LVC MOS25D	DOWN
1.2.3	p_prbs9[0]				LVC MOS33D	DOWN

IO_TYPE

バッファタイプの選択です。I/O タイプによって、他の項目の選択オプションにも作用します。各ピンの設定内容に対応したセルをダブルクリックすると選択可能状態になり、セルの右側に▼ボタンと候補リストが表示されます。この状態で所望の設定を選択します。

図 16-16. "All Ports" 設定

Name	Group By	Pin	BANK	3ANK_VCC	IO_TYPE	PULLMODE
1	All Ports	N/A	N/A	N/A	LVCMOS25 (De	N/A
1.1	Input	N/A	N/A	N/A	LVCMOS25 (...	N/A
1.1.1	Clock	N/A	N/A	N/A	LVCMOS12	N/A
1.1.1.1	cki_prbs	N/A		N/A	LVCMOS15	N/A
1.1.1.1	cki_prbs	N/A		N/A	LVCMOS18	DOWN
1.1.1.1	cki_prbs	N/A		N/A	LVCMOS33	DOWN
1.1.2	enb_prbs	N/A		N/A	LVCMOS25D	DOWN
1.1.3	rom_en	N/A		N/A	LVCMOS18D	UP
1.1.4	rstin	N/A	C13	0	LVCMOS33D	UP
1.2	Output	N/A	N/A	N/A	LVDS25	N/A
1.2.1	clk_osc_out	N/A	A3	0	LVTTL33	N/A
1.2.2	clk_pll_out	N/A	A4	0	LVCMOS25	DOWN
1.2.3	p_prbs9[0]	N/A		N/A	LVCMOS25	DOWN

ポートリスト "Name" カラムの最上行は "All Ports" と書かれています。これは全ポートの一括設定です (図 16-16)。多数のピン設定を行う場合は、個別ではなくこの設定で変更したほうが効率的な場合があります。デフォルト状態 (緑色表示) のポートにのみ有効です (指定されたセル表示は黒色)。

設定値をデフォルト (All Ports の値) に戻す場合は、この行の IO_TYPE セルを選択してキーボードの『Delete』キーを押します。

OPENDRAIN

出力ピンと双方向ピンのオープンドレイン設定です。RTL 記述でオープンドレインでなくても、[ON] を選択するとオープンドレイン・バッファになります。

Outload (pF)

出力ピンと双方向ピンの外部負荷容量値を設定します。SSO 解析と出力遅延 (CLOCK_TO_OUTPUT) タイミング解析 (第 16.6.3 項を参照) を行う場合は、必ず有意な値を入力する必要があります。

PULLMODE

オンチップ・プル抵抗 (数 k ~ 数十 kΩ) の設定で、DOWN (デフォルト) /UP/KEEPER/NONE が選択できます。有効になるのはコンフィグレーション完了後です。コンフィグレーション完了前の全ピン、およびコンフィグレーション後の未使用ピンの状態 (プルアップかプルダウンか) は、デバイスファミリーに依存します。なお、ECP5 ファミリーでは入力ピンにのみ適用でき、デフォルト (UP) /DOWN/NONE が指定できます。Crosslink ファミリーも入力ピンにのみ適用でき、デフォルト (UP) /NONE/3P3K/6P8K/10K から選択できます。"UP" は弱いプルアップ (~ 100kΩ) です。

SLEWRATE (MachXO2/3 シリーズ、ECP5 ファミリー)

出力ピンのドライブ波形のエッジレートを設定します。デフォルトは [SLOW] で、他に [FAST] が指定できます。Crosslink ファミリーでは固定です。

TERMINATION (ECP5 ファミリーのみ)

SSTL/HSUL 入力に対して VCCIO/2 にテブナン終端するオンチップ抵抗値を設定します。デフォルト (OFF) /50/75/150 から選択できます。抵抗値は +/-20% の精度です。

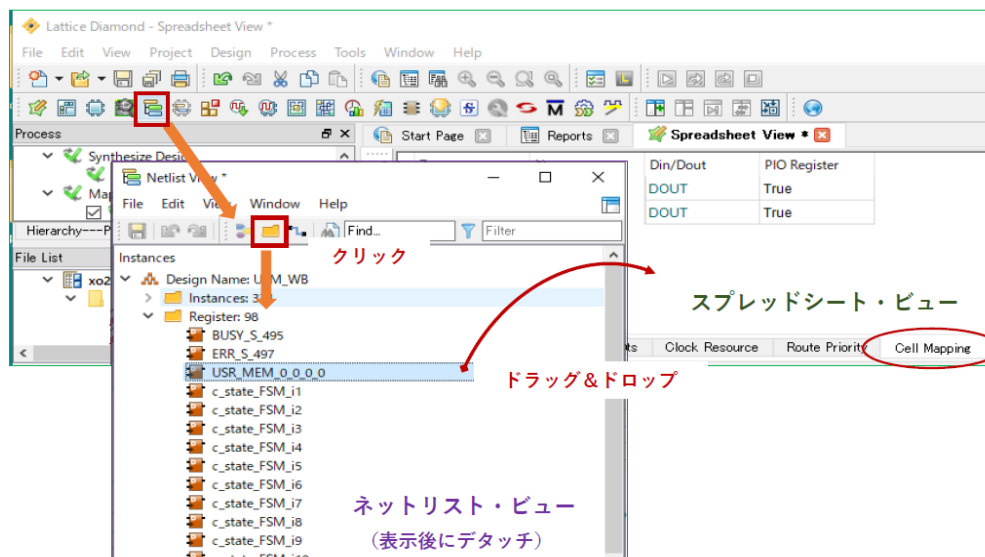
16.4.3 IO レジスタのアサイン

使用する IO レジスタの決定は論理合成ツールが行いますが、以下のような場合があります。

- ・ I/O レジスタをファブリックのレジスタを使用するようにしたい
- ・ 論理合成では何らかの理由でファブリックのレジスタが使用されたものを、I/O レジスタにしたい (接続が I/O レジスタへのアサイン条件を満たしている場合)

指定は [Cell Mapping] シートで行いますが、当該レジスタの選択には、ネットリスト・ビューも起動する必要があります。以下の手順で行いますが、事前にスプレッドシート・ビューで [Cell Mapping] シートを選択しておきます。

図 16-17. ネットリスト・ビューから I/O レジスタ対象を選択



Step1 Diamond ツールバーから、アイコン をクリックしてネットリスト・ビューを起動し、デタッチ (単独表示) します。起動したネットリスト・ビューのツールバーで、アイコン をクリックするとデザイン内のリソースのリストが表示されます。この中で [Register] のツリーを展開すると、レジスタのリストが表示されます (図 16-17)。

Step2 ネットリスト・ビューに表示されているリストから、IO レジスタへのアサインを設定するレジスタ名を選択して [Cell Mapping] シートへドラッグ&ドロップします。

Step3 [Cell Mapping] シートの "Din/Dout" カラムで、ドロップしたレジスタに対して使用する IO レジスタのタイプを選択します。選択肢は [DIN] (入力レジスタ) または [DOUT] (出力レジスタ) です。

Step4 [Cell Mapping] シートの "PIO Register" カラムで、IO レジスタへのアサイン可否を設定します。[True] は IO レジスタにアサインすることを、[False] は IO レジスタにアサインしないことを指示します。IO レジスタにアサインできないレジスタを [True] に設定すると、マッピング・プロセスでエラーになりますので、ご注意ください。

論理合成ツールが I/O レジスタにアサインしたものの表示行自体は削除できません。ファブリックに移動させたい場合は "PIO Register" カラムの [True] を [False] にします。

16.5 配線関連の制約設定

16.5.1 クロック専用配線リソースの指定

クロック専用配線のリソース指定は、[Clock Resource] シートで行います。ECP5 ファミリーではクワドラント (Quadrant) 分割指定もできます (図 16-18)。

設定は以下の手順で行います。

Step1 [Selection] カラムで使用するクロック専用配線リソースを選択します。セルをダブルクリックすると選択可能状態になり、選択肢の一覧が表示されます。

[Selection] カラムには、以下のものがあります。デバイスファミリーによってアーキテクチャーが異なるため、選択できないものもあります。

- Primary : プライマリー・クロックネットにアサインする (クロックのみ選択可)
- Secondary : セカンダリー・クロックネットにアサインする (クロックイネーブルなど)
- Prohibit Primary : プライマリー・クロックネットにアサインしない
- Prohibit Secondary : セカンダリー・クロックネットにアサインしない
- Prohibit Both : 両クロックネットにアサインしない

無指定のクロックは、PAR プロセス実行時にツールが自動的に決定します。

図 16-18. クロックリソースの指定 (ECP5 の例)

Clock Type	Clock Name	Selection	Quadrant
1	extclk_c		N/A
2	jtaghub16_jtck		N/A
3	memclk	Primary	TL
4	sa5ph1clk		TL
5	sa5ph1rdcnt[9]		TR
6	u_e5gdmi_top/u_ddr3ip/ddr3ip3p1_inst/U1_clocking/clk_in_c		BL
7	u_e5gdmi_top/u_ddr3ip/ddr3ip3p1_inst/U1_clocking/clkop		BR
8	u_e5gdmi_top/u_ddr3ip/ddr3ip3p1_inst/U1_clocking/clkos		TL_TR
			TR_BR
			BR_BL
			BL_TL
			ALL

Port Assignments | Pin Assignments | **Clock Resource** | Route Priority | Cell Mapping | Global Pre | Timing

Step2 (ECP5 ファミリーのみ) [Quadrant] カラムで使用するクワドラントを選択します。クワドラント (Quadrant) とは、デバイスを上下左右 4 つの領域に分割したものを意味し、それぞれの領域にプライマリー・クロック配線があります。分割して使用したい場合は、その領域を選択します。



[Selection] カラムでクワドラント分割できないクロックを選択している場合は、[Quadrant] セルがグレーアウトされます。何も指定しない場合は、全てのクワドラントが使用されます。

表示される選択肢は以下のとおりです (T: top, B:bottom, L:left, R:right)。

- TL : 左上のクワドラントのみ
- TR : 右上のクワドラントのみ
- BL : 左下のクワドラントのみ
- BR : 右下のクワドラントのみ
- TL_TR : 上側の 2 クワドラント
- TR_BR : 右側の 2 クワドラント
- BR_BL : 下側の 2 クワドラント
- BL_TL : 左側の 2 クワドラント
- ALL : 全クワドラント (Global)

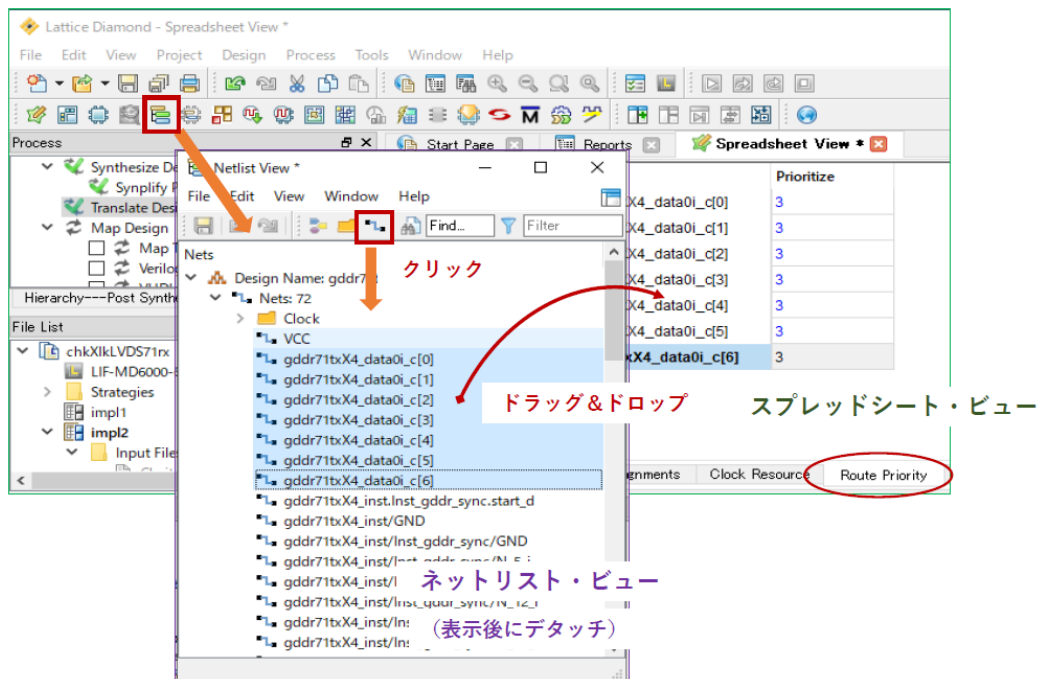
16.5.2 特定ネットの配線優先度指定

特定のネット (信号) に対して、PAR プロセスでの配線処理の優先度を [Route Priority] シートで指定することができます。優先度を設定する信号の選択には、ネットリスト・ビューを起動する必要があります。以下の手順で行いますが、事前にスプレッドシート・ビューで [Route Priority] シートを選択しておきます (図 16-19)。

Step1 Diamond ツールバーから、アイコン  をクリックしてネットリスト・ビューを起動し、データチ (単独表示) します。ツールバーで、アイコン  をクリックするとデザイン内の信号名のリストが表示されます。

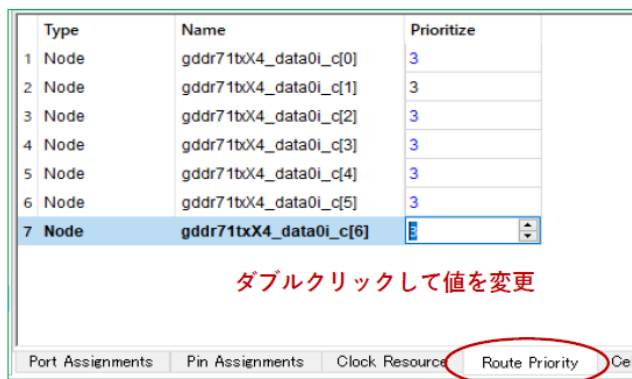
Step2 ネットリスト・ビューに表示されている信号名から配線優先度を設定する信号名を選択し、[Route Priority] シートヘドラッグ&ドロップします。

図 16-19. ネットリスト・ビューから配線を選択




Step3 [Route Priority] シート上で、[Prioritize] カラムに数値を設定することで優先度設定を行います（図 16-20）。値が大きいほど優先度が高いことを表します。デフォルト値は全て [3] です。値の最大値は 100 です。

図 16-20. 配線の優先度設定



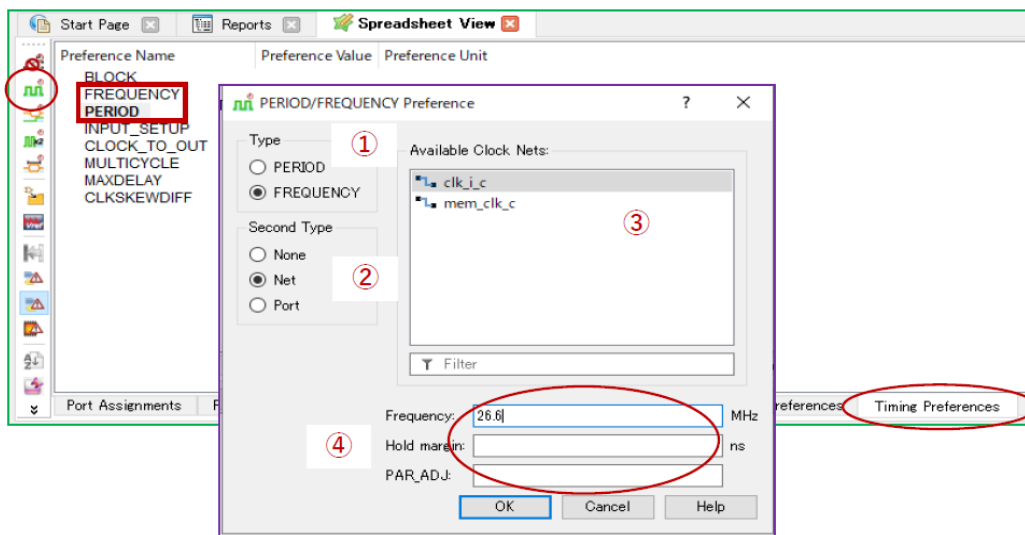
16.6 タイミング制約設定

16.6.1 クロックのタイミング制約設定

クロックごとのタイミング制約は、FREQUENCY（周波数）または PERIOD（周期）で設定します。設定ウィンドウ（図 16-21）を起動するために、[Timing Preferences] タブを選択して”Preference Name”カラムの”FREQUENCY”か”PERIOD”をダブルクリックします。或いはスプレッドシート・ビュー左側にあるアイコン列から  をクリックします。

設定は次の手順で行います。

図 16-21. クロックのタイミング制約設定ウィンドウ



- Step1** ウィンドウ左上の「Type」部 (図 16-21 ①) で、「PERIOD」はクロック周期を、「FREQUENCY」はクロック周波数を制約として設定する場合に選択します。
- Step2** 「Second Type」部 (図 16-21 ②) で、制約を与えるクロック対象を選択します。「Clock Net」は内部クロックネットに制約を設定する場合です。「Clock Port」はクロック入力ポートに与える場合、「none」は特定クロックではなく、デザイン全体に制約を与える場合に選択します。
- Step3** 制約を設定するクロック名を選択します。Step2 で選択した対象に応じて、「Available Clock Nets」(図 16-21 ③) にクロックの候補が表示されます。制約を設定するいずれかのクロックをクリックして選択します。
- Step4** 制約値を図 16-21 ④部に入力します。「FREQUENCY」を選択した場合は「Frequency:」セルに周波数を「MHz」で入力します。「PERIOD」を選択した場合は図 16-21 とは異なりセルが「Time」表示になりますので、ここに周期を「ns」で入力します。

図 16-21 ④部には入力が任意のセルが二つあります。

「Hold margin:」セルには、ホールド時間解析時にマージンを持たせたい場合に設定します。通常はブランク (ホールド時間は 0.0 ns) で構いません。

「PAR_ADJ:」セルには、PAR 処理時により厳しいタイミング制約を与えたい場合に、マージンの値を入力します。タイミング解析処理ではこの値ではなく、FREQUENCY/PERIOD 値で行われます。FREQUENCY/PERIOD 値に実際の動作値ではなく、タイミング的に厳しい値を与えると、PAR 処理結果は同じですが、タイミング解析の Pass/Fail 判定もその厳しい値を元にするため、実動作として問題があるかどうかの判断が容易ではありません。PAR_ADJ はその相反する要件を解決するための機構です。Step2 で none を選択した場合は、「PAR_ADJ:」セルはありません。


「FREQUENCY」を選択している場合は、Frequency 値に PAR_ADJ 値を加えた値が PAR 処理の制約として使用され、「PERIOD」を選択している場合は、「Time」値から PAR_ADJ 値を減算した値が制約として使用されます。以下に例を示します：

ツール設定	PAR の制約値	タイミング解析の制約値
Frequency 100 MHz、PAR_ADJ = 20	$100 + 20 = 120$ MHz	100 MHz
Period 20 ns、PAR_ADJ = 5	$20 - 5 = 15$ ns	20 ns

設定が完了したら『OK』をクリックします。設定された内容は、[Timing Preferences] シートに表示されます。設定内容を変更したい場合は、同シート上で設定値表示をダブルクリックします。設定値セルがアクティブになり、値を変更できます。

なお、[Timing Preferences] シートの表示に関して、オンチップ・オシレータ (OSC) や PLL など、ツールが自動抽出した制約は薄水色に、ユーザーが与えた制約は黒色になります。ちなみに、論理制約ツールに与えた制約は緑色表示になります。

16.6.2 入力ポートのタイミング制約設定

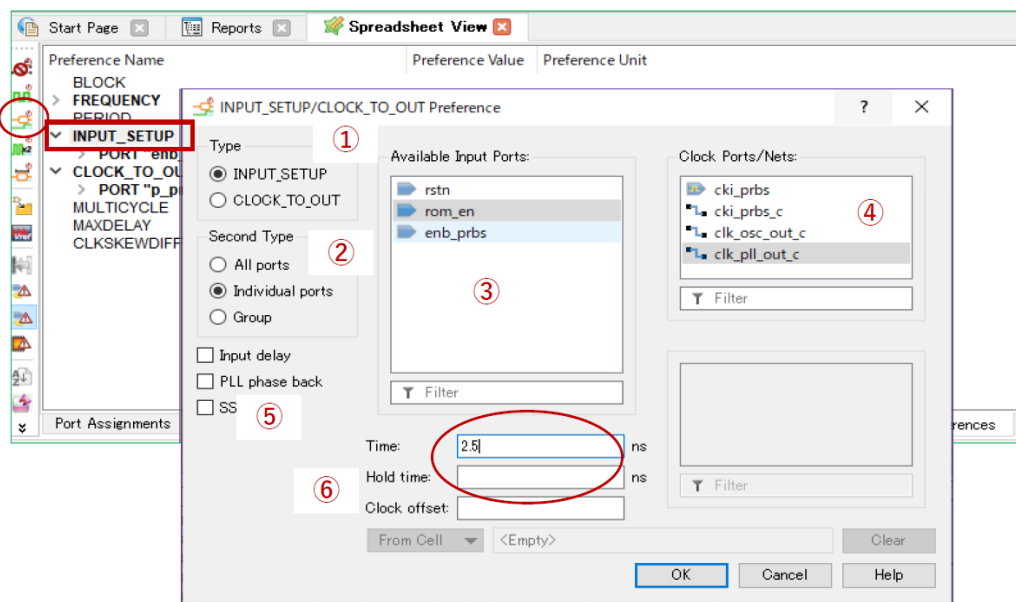
入力ポートごとにセットアップ / ホールド時間の制約を設定できます。設定ウィンドウを起動するために、[Timing Preferences] タブを選択して "Preference Name" カラムの "INPUT_SETUP" をダブルクリックするか、スプレッドシート・ビュー左側のアイコン列から  をクリックします (図 16-22)。手順は以下の通りです。

Step1 「Type」部 (図 16-22 ①) で "INPUT_SETUP" を選択します (アイコンから起動した場合。そうでない場合は自動的に選択されています)。



Step2 「Second Type」部 (図 16-22 ②) で制約対象のタイプを選択します。

“All Ports” は全入力ポートに対して共通の制約を設定する場合、“Individual ports” はポート個別に設定する場合、“Group” は生成済みのポート・グループに対して設定する場合、にそれぞれ選択します (グループの作成方法は第 16.7 節を参照)。

図 16-22. 入力ポートのタイミング制約設定ウィンドウ



Step3 「Available Input Ports:」 (図 16-22 ③) で制約設定する入力ポートを選択します。“Individual Ports” と “Group” を選択した場合、表示される候補の中から選択します (後者の場合は図 16-22 ③とは異なり、「Available Input Groups:」です)。“All Ports” を選択した場合は、選択の必要がないので何も表示されません。“シフト + Ctrl” キーを使用して複数のポートを選択できます。

Step4 「Clock Ports/Nets:」 (図 16-22 ④) で制約の基準となるクロックを選択します。通常は、この中からクロックポート  を選択します。クロックネット  を選択すると入力バッファの遅延が計算されませんので、ご注意ください。

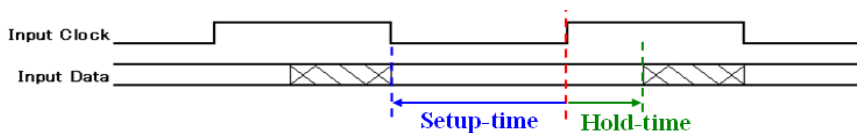
Step5 図 16-22 左下部⑤は、制約の与え方を選択します。

対象クロックの有効エッジに対してセットアップ / ホールド時間を制約として設定する場合は、「Input Delay」ボックスのチェックは外します (デフォルト)。

これに対して、「Input Delay」ボックスにチェックを入れると、対象クロックの周期 (周波数) に依存せずにセットアップ / ホールド時間を制約することができます。ツールがクロック周期との関係が

ら自動的にセットアップ時間を算出します。クロックの周期（周波数）が固定でない場合に、制約を逐次変更する必要がない利点があります。

図 16-23. 一般的な入力セットアップ/ホールド時間制約



例えば、対象クロック clk の周期が 10 ns (100 MHz) の場合、入力ポート in_data1 に対してのセットアップ時間は、LPF 制約ファイルでの以下のオプション有無による下記二通りの制約記述は等価です。

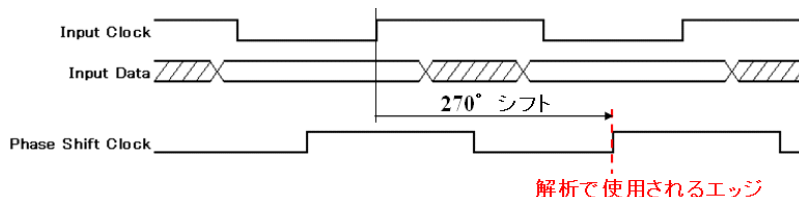
```
INPUT_SETUP in_data1 4.0 ns CLKPORT clk;
INPUT_SETUP in_data1 INPUT_DELAY 6.0 ns CLKPORT clk;
```

ホールド時間の設定を同時に行う場合、「Input Delay」指定した場合は設定値を負（オフセット）として解釈しますので、以下の二つが LPF 制約ファイル記述では等価です。

```
INPUT_SETUP in_data1 4.0 ns HOLD 1.0 ns CLKPORT clk;
INPUT_SETUP in_data1 INPUT_DELAY 6.0 ns HOLD -1.0 ns CLKPORT clk;
```

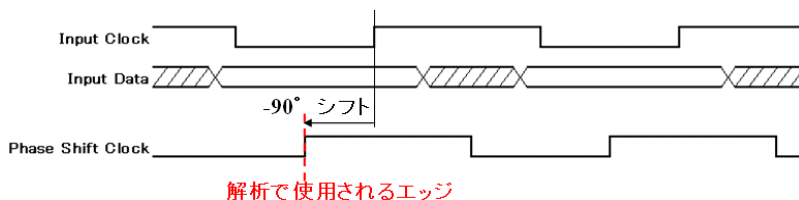
「PLL phase back」ボックスは、PLL 出力の位相シフトクロックで入力をサンプルしている場合に作用します。チェックが入っていない場合（デフォルト）、タイミング解析ツールは位相シフト分（必ず遅れる）のクロックエッジ基準（図 16-24）で入力のセットアップ/ホールド時間を算出します。

図 16-24. 「PLL phase back」チェック無しで 270° シフトの例



これに対して、「PLL phase back」ボックスにチェックが入っている場合、入力クロックの前（"back"）に変化するクロックエッジ基準（図 16-25）で算出します。

図 16-25. 「PLL phase back」チェック有りで 270° シフトの例



このオプション設定で変わるのはセットアップ/ホールド時間算出の基準とするクロックエッジのみです。ただ実際に得られる結果はセットアップ/ホールド条件としては現実的には等価です。図 16-22 左下部⑤にはもう一つ「SS」ボックスがありますが、これはデフォルトのまま未チェックにしておきます。

Step6 図 16-22 ⑤部「Time」セルに入力セットアップ時間の制約値を入力します。「Input delay」ボックスにチェックが入っている場合は、データの最大遅延を入力します。制約の基準は入力をサンプルするクロックエッジです。「Hold time」セルには入力ホールド時間の制約値を入力します。「Input delay」ボックスにチェックが入っている場合は、データの最小遅延を入力します。

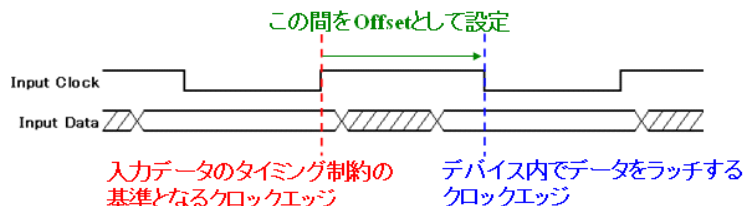
「Time」「Hold time」共に、制約の基準は入力をサンプルするクロックエッジです。制約の基準とな

るクロックエッジと、デバイス内でサンプルするクロックエッジが異なる場合は、次に説明する「Clock offset」で補正します。

「Clock offset」セルは、タイミングの基準となるクロックエッジと、入力をサンプルするクロックエッジが異なる場合に用い、入力の有効クロックエッジの補正に作用します(図 16-26)。

例えば、出力は立ち上がり有効エッジで、入力は立下り有効エッジとします。この場合は出力側の立ち上がりエッジ基準で各タイミング制約を与え、「Clock offset」を”0.5”(デューティ比が 1:1 の場合)とすると、入力側は 1/2 サイクル遅れの立ち下りエッジ基準でタイミング解析を行います。

図 16-26. Clock offset 設定の意味



入力が完了したら、ウィンドウ右下の『OK』をクリックします。設定内容は [Timing Preferences] シートに表示されます。設定を変更する場合は、表示されている制約をダブルクリックします。同じ設定ウィンドウが表示されますので、適宜変更して『Update』ボタンをクリックします。削除する場合は、制約を選択してキーボードの『Delete』キーを押します。

16.6.3 出力ポートのタイミング制約設定

出力ポートごとに出力遅延時間の制約を設定できます。複数デバイス間で共通クロックを用いてデータの送受信を行っている場合に、この制約が用いられます。ただし、出力遅延を正しく解析するためには、事前に出力負荷容量を設定(第 16.4.2 項参照)しておく必要があります。


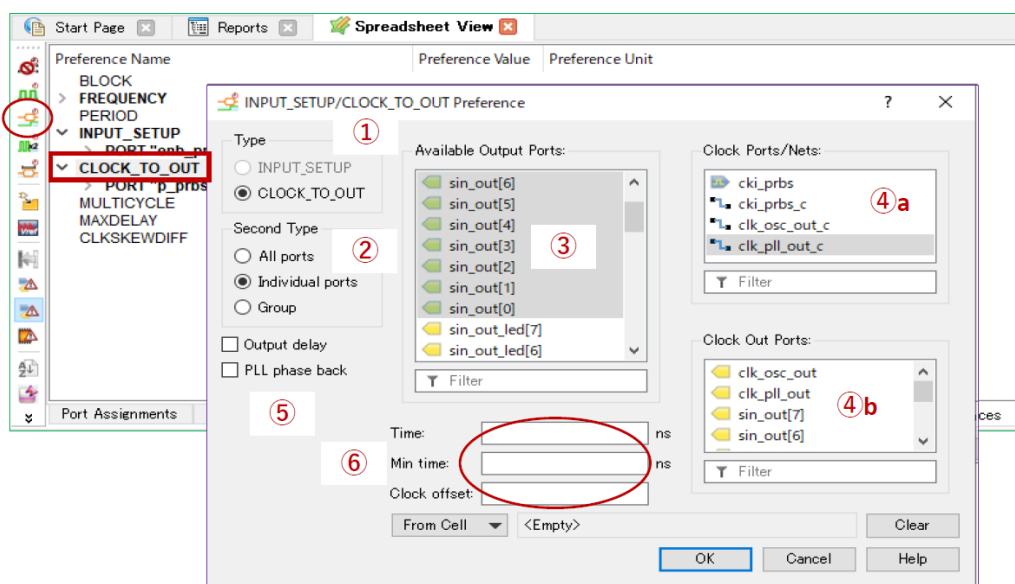
設定ウィンドウ(図 16-27)を起動するために、[Timing Preferences] タブを選択して”Preference Name” 列の”CLOCK_TO_OUT”をダブルクリックするか、スプレッドシート・ビュー左側のアイコン列から  をクリックします。手順は以下の通りです。

図 16-27. 出力遅延の制約設定ウィンドウ



Step1 ウィンドウ左上の「Type」部 (図 16-27 ①) で "CLOCK_TO_OUT" を選択します (アイコンから起動した場合。そうでない場合は自動的に選択されています)。

Step2 「Second Type」部 (図 16-27 ②) で制約対象のタイプを選択します。

"All Ports" は全出力ポートに対して共通の制約を設定する場合、"Individual ports" はポート個別に設定する場合、"Group" はポート・グループ内に対して設定する場合、にそれぞれ選択します (グループの作成方法は第 16.7 節を参照)。

Step3 「Available Output Ports:」 (図 16-27 ③) で制約設定する出力ポートを選択します ("Group" を選択した場合は、「Available Output Groups:」です)。“All Ports” を選択した場合は、選択の必要がないので何も表示されません。“シフト + Ctrl” キーを使用して複数のポートを選択できます。

Step4 「Clock Ports/Nets」と「Clock Out Port」セル (図 16-27 ④ a/ ④ b) ではクロックを指定します。前者は遅延計算の基準となるクロックで必ず指定します。後者はソースシンクロナス伝送などの場合で、出力クロックに対して出力データ遅延を指定する場合に指定します。出力クロックに対して制約しない場合、「Clock Out Ports」では何も選択しないようにします。

なお、「Clock Ports/Nets」でクロックネット  を選択すると入力バッファの遅延が計算されるので、ご注意ください。

Step5 図 16-27 ⑤部には二つのオプションがあります。

「Output Delay」ボックスは制約の設定方法を選択します。当該デバイスの出力遅延 (図 16-28、 t_{COmin}/t_{COmax}) として制約する場合は、チェックは入れません。次段デバイスのセットアップ / ホールド時間 (図 16-29、 t_{setup}/t_{Hold}) として制約する場合は、チェックを入れます。

図 16-28. 出力遅延制約 : 「Output Delay」チェック無し

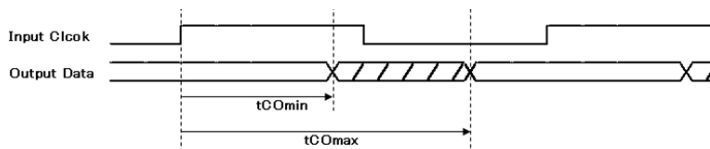
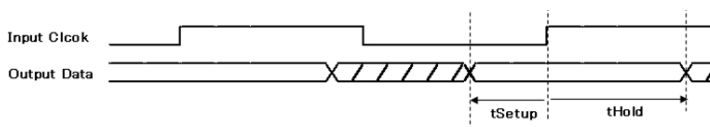


図 16-29. 出力遅延制約 : 「Output Delay」チェック有り



「PLL phase back」ボックスは、出力レジスタに PLL 出力の位相シフトクロックを用いている場合に作用します。チェックが入っていない場合 (デフォルト)、タイミング解析ツールは位相シフト分 (必ず遅れる) のクロックエッジ基準で遅延を算出 (図 16-30) します。

これに対して「PLL phase back」ボックスにチェックが入っていると、入力クロックの前 ("back") で変化するクロックエッジ基準に出力遅延を算出します (図 16-31)。

図 16-30. 出力遅延制約 : 「PLL phase back」チェック無しの例

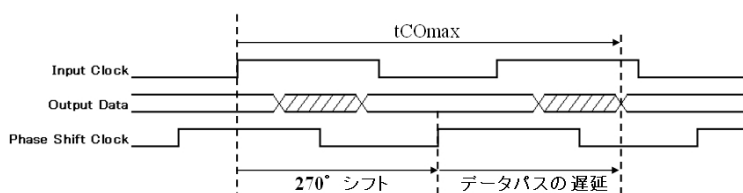
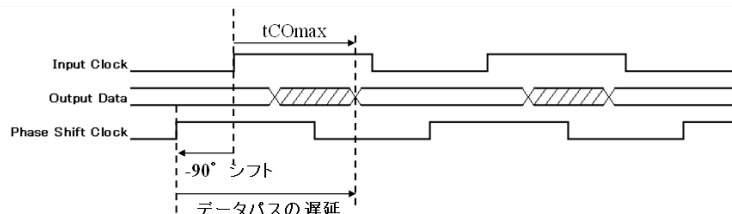
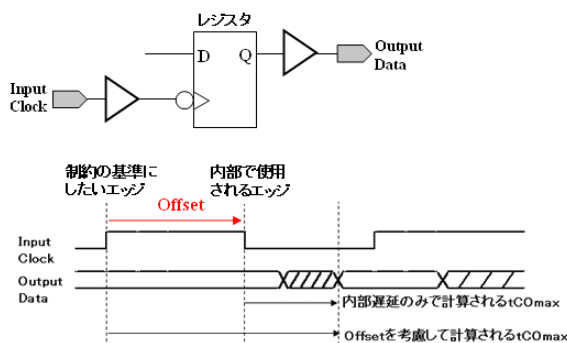


図 16-31. 出力遅延制約：「PLL phase back」チェック有りの例



Step6 図 16-27 ⑥部には三つのセルがあります。「Time」セルには出力遅延の制約値を入力します。値は、基準クロックからの最大遅延(図 16-28、 t_{COmax})、または次段デバイスのセットアップ時間(図 16-29、 t_{setup})です。

図 16-32. Clock offset の設定例



「Min Time」セルは任意で、基準クロックからの最小遅延(図 16-28、 t_{COmin})、または次段デバイスのホールド時間(図 16-29、 t_{Hold})を与えます。

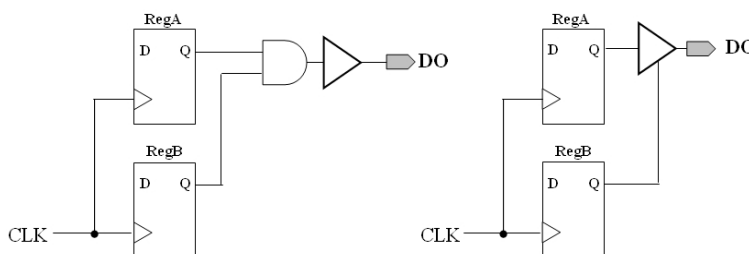
表 16-1. クロックエッジの組み合わせと Offset 設定値

基準クロックエッジ	レジスタのクロックエッジ	Clock Offset
立ち上がり	立ち上がり	0
立ち下がり	立ち下がり	0
立ち上がり	立ち下がり	クロックの High 期間
立ち下がり	立ち上がり	クロックの Low 期間

「Clock offset」セルは任意です。制約基準のクロックエッジと出力レジスタで使用されるクロックエッジが異なる場合などに、解析の補正を行うための入力です。値はクロック期間の割合を小数で入力します。「0.5」はクロック 1/2 周期の遅れ方向、「-0.5」は 1/2 周期進み方向に補正します。

Diamond の解析では、「出力遅延」=「クロック遅延」+「最終段レジスタからポートへの遅延」で計算されます。デフォルトで基準クロックエッジと出力レジスタのクロックエッジは同じです。

図 16-33. 出力遅延の解析対象パスが複数になる例



Step7 図 16-27 ⑥部の下には「From Cell:」ボタンがあります。出力遅延の解析対象とするパスの始点となるレジスタを限定する場合に限り、これをクリックすると表示されるウィンドウでレジスタを選択します。

例えば図 16-33 のように複数のレジスタ出力が論理回路を介して出力されている場合、ここで一方のレジスタを選択すると、選択されたレジスタを介するパスのみが解析されます。何も選択しなければ、全てのパスが解析対象となります。

入力が完了したら、ウィンドウ右下の『OK』をクリックします。設定内容は [Timing Preferences] シートに表示されます。設定を変更する場合は、表示されている制約をダブルクリックします。同じ設定ウィンドウが表示されますので、適宜変更して『Update』ボタンをクリックします。削除する場合は、制約を選択してキーボードの『Delete』キーを押します。

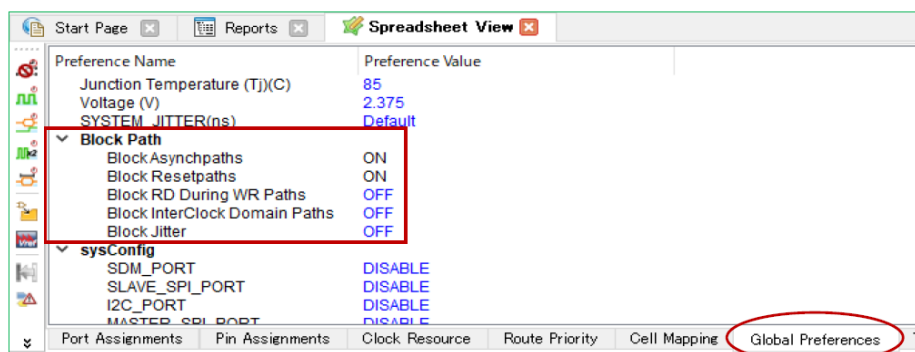
16.6.4 フォルスパス指定

”フォルスパス”はタイミング解析の対象外のパスを意味し、Diamond では BLOCK 制約（タイミング解析をブロック）を用いて指定します。

16.6.4.1 デザイン全体に作用するフォルスパス指定

デザイン全体（”Global”）に影響のある BLOCK 制約のセクションが [Global Preference] シートにあります（図 16-34）。

図 16-34. デザイン全体に対するフォルスパス設定



1. Block Asynchpaths ポートとフリップフロップ間の非同期パスを解析しない
2. Block Resetpaths フリップフロップの非同期 SET/RESET ポートを通るパスを解析しない
3. Block RD During WR Paths EBR の Read/Write ポート間の解析をしない
4. Block InterClock Domain Paths クロックドメインをまたぐパス（CDC パス）の解析をしない
5. Block Jitter ジッタを印加した制約設定をすべて無効にしたタイミング解析を行う（注：Global Preference の一つ ”SYSTEM_JITTER” は値を指定せず、Default のままとすることを推奨します）

最初の二つのみデフォルトで ”ON” になっています。新規プロジェクトを作成し、制約ファイル LPF をインポートしないと、自動的に LPF にはこれら二つに相当する制約が含まれています。3～5 はデフォルトの ”OFF” を変更しないことを推奨します。3 は実質的に意味がありません。4 は ON にすると本来解析すべきパスもフォルスパス扱いになり、殆どのデザインでは適切ではありません。5 についても、ON にするとジッタの解釈・扱いがツールとして複雑になり、一貫性のある想定した振る舞いになるとは限りません。

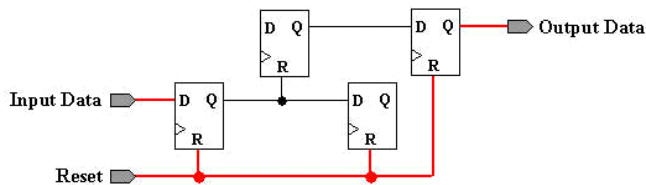
Block Asynchpaths: ポートとフリップフロップ間の非同期パスの解析

ポートを同期パスの始点・終点に見立てて、クロック周期・周波数制約の対象として解析をするかどうかの設定です。デフォルト（ON）では解析せず、”OFF” で解析します。図 16-35 例では、赤線のパスが [Block Asynchpaths] を ”ON” にすることで、タイミング解析の対象外になります（LPF 制約ファイ

ルでの書式は BLOCK_ASYNC_PATHS です)。

なお、この設定にかかわらず、”INPUT_SETUP” および ”CLOCK_TO_OUTPUT” 制約に対する解析は行われます。

図 16-35. Block Asynchpaths の効果

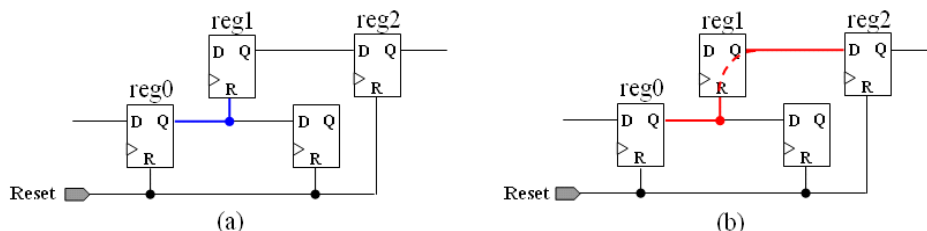


Block ResetPaths: フリップフロップの非同期セット / リセットポートを通るパスの解析

フリップフロップの非同期 Set/Reset 入力から Q 出力へ抜けるパスの解析に関する設定です。デフォルト (ON) では解析せず、”OFF” で解析します。

図 16-36 例では、”ON” にすると (a) の青色のパス (reg0 の Q 出力から Reg1 の非同期リセット入力まで) は解析されますが、(b) の赤色のパス (reg0 の Q 出力から Reg1 の非同期リセットを介して Reg2 の D 入力まで) は解析されません。”OFF” を選択した際は、両方のパスが解析されます。

図 16-36. Block Resetpaths=ON で解析対象 (青) と対象外 (赤) のパス




Block InterClock Domain Paths: クロックドメインをまたぐパスの解析

パスの始点・終点のフリップフロップが ”異なるクロックドメイン” にある場合 (”CDC パス”) のタイミング解析に関する設定です。この制約は他の全てのタイミング制約よりも優先されます。”ON” にすると、CDC パスは解析されず、マルチサイクルパス設定や最大遅延設定などを与えても、無効になります。特段の意図がない限り、この設定は必ず ”OFF” にしておきます。

16.6.4.2 特定パス / ネットのフォルスパス指定

以下については個別にフォルスパス指定ができます。

- * 特定のネットやバスを通るパス
- * 特定のグループ間、クロックネット間、ポート間、ASIC (マクロ) 間、など

設定ウィンドウを起動するために、[Timing Preferences] タブを選択した状態で ”Preference Name” カラムの ”BLOCK” をダブルクリックするか、スプレッドシート・ビュー左側のアイコン列から  をクリックします (図 16-37)。設定手順は以下の通りです。

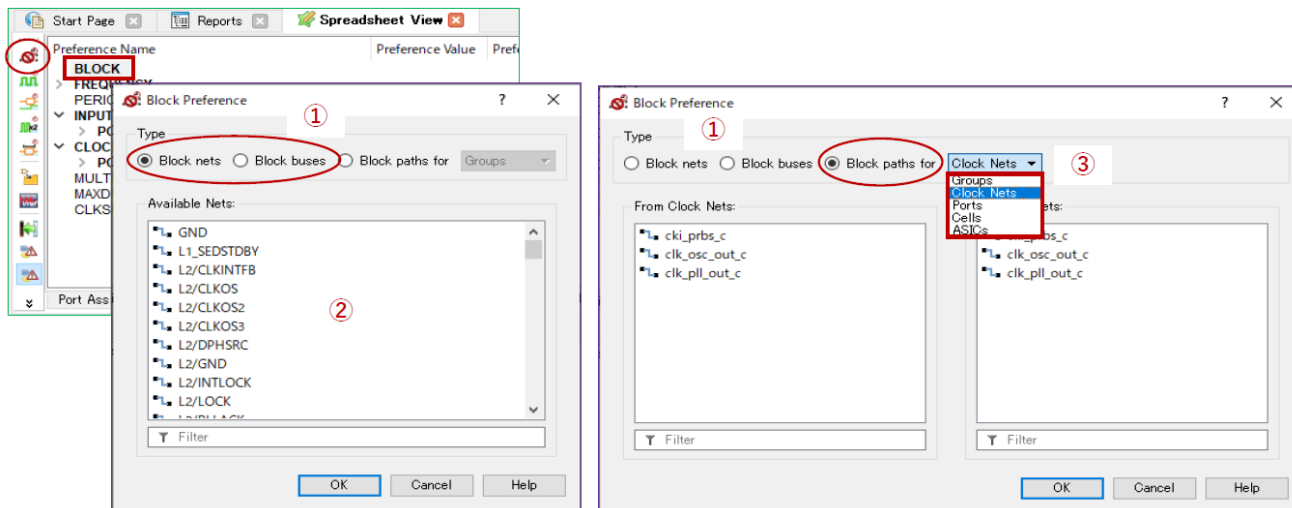
「Type」部で ”Block Nets” または ”Block Buses” を選択 (図 16-37 左)

ネットやバスをフォルスパスに設定する場合です。ウィンドウ中央の枠内 (図 16-37 ②) に指定可能なネット名・バス名の候補が表示されますので、フォルスパスにするオブジェクトを選択します。これを含むパスの全てがタイミング解析対象外になります。

図 16-38 の例では、組み合わせ回路 ”Function2” の出力 ”net1” を BLOCK 指定した場合、フリップ

フロップ Reg_b から Reg_1/2/3 へのパスと、Reg_c から Reg_1/2/3 へのパスが全てフォルスパス (図 16-38 で赤く塗られたパス) になります。

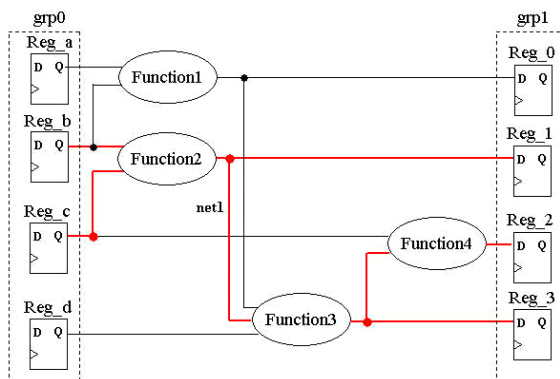
図 16-37. BLOCK 設定 (左: ネット/バス, 右: その他)



「Type」で「Block Path for XXX」を選択 (図 16-37 右)

対象 XXX はプルダウンで選択し、Groups/Clock Nets/Ports/Cells/ASICs があります。指定対象間のパスやクロックネット間全てをフォルスパス設定する場合に選択します。ウィンドウ中央の左右の枠内に選択可能なリソース候補が表示されます。左側枠でパスの始点を、右側枠でパスの終点を選択します (両方指定する必要があります)。

図 16-38. フォルスパス設定の例



設定が完了したら、ウィンドウ右下の『OK』をクリックします。設定内容は [Timing Preferences] シートに表示されます。設定を変更する場合は、表示されている制約をダブルクリックします。同じ設定ウィンドウが表示されますので、適宜変更して『Update』ボタンをクリックします。削除する場合は、制約を選択してキーボードの『Delete』キーを押します。

16.6.5 特定パス / ネットのマルチサイクル指定


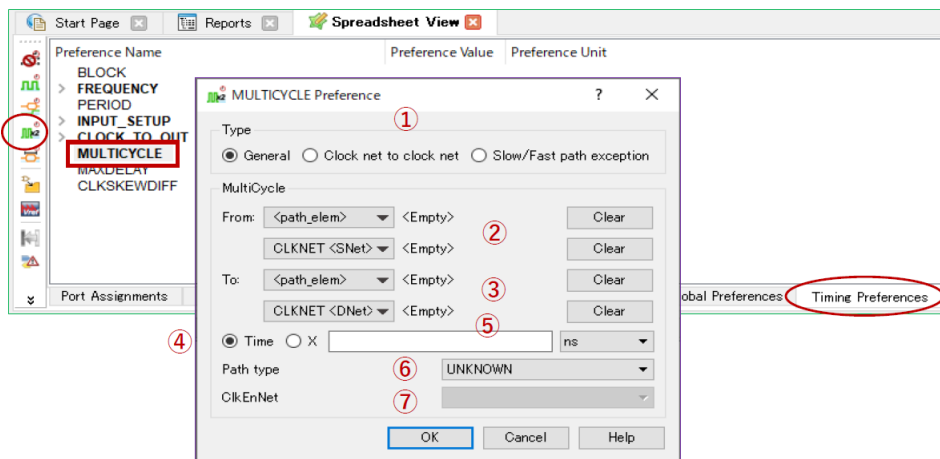
”MULTICYCLE” 制約で、特定のパス / ネットに対して複数クロック周期 (小数可) での遅延を制約することができます。設定ウィンドウを起動するために、[Timing Preferences] タブを選択して ”Preference Name” カラムの ”MULTICYCLE” をダブルクリックするか、スプレッドシート・ビュー左側のアイコン列から  をクリックします (図 16-39)。

図 16-39. マルチサイクルパス設定ウィンドウ



設定は以下の手順です。

Step1 「Type」部（図 16-39 ①）で制約のタイプを選択します。タイプによって、制約の内容とパスの始点・終点として選択できる対象が異なります。

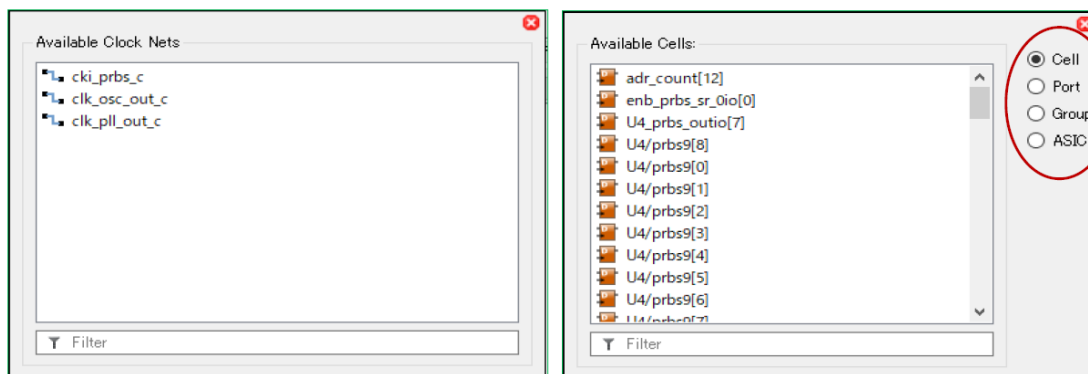
”General” はパスの始点・終点としてクロックネットおよび特定のフリップフロップやグループ（後述）を指定することができます。”Clock Net to Clock Net” はクロックネットのみ、”Slow/Fast Path Exception” はグループのみをパスの始点・終点として選択できます。

Step2 「MultiCycle」部で、パスの始点・終点を選択します。Step1 で選択したタイプに応じて設定可能なオブジェクトの選択ボタン（<path_elem> と CLKNET<SNet>/<DNet> ボタン）がアクティブになります（図 16-39 ②③）。アクティブなボタンをクリックすると、オブジェクト選択ウィンドウが立ち上がります。

「CLKNET<SNet>」「CLKNET<DNet>」をクリックすると、それぞれクロックのみが選択できるウィンドウが立ち上がります（図 16-40 左）。候補から 1 つを選択してダブルクリックすると、ウィンドウが閉じて元のウィンドウ（図 16-39）に戻ります。

「<path_elem>」をクリックすると、ロジックリソースを選択するウィンドウが立ち上がります（図 16-40 右）。このウィンドウでは、最初に右端上部にあるオブジェクト・タイプを選択します。選択タイプに従って、左枠にオブジェクト候補が表示されます。タイプは ”Cell” がフリップフロップ（レジスタ）、”Port” がポート、”Group” がオブジェクト・グループ、”ASIC” が PLL や EBR などのハードマクロを表します。タイプとオブジェクトをダブルクリックすることで選択すると、元のウィンドウ（図 16-39）に戻ります。

図 16-40. マルチサイクルパスのオブジェクト選択ウィンドウ



始点・終点の両方を設定する必要はありません。始点のみを設定した場合はそのオブジェクトを始点とする全てのパスが、終点のみを設定した場合はそのオブジェクトを終点とする全てのパスが制約の対象となります。

設定項目を変更する場合などは、②③の右側にある該当アイテムの『Clear』ボタンをクリックし、再度同じ手順を繰り返します。

Step3 「Path Type」(図 16-39 ⑥) の設定により、制約を与えるパスのタイプを選択します。


- ・”UNKNOWN” (デフォルト) を選択した場合、Step2 の設定に該当する全パスが制約対象になります。
- ・”READPATH” を選択した場合、分散メモリー周辺のパスのみが制約対象になります。
- ・”SAMECLKEN” を選択した場合、共通のクロック・イネーブル信号が接続されているパスのみが制約対象になります。
- ・”CLKEN_NET” を選択した場合、「ClkEnNet」セル (図 16-39 ⑦) で指定するクロック・イネーブル信号が接続されているパスのみが制約対象になります。

Step4 図 16-39 ④部ではパスに与える制約の単位・表記を選択します。”Time” は時間、”×” は周期に対する倍数 (小数可) を設定します。どちらか1つを選択します。

Step5 図 16-39 ⑤セルに制約値を入力します。Step4 で”×” を選択している場合は、その右のボタンで制約の基準も選択します。”X_SOURCE” は始点側フリップフロップのクロック周期が基準です。”X_DEST” および”×” は、終点側フリップフロップのクロック周期が基準です。

全て設定したら『OK』をクリックします。設定された内容は、スプレッドシート・ビューの [Timing Preferences] シートに表示されます。設定を変更する場合は、表示されている項目をダブルクリックします。同じ設定ウィンドウが表示されますので、適宜変更して『Update』ボタンをクリックします。削除する場合は、制約を選択してキーボードの『Delete』キーを押します。

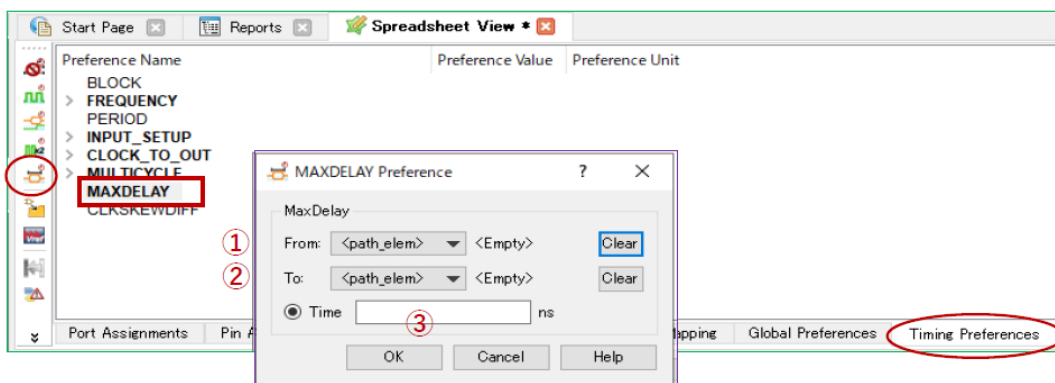
16.6.6 特定パスの最大遅延指定

”MAXDELAY” 制約で、特定のパスに対して最大遅延を制約することができます。設定ウィンドウ (図 16-41) を起動するためには、[Timing Preferences] タブを選択して”Preference Name” カラムの”MAXDELAY” をダブルクリックするか、スプレッドシート・ビュー左側のアイコン列から  をクリックします。設定は以下の手順です。

設定は以下の手順で行います。

Step1 パスの始点・終点を選択します。「From」(図 16-41 ①) または「To」(図 16-41 ②) の右にある『<path_elem>』ボタンをクリックすると、パスの始点または終点となるオブジェクト候補を表示する、図 16-40 の右図と同じウィンドウが立ち上がります。

図 16-41. 最大遅延制約の設定ウィンドウ



このウィンドウでは、最初に右端上部にあるオブジェクト・タイプを選択します。選択タイプに従っ

て、左枠にオブジェクト候補が表示されます。タイプは”Cell”がフリップフロップ（レジスタ）、”Port”がポート、”Group”がオブジェクト・グループ、”ASIC”がPLLやEBRなどのハードマクロを表します。タイプとオブジェクトをダブルクリックすることで選択すると、元のウィンドウ（図 16-41）に戻ります。

始点・終点を両方設定する必要はありません。始点のみを設定した場合はそのオブジェクトを始点とする全てのパスが、終点のみを設定した場合はそのオブジェクトを終点とする全てのパスが制約の対象となります。

設定項目を変更する場合などは、②③の右側にある該当アイテムの『Clear』ボタンをクリックし、再度同じ手順を繰り返します。


Step2 パスに与える制約値を設定します（図 16-41 ③）。

入力が完了したら『OK』をクリックします。設定された内容は、スプレッドシート・ビューの [Timing Preferences] シートに表示されます。設定を変更する場合は、表示されている制約項目をダブルクリックします。同じ設定ウィンドウが表示されますので、適宜変更して『Update』ボタンをクリックします。削除する場合は、制約を選択してキーボードの『Delete』キーを押します。

なお、特定ネットに対して最大遅延制約をかけることもできますが、これは制約ファイル LPF に記述する必要があります。

16.7 グループの作成

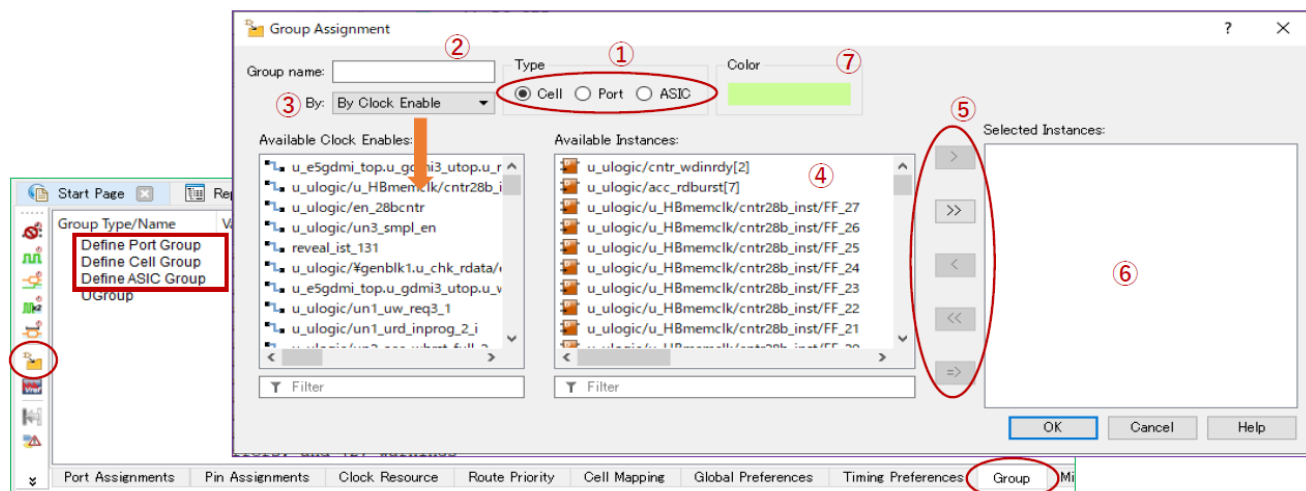
I/O ポート属性やフロアプラン、あるいはタイミング制約設定などを効率的に行うために、それらの対象となるポートやオブジェクトを一つにする”グループ”を定義することができます。これによって、一括して制約を与えることができるようになります。

設定ウィンドウ（図 16-42）を起動するには、[Group] タブを選択して最左カラムにある四つのうち、”UGROUP”以外のいずれかをダブルクリックするか、スプレッドシート・ビュー左側のアイコン列から  をクリックします。”UGROUP”はフロアプランニング用の設定で用います（第 18.2.2 節参照）。

設定手順は次のとおりです。

Step1 「Type」部（図中①）作成するグループのオブジェクト・タイプを選択します。選択できるタイプは3つです。”Cell”はフリップフロップ、”Port”は入出力ポート、”ASIC”はEBRやPLLなどハードマクロのピンです。

図 16-42. グループ生成ウィンドウ



Step2 「Group name」セル（図中②）に作成するグループ名を入力します。

Step3 図 16-42 ③で選択するオブジェクトの種別でフィルタリングを行います。Step2 で選択したタイプによって異なります（図 16-43）。

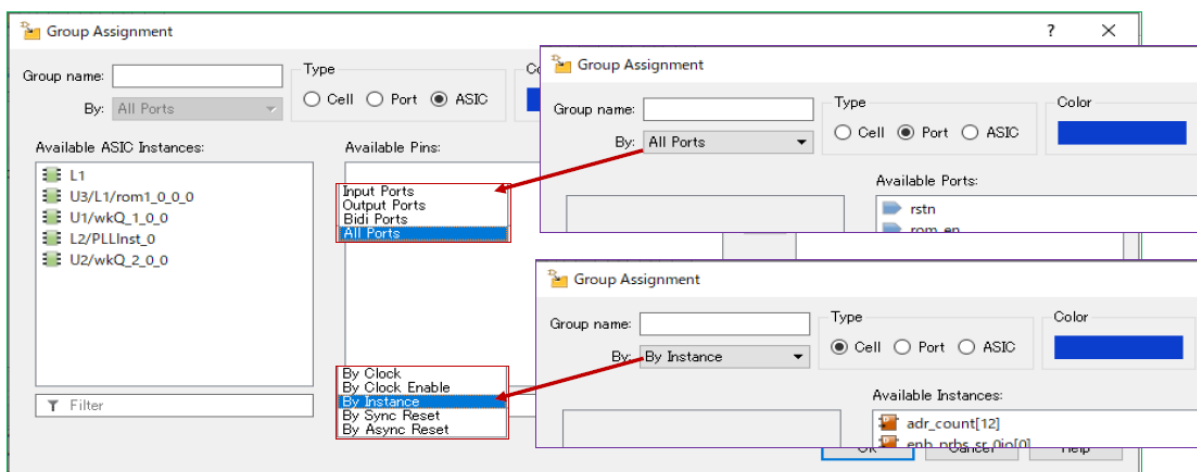
タイプが "ASIC" の場合

左側枠にデザイン内のブロック RAM や PLL 等のインスタンス名が表示されます（図 16-43 の左）。インスタンス名を選択すると、中央枠（図 16-42 ④）にピン名が表示されます。この中からグループに含めるピンを選択します。

タイプが "Cell" の場合

中央枠（図 16-42 ④）にデザイン内のフリップフロップ（FF）のインスタンス名が、デフォルトで全て表示されます。その下にある「Filter」セルにインスタンス名（の一部か全部）を正規表現でフィルタリング条件として入力すると、それに一致するインスタンス候補のみが中央枠にリストされます。

図 16-43. タイプによる「By」プルダウン："Cell"（中央下）と "Port"（中央上）



「By」プルダウン種別でフィルタリングするリストは以下の通りです。

- Clock FF のクロック
- Clock Enable FF のクロックイネーブル信号
- Instance デフォルトでフィルタリングなし
- Sync Reset FF の同期セット / リセット信号
- Async Reset FF の非同期セット / リセット信号

[Instance] 以外を選択すると、それに対応した信号やインスタンスが中央④枠に表示されます。






タイプが "Port" の場合

中央枠④にデザイン内のポート名が、デフォルトで全て表示されます。その下にある「Filter」セルにインスタンス名（の一部か全部）を正規表現でフィルタリング条件として入力すると、それに一致するポート候補のみが中央枠にリストされます。

「By」プルダウン種別でフィルタリングするリストは以下の通りです。

- Input Ports 入力ポートのみ
- Output Ports 出力ポートのみ
- Bidi Ports 双方向ポートのみ
- All Ports 全てのポート

Step4 中央枠の ”Available Instances” や ”Selected Instances” に表示されているオブジェクトを選択し、グループに追加します。図 16-42 ⑤部の各ボタンに対するアクションは以下のとおりです。

-  ボタン ④枠で選択したオブジェクトのみをグループに追加する
-  ボタン ④枠の全オブジェクトをグループに追加する
-  ボタン ⑥枠で選択したオブジェクトのみをグループから除外する
-  ボタン ⑥枠の全オブジェクトをグループから除外する
-  ボタン 「Filter」セルに入力した正規表現に一致するオブジェクトが④に表示されている状態で、その全てを追加する

入力が完了したら『OK』をクリックします。設定された内容は、スプレッドシート・ビューの [Group] シートに表示されます。設定を変更する場合は、表示されている制約項目をダブルクリックします。同じ設定ウィンドウが表示されますので、適宜変更して『Update』ボタンをクリックします。削除する場合は、制約を選択してキーボードの『Delete』キーを押します。

--- *** ---