

2021 年 12 月

Lattice Diamond 日本語ユーザーガイド

第9章 タイミング解析ビュー(Timing Analysis View)

9.1 概要と起動

Lattice Diamond では静的タイミング解析 (STA)の実行プログラムは TRACE と呼び、タイミング解析 レポートを "TRACE レポート"と呼ぶ場合があります。従来のレポートは、テキストや HTML 形式のため (<proj_name>_<impl_name>_twr. <proj_name>_twr.html)、レポートの全容を確実に把握することは、 規模の大きい回路実装ほど必ずしも容易ではありませんでした。

タイミング解析ビューは、タイミングレポートを網羅的に、かつ効率よくレビューできる表形式の GUI ツールです。特にパスの一覧とそれぞれのパスに関する個々遅延エレメントの遅延値、起点と終点のクロッ ク遅延値など、視覚的にかつ直感的に把握することを可能にします。またソート(並び替え)機能も有用です。

また、タイミング解析ビューはフィジカル・ビューやフロアプラン・ビューなどとの連携機能(クロスプ ロービング)を備えています。配置配線結果を踏まえた設計制約の妥当性の推敲やクリティカルパスの特定 と、第16章で記述する、設計制約を編集・管理するツールであるスプレッドシート・ビュー(SSV)との連 携を円滑に行うことを可能にします。

付随するもう一つの機能が"TPF スプレッドシート・ビュー"(第9.6節)で、ウィンドウ表示自体はSSV の簡易版です。PAR プロセスを再実行せずに作成済ネットリストに対して、LPF のタイミング制約を変更し た条件で静的タイミング解析を実行します。制約変更の効果を短 TAT で予測しますので、制約を推敲をする 際のベース情報を得るために有用です。

タイミング解析ビューの起動は、Diamond ツールバーでアイコン 🏠 をクリックします(図 9-1)。または メニューバーの Tools から [Timing Analysis View] を選択しても起動できます。なお、PAR(配置配線)まで 完了していないと、グレーアウトして起動できませんので、ご注意ください。

図 9-1. タイミング解析ビューの起動

Γ	File	Edit	View	Pro	ject	Des	ign	Pro	cess	Too	ls	Wi	ndo	w	Help				
	2	• 🖻	•	(ji)	=	ß	2	%	ß	Îß		ß	ξĦ	-	$\oplus_{\mathbb{Q}}$	$\boldsymbol{\Theta}_{\!\!\boldsymbol{\delta}}$	Q	0,	
	1	E (8	6	\$		B (ÿ [ė,	E (ì	1	8		Q	9	М	6	2

9.2 各ウィンドウのレイアウトと構成

起動するとタイミング解析結果を自動的にロードして立ち上がります。初期画面をデタッチすると図 9-2 のようになっており、デフォルトではAからDの四つのウィンドウに分割されています。(デタッチとアタッ チについては第 23.2.2 節をご参照下さい。)

A 左上部: グローバル設定とストラテジー・オプションの関連項目(Settings, Values)です

B 左下部:設計制約 (Preference Name) ごとのレポート項目一覧 (Preference Reports)。タイミング違反 (ネガティブ・スラック) がある項目行は赤字で表示されます

C右上部:パステーブル (Path Table)。スラック値でソートされたパスのサマリ情報一覧です

註:本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期してお りますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があり得ます。疑義が生じ た場合は技術サポート担当者にお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようにお願い致します。

図 9-2. 初期表示例

9	Timing Analysis View - Untitled			– – ×
File	e Edit View Window Help			
10				
 Do	Settings	Values		Path Table Ø
	Device Family Device Package	LatticeECP3 LFE3-35EA FPBGA484		Source filter. Destination filter:
۲ ۲	Setup Performance Grade Hold Performance Grade Check Unconstrained Connections	Default Default No		Source Destination Weighted Slack Arrival Required Da
	Check Unconstrained Paths Report Asynchronous Timing Loops Report Style	No No Verbose Timing Re	port	
	Full Name Worst-Case Paths Number of Unconstrained Paths	No 10 A 0		3 <
	Preference Name		Analysis	Detailed Path Tables @ @ @ @ @ @
	👻 🙅 Analysis Results			Data Path Details Source Clock Destination Clock
	 器 BLOCK PATH FROM POR 器 BLOCK PATH FROM POR 会 FREQUENCY NET "in_dli 会 FREQUENCY NET "in_dli 	&T "reset_n" &T "reset_n" <_c" 100.000000 MHz <_c" 100.000000 MHz	setup hold setup hold	Name Fanout Delay Source Destination Resource
	e FREQUENCY NET "pcloc FREQUENCY NET "pcloc	k" 41.025641 MHz k" 41.025641 MHz B	setup hold	タブ選択時のデフォルト D
	Preference Reports Other Reports		>	Detailed Path Tables Schematic Path View Report

D右下部:個々のパスの詳細遅延レポートです。枠の下部に三つのタブがあり、表示を切り替えられます

- ・ 詳細パステーブル (Detailed Path Tables): 図 9-2 の表示はこの状態です。デフォルトで上部に三つの タブが現れます
 - データパス詳細 (Data Path Details)
 - 起点クロック遅延詳細 (Source Clock)
 - 終点クロック遅延詳細 (Destination Clock)
- ・ パス接続図(Schematic Path View)〜起点から終点までのリソースと遅延値を図示したものです
- レポート(Report: setup [hold]) ~ HTML 形式レポートです。B 枠で選択する制約が "setup" の場合は タブ名が "Report: setup" となり、"hold" が選択されているとタブ名は "Report: hold" と表記されます。

図 9-2の例では B 枠で制約レポート項目が何も選択されていない状態のため、C 枠内と D 枠内の表示はブランクになっています(レポートタブも名称は単純に "Report" という表記になっています)。

9.3 クリティカルパスの確認手順

タイミングを満たさないパスや、満たしているものの最もタイミング・マージンの少ないパス(クリティカルパス)を特定し、その遅延要素と値を解析するための、一般的な確認手順は次の通りです。個々のステップについては詳細を本節以降に記述します。

- ステップ①: B 枠 [Preference Name] で意図する制約項目を選択する
- ステップ②:選択した B 枠の制約項目にカバーされるバスが C 枠 [Path Table] にリストされるので、その中で詳細に確認したい、いずれかのパスを選択する
- ステップ③: 選択した C 枠のパスに関する詳細遅延情報を D 枠 [Detailed Path Tables] で確認する

[Path Table] にレポートされるパスの本数は A 枠の項目 "Worst-Case Paths" 値に従います (ストラテジー・ オプションの一つ)。また、デフォルトで [Path Table] 枠のリスト順序は "Weighted Slack" 値でソートされて



います。すなわち、ネガティブ・スラック("Weighted Slack" セルが赤字)が大きい順序、もしくはマージンの小さい順序で上から表示されます。

図 9-3. クリティカルパスの確認手順例



[Detailed Path Tables] 表示は、図 9-2 に示すように D 枠にある三つのタブの一つです。また、起動後の表示では図 9-4 の左にみられるように、各カラムの横幅が狭いため、各セルの表示がフル名称になりませ

ん。この場合はタイミング解析ビューの左側にあるアイコン列から 😭 をクリックすることで、自動的に カラム幅調整が実行されて見やすくなります(図 9-4 内右)。

図 9-4. カラム幅自動調整 (Fit All Columns) 前後の例

Path	i Table i	- 1 FRI	EQUEN	GY NET	F ″usrelk_e° i	155.250000 M	H2 PAR_AD).J 10.000000	* (hold)								
;	Source	filter:						Path Table -	″FREQU	IENCY NET "us	rclk_c* 156,2500	00 MHz PAR_ADJ	J 10.000000 " (hold)				
				S	ource			Source fil	ter:				Des	stination filter:			
1	u_e5	igdmi_	top/u_	odmi3. admi3	_utop/u_rdpa	ath/d_done1	strd u_e5			Sourc	c			Destinatio	n		Wci
3	u_e5	indmi	top/u	ndmi3	utop/u_rdpa	ath/done1str	d u e ^q	1 u_e5g	dmi_top	/u_gdmi3_uto	p/u_rdpath/d_d	one1strd u_e5go	dmi_top/u_gdmi3_utc	p/u_rdpath/u_fifo_	_read/fifodc4to1_inst	/pdp_ram_0_1_0	-0.128
		admi.	tonia -		utophu rdp-	hib/dono.tetr	4 1 A	2 u_e5g	dmi_top	/u_gdmi3_uto	p/u_rdpath/d_d	one1strd u_e5go	dmi_top/u_gdmi3_uto	p/u_rdpath/u_fifo_	_read/fifodc4to1_inst	/pdp_ram_0_0_1	-0.122
2								3 u_e5g	dmi_top	/u_gdmi3_uto	p/u_rdpath/don	e1strd u_e5go	dmi_top/u_gdmi3_uto	op/u_rdpath/u_fifo_	_read/fifodc4to1_inst	/pdp_ram_0_1_0	-0.032
Det	ailed Pa	th Tab	lee					 4 ∪ 550 ≼ 	desi tan	in odmið uto	ntu reinallatetaas	deled u offer	deni tantı admi z ule	anto educativita 68a	read/Mediated incl	lada ram 0 0 1	0.006
D.	ata Path	n Detai	8 2	icurce	Clock Des	stination Clo	*										
Na	me iar	nout I	Delay 1	Source	Destination	Resource		Detailed Path	Tables		5 5 5	a t 1					
RE	0	0	.164 H	R 36	R36C29	u_e5g.		Data Fatri I	Fanaut	Source Clock	< Destination	Destination					
RC	2	0	.24 F	R36	R36C29	u_e5g			Pariout	0.464	DIRCOOD OLK	Destination	u sEadmi tanà	nesource a	death/01005_0400		
СТ	0	C	.076 F	R36	R36C29	u_e5g		DOUTE	0	0.104	R30C29D.CER	R36C29D.Q0	u_esgami_top/u	i_gami3_utop/u_n	dpatr/scion 2498		
	56	C	.847 F	R36	EBR_R3	u_e5g	(CTOF DEL	-	0.24	D360200.00	R30029D.80	u_e5gdmi_top/d	i_gami3_utop/u_n	dpath/QLICE_2400		
			lot	_				BOUTE	56	0.647	R36C20D E0	EBR R340154	esgami_topia	i_gami3_utop/u_n	dpath/up1 u apat		
								NOTE	50	Total=1 327	1300280.00	EDIX_IX34013.1	ICOT u_eogumi_top/u	_gumis_utop/u_n	upanium_u_ese_		
D	stailed F	Path Ta	ables	Sche	matic Path V	iew Repo	rt: hold			Total "hJET							
								Detailed Pa	th Table:	s Schemati	s Path View	Report hold					

9.4 タイミング解析ビューのオプション変更

ビューを起動した後に、解析オプションを変更することができます。ビュー左側のアイコン列から 🚅 を クリックすると、"Settings" ウィンドウが表示されます。または左上ウィンドウ [Settings] 内のどこかでダブ ルクリックしても同様です。

"Setting"ウィンドウは図 9-5 左側がデフォルト表示です。"Setup/Hold Performance Grade"は解析するス ピードグレード指定です。プルダウンで変更できますが、特段の理由がない限りは"Default"のままにしてお きます。変更した場合は、ベストケース(ホールド側)やワーストケース(セットアップ側)での解析では なく、指定グレードのみでの解析になります。

"Report Style" もプルダウンから選択できます。"Worst-Case Paths" と "Number of unconstrained paths" に

は数値が入ります。それ以外はチェックボックスが文頭にあり、チェック印ありがイネーブルを意味します。

図 9-5. オプション設定の変更例



9.4.1 パステーブル・ウィンドウ内の表示パス数

タイミング解析ビュー起動時は図 9-6 のようになっています。タイミング解析ビュー左上枠の "Settings" に表示されている "Worst-Case Paths" の数値がパステーブル [Path Table] ウィンドウのレポートパス数にな ります。図 9-5 の左側はデフォルト値 10 です。図 9-7 はオプション設定ウィンドウで図 9-5 右側のように 変更後の [Path Tables] ウィンドウの表示例(一部)です。パス数が変わっているのがわかります。

図9-6. パステーブルの表示パス数オプション



図 9-7. レポートパス数の変更後の例



なお、タイミング解析ビューは起動時にバックグランドでそれぞれの制約項目について 30本のパスまで解

析しています。例えば、デフォルトの10から30までに変更しても、処理遅延を極小でレポート表示を更新 できるようにするためです。仮に図9-5右の例のように30以上にすると、再度タイミング解析処理が実行 されますので、特に大きなデザインでは相応の処理時間が発生しますので、ご留意ください。

9.4.2 未制約パスのレポート指定

"Number of unconstrained paths"(未制約パス)にも数値が入ります。デフォルトでは"0"ですが、オプション設定ウィンドウで図 9-5 右側のように値を指定してイネーブルすると、図 9-8 例のようになります。

図 9-8. "Unconstrained Paths" 数値指定後の例



タイミング解析ビューの左下ウィンドウ [Preference Name] にタブが二つあります。"Preference Reports" は デフォルトで表示される設計制約項目のリストですが、タブ "Other Reports" に "Unconstrained..." が四項目 含まれて更新されます。何れかを選択すると、それに該当する『未制約パス』が [Path Table] ウィンドウに リストされます。そのパス数がオプション設定で指定した値に一致します。

なお、全ての項目に対して該当するパスが存在するとは限りません。デザインと与えられた設計制約 (Timing Coverage) に依存します。これは、本来設計制約が与えられるべきパスが未制約で残っていないか どうかを確認するための、支援機能の一つです。

9.4.3 タイミング解析ビューのオプションとストラテジー設定

タイミング解析ビューの各オプションは左上ウィンドウの [Settings] に表示されていますが、これはタイミ ング・レポートに関するストラテジーのサブプロセス [Place & Route Trace] のオプション項目がそのまま反 映されています(図 9-9 橙枠)。タイミング解析ビューを起動した時に、これらが反映された解析とレポー ト表示が行われます。'Trace'とは本章の冒頭で記述した通り STA を意味します。

図 9-9. 関連するストラテジー・オプション項目

Process	Place & Route Trace										
 Synthesize Design Synplify Pro 		Display catalog: All 🔹									
ISE LSE	Name	Type	Valu	Je							
	Analysis Options	List	Standard Setup and	Hold Analysis							
✓ ☑ Map Design	Auto Timing	T/F	True								
Map Trace	Check Unconstrained Connections	T/F	False								
V Sal Place & Route Design	Check Unconstrained Paths	T/F	True								
Place & Route Iface	Full Name	T/F	False								
Timing Simulation	Number of Unconstrained Paths (0 to 4096)	Num	0								
Bitstream	Report Asynchronous Timing Loops	T/F	False								
U DIORCUIT	Report Style	List	Verbose Timing Rep	ort							
	Speed for Hold Analysis	List	m								
	Speed for Setup Analysis	List	default								
	Worst-Case Paths (0-4096)	Num	10								

タイミング解析ビュー起動後に、毎回その都度、任意のオプション設定に変更する必要があるようなケースでは、あらかじめストラテジー・オプションを所望の設定に変更しておくことを推奨します。毎回変更する手間と処理時間が省けます。

ただし、ストラテジー・オプションを変更する際には留意が必要です。変更すると、そのオプションの該 当するプロセスやサブプロセスから再実行されます。"Place & Route Trace"であれはタイミング解析(STA) のみの再実行ですが、"Map Design"や "Place & Route Design"のオプションを変更すると、それぞれマッピ ング処理プロセス、あるいは配置配線処理プロセスからの再実行されます。

9.5 解析のための基本操作

9.5.1 設計制約項目の選択

ユーザーが与える設計制約は基本的に全て LPF に記述されています。タイミング解析ビュー左下ウィンド ウの [Preference Name] には、それらを "Analysis Type" として "setup" と "hold" に分割してリストします。ま た、これに加えてツールが自動的に抽出した制約が存在すれば、LPF になくてもリストされます。タイミン グ違反のある制約項目行は赤字で表示されます。タイミング違反が全く無ければ、全て黒字です。

また、デザインや項目によっては "Analysis Type" に "hold_window" が追加されます (図 9-10 例)。これは "プロジェクトで指定したスピードグレードに限定してホールド解析した結果"を意味します。通常の"hold" はデフォルトの解析対象である、仮想最速スピードグレード "M" に対しての解析結果です。

図 9-10. 'Preference Name' のリストと解析結果例

Kerequency net "rx_inst/lvds_71_rx/eclko" 227.500000 MHz	setup
# FREQUENCY NET "m_inst/lvds_71_m/eclko" 227.500000 MHz	hold
FREQUENCY NET "TX_ecik_c" 227.500000 MHz	setup
FREQUENCY NET "TX_edk_c" 227.500000 MHz	hold
K INPUT_SETUP PORT "RA_in" 0.340000 ns HOLD 0.450000 ns CLKNET "rx_inst/vds_71_rx/edlko"	setup
A MULTICYCLE FROM CLKNET "RCLK_in_c" TO CLKNET "rx_inst/lvds_71_rx/edko" 20.000000 ns	setup
🌺 MULTICYCLE FROM CLKNET "RCLK_in_c" TO CLKNET "rx_inst/lvds_71_rx/ediko" 20.000000 ns	hold
MULTICYCLE FROM CLKNET "TX_edk_c" TO CLKNET "tx_sdk" 20.000000 ns	setup
畿 MULTICYCLE FROM CLKNET "TX_edk_c" TO CLKNET "tx_sdk" 20.000000 ns	hold
RA_INPUT_SETUP PORT "RA_In" 0.340000 ns HOLD 0.450000 ns CLKNET "rx_inst/vds_71_rx/edlko"	hold
Relation of the second	hold_window
👷 INPUT_SETUP PORT "RB_IN" 0.340000 ns HOLD 0.450000 ns CLKNET "rx_inst/ivds_71_rv/eciko"	setup
Relation of the second	hold
R INPUT_SETUP PORT "RB_in" 0.340000 ns HOLD 0.450000 ns CLKNET "rx_inst/vds_71_rv/eclko"	hold_window
1. INPUT_SETUP PORT "RC_in" 0.340000 ns HOLD 0.450000 ns CLKNET "rx_inst/lvds_71_r/eclko"	setup

このリストの中から、パステーブルで詳細を確認したい制約項目をクリックして選択します。

9.5.2 パステーブルとソート機能

パステーブルは Source、Destination、Weighted Slack、Arrival、Required、Data Delay、Route %、Levels、Clock Skew、Setup/Hold の各項目(カラム)が表形式でレポートされています(図 9-11)。それぞれパス起点、パス終点、スラック値、パス遅延値、許容される遅延値、配線遅延の割合、論理段数、複数終点間のクロック スキュー、(FFの) セットアップ / ホールド要件、を意味しています。

図 9-11. パステーブルの表示例

		フィルタ	リング用セル			ソート時に項目名セルをクリック								
I	Path Table - "FREQUENCY NET "u_setmac%evsp/u_semii/semii_p_ins/u_semii_pcs/tx.pck" 156250000 MHz " (setup)													8,
l			`					/						_
l	S	Source filter: Destination filter:												е
l														_
l		Source	Destination	Weighted Slack	Arrival	Required	Data Delay	Route %	Levels	Clock Skew	Setup/Hold	Jitter	Color	^
l	1	u_sgtmac6gvsp/u_sgmii/sgmii	u_sgtmac6gvsp/u_sgmii/sgm	3.126	3.274	6.4	3.484	47.8	14	0	-0.21	0		
l	2	u_sgtmac6gvsp/u_sgmii/sgmii	u_sgtmac6gvsp/u_sgmii/sgm	3.136	3.264	6.4	3.474	50.9	12	0	-0.21	0		
l	3	u_sgtmac6gvsp/u_sgmii/sgmii	u_sgtmac6gvsp/u_sgmii/sgm	3.138	3.262	6.4	3.472	55.8	9	0	-0.21	0		
l	4	u_sgtmac6gvsp/u_sgmii/sgmii	u_sgtmac6gvsp/u_sgmii/sgm	3.14	3.26	6.4	3.47	55.7	9	0	-0.21	0		
	<												>	~



デフォルトのリスト順序 "Weighted Slack 値でソートされたものです。すなわち、タイミング違反がある場合はネガティブ・スラック("Weighted Slack" セルが赤字)が大きい順序、もしくはタイミング違反がない場合ではマージンの小さい順序で上から表示されます。

ソート順を変更したい場合、カラム最上位の項目名をクリックします。例えば "Route %" 表記セルをクリッ クすると、配線遅延割合の昇順(または降順)にパス表示が変更されます。再度クリックすると、降順(ま たは昇順)が逆になります。また、パステーブルが大きい場合などは、ウィンドウ上部の "Source Filter" や "Destination Filter" セルに何らかの文字をタイプすると、マッチするパスのみがフィルタされて表示されま す。タイプする一文字ごと、直ちに不一致パスは除外されます。

パステーブルはタイミング解析ビューの左端上にあるアイコン **い**をクリックすると、全カラムが表示 された状態になります。起動後では "Source" や "Destination"の階層表示のため、殆どは全カラムが表示さ れません。ただし、Source/Destination ノード名は一部の文字列しか表示できませんので、再調整します。

9.5.3 詳細パステーブル

詳細パステーブル [Detailed Path Tables] には三つのテーブルがあります (Data Path Details、Source Clock、 Destination Clock)。デフォルトではこれらはタブで表示を切り替えて確認します (図 9-12)。

図 9-12. 詳細パステーブルの例

Detailed Path Tal	bles				
Data Path Deta	ails S	Source Clock	Destination Clo	ck	
Name	Fanou	it Delay	Source	Destination	Resource
REG_DEL	0	0.393	R42C35C.CLK	R42C35C.Q1	u_e5gdmi_top/u_gdmi3_utop/u_wpath/SLICE_1595
ROUTE	3	0.886	R42C35C.Q1	R39C31C.C0	u_e5gdmi_top/u_gdmi3_utop/u_wpath/u_rdcount_di
CTOF_DEL	0	0.18	R39C31C.C0	R39C31C.F0	u_e5gdmi_top/u_gdmi3_utop/u_wpath/SLICE_1530
ROUTE	6	0.555	R39C31C.F0	R39C31C.B1	u_e5gdmi_top/u_gdmi3_utop/u_wpath/pos_urdcnt
CTOF_DEL	0	0.18	R39C31C.B1	R39C31C.F1	u_e5gdmi_top/u_gdmi3_utop/u_wpath/SLICE_1530
ROUTE	1	0.448	R39C31C.F1	R39C33B.D0	u_e5gdmi_top/u_gdmi3_utop/u_wpath/un1_uw_rdy
CTOF_DEL	0	0.18	R39C33B.D0	R39C33B.F0	u_e5gdmi_top/u_gdmi3_utop/u_wpath/SLICE_2062
ROUTE	1	0.308	R39C33B.F0	R39C32C.D0	u_e5gdmi_top/u_gdmi3_utop/u_wpath/N_347
CTOF_DEL	0	0.18	R39C32C.D0	R39C32C.F0	u_e5gdmi_top/u_gdmi3_utop/u_wpath/SLICE_2060
ROUTE	1	0.494	R39C32C.F0	R38C31A.D1	u_e5gdmi_top/u_gdmi3_utop/u_wpath/un1_uw_rdy
CTOF_DEL	0	0.18	R38C31A.D1	R38C31A.F1	u_e5gdmi_top/u_gdmi3_utop/u_wpath/SLICE_1602
ROUTE	1	0.501	R38C31A.F1	R39C32B.CE	u_e5gdmi_top/u_gdmi3_utop/u_wpath/uw_rdy_RNO
		Total=4.485			

テーブルは遅延エレメントが経路順にリストされ、エレメント名、ファンアウト数、遅延値、起点・終点、 リソース名が示されます。"REG_DEL" はレジスタのクロック入力から Q 出力の遅延、"ROUTE" は配線遅 延、"CTOF_DEL" は LUT4 の遅延、等々がわかります。"CTOF_DEL" にはこれ以外にも類似の名称が定義さ れてます。

クロック遅延テーブルは起点も終点も類似しています。図 9-13 は起点クロックの例です。

図 9-13. 起点・終点クロック遅延テーブル例

Detailed F	Path Tabl	les						
Data Pa	ith Detail	ls Source (Clock	Destination C	lock			
Name	Fanout	Delay		Source	Des	tination	Resource	
ROUTE	1116	1.059	PLL_R	35C5.CLKOP	R31C36C.CLK		pclock	
		Total=1.059						

一般的に PLL を用いることが少なくありませんので、この例のようにそれほど遅延エレメントはありません。起点にしろ終点にしろ、エレメントが増えるとクロックスキューの原因になり得ます。

詳細パステーブルの有用性の一つは、特に遅延が大きい要因を探る上で、従来のテキストや HTML 形式の ようにスクロールを何度も繰り返す必要なく、パステーブルで対象パスを選択し直すだけで多くのパスに対

してレビューできることです。例えば、Fanout 数が想定以上に大きくないか、またはロジック段数が多すぎ ないか、などが容易に把握できます。Fanout 数が大きいと、遅延も比例して大きくなりますし、ロジック段 数が多すぎると、遅延要素(エレメント)数が多いことを意味し、必然的に配線遅延も総じて増大します。 一般的には設計制約やストラテジーで対処しますが、場合によっては論理合成ツールへの制約が必要かもし れませんし、RTL 記述の修正が必要かと類推できるかもしれません。

9.5.4 詳細パステーブル表示方法の切り替え

詳細データパスと起点・終点クロックの各表示は、デフォルトのタブ方式から同時表示にできます。

図 9-14. 詳細パステーブル表示: タブからスプリッタ

Name	-						
	Fanout	Delay	Source	Destination			
REG_DEL	0	0.164	R36C29D.CLK	R36C29D.Q	0	u_e5gdmi_top/u	
ROUTE	2	0.24	R36C29D.Q0	R36C29D.B		it Columns	
CTOF_DEL	0	0.076	R36C29D.B0	R36C29D.F	IE I	Visible Columns	
ROUTE	56	0.847	R36C29D.F0	EBR_R34C	ш н	Fit Columns Visible Columns Show in	
		Total=1.327				View with Splitters	

タブ方式から同時表示方式にするには、図 9-14 のようにウィンドウのどこかで右クリックすると現れる 小ウィンドウで [View with Splitters] を選択します。表示は図 9-15 のように変わり、三つの領域に分割表示さ れます。元のタブ方式に戻すには、同様にウィンドウのどこかで右クリックすると現れる小ウィンドウで [View with Tabs] を選択します。

図 9-15. 詳細パステーブル表示: スプリッタからタブ

stailed Pa	ath Table	2											
Data Pati	h Details	-											
Nar	me	Fanout	D	elay	Source	_	Destin	ation				Resource	
REG_DEL	L	0	0.243		R31C36C.CLK		R31C36C.Q1	1	u_pfe3xo2	2eca3/LN	132/cp	ou/instruction_unit/S	SLICE_676
ROUTE		86	4.344		R31C36C.Q1		R50C40B.A1		u_pfe3xo2	2eca3/LN	132/cp	ou/read_idx_0_d[1]	
CTOF_D	EL	0	0.147		R50C40B.A1		R50C40B.F1		u_pfe3xo2	2eca3/LN	132/cp	ou/SLICE_1551	
ROUTE		1	0.54		R50C40B.F1		R50C39C.A1		u_pfe3xo2	2eca3/LN	132/cp	ou/registersria_17	
CTOF_D	EL	0 0.147			R50C39C.A1		R50C39C.F1		u_pfe3xo2	2eca3/LN	132/cp	ou/SLICE_1550	
ROUTE					R50C39C.F1		R50C40A.B1		u_pfe3xo2	2eca3/LN	3/LM32/cpu/registersror_8		
CTOF_DEL		0 0.147			R50C40A.B1		R50C40A.F1	R50C40A.F1		2eca3/LN	132/cp	ou/SLICE_1552	
ROUTE		1	0.549		R50C40A.F1		R50C38C.B1		u_pfe3xo2	2eca3/LN	22/~~	Vicanistorerar 19	
CTOF_D	EL	0	0.147		R50C38C.B1		R50C38C.F1		u_pfe3xo2	2eca3/LN	i+⇒i ⊡e	Fit Columns	
Source C	lock										ш×	Show in	,
Name	Fanout	De	lay		Source	C	estination	Resource				View with Tabs	
ROUTE	1116	1.059		PLL_R3	5C5.CLKOP	R31	C36C.CLK	pclock					
		Total=	1.059										
Destinati	on Clock												
Name	Fanout	De	lay		Source		Destinati	ion	Resource				
ROUTE	1116	1.173		PLL_R3	5C5.CLKOP	м	LT18_R44C3	B.CLK0	pclock				
		Total=	1.173										

9.5.5 パス詳細図タブとレポートタブ

タイミング解析ビューの右下ウィンドウには、パス詳細テーブル以外に、パス詳細図とHTML レポートの 二つの表示機能があります。

パス詳細図表示はウィンドウ下部の [Schematic Path View] タブを選択することで、図 9-16 例のように切り 替わります。[Detailed Path Tables] の表形式を図で置き換えたもので、視覚的な理解の手助けとなります。ク ロック名、スライス番号、ネット名、遅延値などが表示に含まれています。

図 9-16. パス詳細図表示例



HTML レポート表示はウィンドウ下部の [Report: <setup|hold>] タブを選択することで、図 9-17 例のように 切り替わります。これは従来の HTML 形式レポートの中から、選択しているパスに該当する箇所を表示して います。

図 9-17. レポート表示例

Report: setup												
Preference: SREQU	Preference: FREQUENCY PORT "clk_1" 25.000000 MHz ; 10 items scored, 0 timing errors detected.											
Passed: The following path meets requirements by 24.358ns												
Logical Details:	Cell type	Pin type	Cell/ASIC name (clock net +/-)									
Source: Destination:	EFB FF	Port Data in	<pre>Inst_EFB_UFM/EFBInst_0(ASIC) (from clk_i_c +) wb_dat_i_i6 (to_clk_i_c +)</pre>									
Delay:	15.303	ns (33.0% log:	ic, 67.0% route), 6 logic levels.									
Constraint Detai	lls:											
15.303ns physical path delay Inst_EFB_UFM/EFBInst_0 to SLICE_57 meets 40.000ns delay constraint less 0.173ns skew and												
Detailed Path Tables	Schematic P	ath Viet Report	: setup >									

9.5.6 クロスプロービング

パス情報に関して視覚的な表示ツールと連携するのが、クロスプロービングです。パステーブル内で確認 したいパスを選択後右クリックするか、パス選択後に詳細パステーブル内のどこかを右クリックすると表示 されるメニュー窓で、"Show in"→ "FloorPlan View" または "Physical View"を選択します。前者の例を図 9-18 に、後者の例を図 9-19 に示します。パス詳細図(図 9-16)からも同様に呼び出すことができます。

図 9-18. パステーブル内からのクロスプロービング操作例

Γ	Source			Destination			Weighted Slack	Arrival	Required	Ī
	u_pfe3xo2eca3/LM32/cpu/instruction_unit/instruction_d[22] u_pfe3xo2e		Fit Columns	2	[0:35]	9.638	14.737	24.375	
	u_pfe3xo2eca3/LM32/cpu/instruction_unit/instruction_d[22] u_pfe3xo2e		Visible Columns	_2	[0:35]	9.67	14.705	24.375	
			Ξ.	Fit Rows						Ĩ
			M	Hide Selected Rows						
				Show in		FloorP	an View			
			~	Filter		Physica	al View			
			A	Find	di	Report				

立ち上がったフロアプラン・ビューの例を図 9-20 に、フィジカル・ビューの例を図 9-21 に示します。

図 9-19. 詳細パステーブル内からのクロスプロービング操作例

Detailed Path Tables							
Data Path D)etails	Source Clock	Destination C	lock			
Name	Fanout	Delay	Source	Destination		Resource	
REG_DEL	0	0.243	R31C36C.CLK	R31C36C.Q1	u_pfe3		unit/SLICE_676
ROUTE	86	4.344	R31C36C.Q1	R50C40B.A1	u_pfe3:	Fit Columns	_d[1]
CTOF_DEL	0	0.147	R50C40B.A1	R50C40B.F1	u_pfe3:	Change Columns	
ROUTE	1	0.54	R50C40B.F1	R50C39C.A1	u_pfe3:	Show in	FloorPlan Vie

フィジカル・ビューでは当該パスおよびネットに対して実際に使用されている配線リソースが、本ドキュメントではやや判別しにくいですが、黄色で表示されます。

図 9-20. 立ち上がったフロアプラン・ビュー例



図 9-21. 立ち上がったフィジカル・ビュー例



他方、フロアプラン・ビューでは実配線ではなく、パスの経路で使用されているマクロやスライス間の論 理的な接続情報を結線して折れ線表示します。マウスを個々のマクロ / スライス間の折れ線上に移動させる と、その折れ線の起点と終点のスライス番号とそのポート、および遅延値がウィンドウの左下枠上に表示さ れます。いずれのビューの場合も、想定以上に長い配線になっていないか、などが容易に識別できます。



9.5.7 詳細パス遅延データの csv ファイルへの書き出し

9.6 TPF スプレッドシート・ビュー

TPF スプレッドシート・ビューは PAR プロセスを再実行せずに、作成済ネットリストに対して静的タイミング解析を実行する機能です。

ユーザーの与える設計制約は全て LPF 制約ファイルに記述されています。LPF からタイミングに関わるア イテムのみをインポートし、修正したものを TPF ファイルに一旦保存します。タイミング解析ビューは、こ の変更した条件で作成済ネットリストに対して静的タイミング解析を実行します。TPF ファイルは複数作成 できます。また、TPF から LPF に反映(Export) させることができます。

留意すべきは、この解析を元に LPF に遡って変更を与えた場合、マッピングや配置配線結果のネットリストは修正前とは異なるものになりますので、静的タイミング解析結果も同一にはならないということです。本機能はあくまで設計制約を変更した場合にどうなるかを予測し、判断するためのベースにする機能です。

9.6.1 TPF ファイルの作成と保存

まずタイミング解析ビューのウィンドウ左端上にあるアイコン 💋 をクリックしてビューを起動します。

タイミング解析ビューをデタッチした状態で、メニューバーの [Edit] → [TPF Preferences...] を選択しても起動できます(以降のステップでの操作上の都合で、デタッチしておくことを推奨します)。

起動すると、図 9-22 のようにビュー下部にタブが三つあります。[Global Preferences] と [Group] タブの内容は一般的には変更せず、主に [Timing Preferences] の制約値が変更の対象になります。

図 9-22. 起動した TPF スプレッドシート・ビューの例

Spreadsheet View - TPF *			📽 Spreadsheet View - TPF * 🛛 🗆					×
File Edit View Window Help			Edit View Wind	low H	lelp			
		1	IX B B IM 9	20				
 Preference Name Junction Temperature (Tj)(C) Voltage (V) SYSTEM_JITTER(ns) V Block Path Block Asynchpaths Block Resetpaths Block Resetpaths Block InterClock Domain Paths Block Jitter 	Preference Value 85 3.135 Default ON ON OFF OFF OFF	<mark>الار</mark> الج الج الج الج الار الح	Preference Name BLOCK FREQUENCY Frequency Hold Marg PAR_ADJ Clock Jitte PORT "mem_ Frequency Hold Marg PAR_ADJ Clock Jitte PERIOD INPUT_SETUP CLOCK_TO_OUT MULTICYCLE MAXDELAY CLKSKEWDIFF	y ar(p-p) _cik " y ar(p-p) er(p-p)	Preference Value 25.000000 0.000000 0.000000 25.000000 0.000000 0.000000 0.000000	Preference MHz ns MHz ns ns	Unit	
Global Preferences Timing Preferences Group			Global Preferences Timing Preferences Group					
Architecture: MachXO2 Device: LCMXO2-1200HC Package: TQFP144			Architecture: MachXO2 Device: LCMXO2 1200HC Package: TQFP144					

まず通常のスプレッドシート・ビューと同様に意図する項目を変更します。全ての変更が完了したら、一 旦ウィンドウを閉じます。その後 (タイミング解析ビューをデタッチして)、メニューバーから [File] → [Save Untitled As...]を選択し、ポップアップするウィンドウでファイル名を入力して保存します (図 9-23)。



図 9-23. TPF ファイルへの保存



保存してもしていなくても、その時点の該当する TPF ファイル名は、タイミング解析ビューの最上部に表示されていますので、容易に識別できます(図 9-24)。未保存の場合は"Untitled"と表示されます。

図 9-24. 作業中の TPF ファイル名表示

6	Timing Analysis View - C:/usr_ss/LSC_RDs/RD1126ufm/project/xo2/vhdl/25to33m.tpf					
File	File Edit View Window Help					
1 🖻						
	Settings	Values	Path Tat			
-	Device Family	MachXO2				
	Device	LCMXO2-1200HC	Sour			
1	Package	TQFP144	500l			
	Setup Performance Grade	Default				
10-00	Hold Performance Grade	Default				
n-	Check Unconstrained Connections	No				

9.6.2 TPF での STA 再実行

次に変更後のタイミング制約で STA を実行します。タイミング解析ビューのウィンドウ最左端のアイコン 列から、矢印が回転しているアイコン
 をクリックします。またはデタッチした状態でメニューの [Edit] → [Update...] を選択しても同じです。

STA 処理が再実行されて、タイミング解析ビューの各ウィンドウ内容が更新されます。

9.6.3 複数の TPF ファイルの作成

場合によっては異なる変更を別々に保持しておきたいケースがあります。その際は複数の TPF ファイルを 作成しておきます。

図 9-25. 二回目以降の TPF ファイル保存

Timing Analysis View - C:/usr_ss/LSC_RDs/RD112						
File	Edit View	Window	Help			
1	Open File	Ctr	1+0			
	Save	Ctr	I+S	Values		
	Save 25to33m.	tpf As		MachXC LCMXO2		
₿	Export			TQFP14		
a	Print Preview			Default		
	Print	Ctr	I+P	No No		
х	Close Window	Ctr	I+F4	No		
	Full Name			No No		

図 9-22 のようにスプレッドシート・ビュー表示の状態で変更を加え、一旦ウィンドウを閉じます。その

後、デタッチした状態でメニュー [File] → [Save XXX.tpf As...] を選択し(図 9-25)、ポップアップするウィンドウで保存ファイル名を入力します。ここで'XXX'は変更の元になったファイル名を意味します。

9.6.4 TPF から LPF への反映

TPF スプレッドシート・ビューの変更内容を通常のスプレッドシート・ビューに反映(Export) すること ができます。まず TPF スプレッドシート・ビューで反映させる項目を選択します。複数ある場合は、'Ctrl' キーを押しながら全て選択します(図 9-26)。そして右クリックして現れるメニューから "Export to LPF" を 選択します。

図 9-26. TPF から LPF への反映



すると通常のスプレッドシート・ビューが TPF の値を反映した状態で立ち上がります。未保存の状態を示 す『*』印がスプレッドシート・ビュー・ウィンドウの左上端に表示されています。当該インプリメンテー ションでアクティブになっている LPF が元になっていますので、そのまま変更を受けて更新する場合はメ ニューから File → Save XXX.lpf で保存します。別名で保存する場合は File → Save XXX.lpf As... で保存します。

9.6.5 編集後の TPF を元の LPF の値に戻す

種々検討を進めていると、当初の LPF の値に戻したいケースが生じることがあります。その場合は、デ タッチした状態でメニューから [File] → [Import] → [Copy LPF to TPF...] を選択します (図 9-27)。

図 9-27. LPF の TPF への取り込み

📽 Spreadsheet View - TPF *					
File	Edit View Window Hel	p			
\square	Import •	Copy LP	F to TPF		
	Print Preview Print Ctrl+P	ference Value	Preference Unit		
X	Close Window Ctrl+F4 Hold Margin 0.	000000	MHz ns		
2	PAR ADI 0	000000			
