

第 8 章 書き込みファイル生成 (Export Files)

本章では Lattice Diamond フローの最後のプロセス [Export Files] に関して、デバイスへの書き込みファイルを生成する方法と、ストラテジー設定について記述します。

8.1 書き込みファイル生成について

Lattice Diamond では、以下の 3 種類の書き込みファイルを生成します。

Bitstream file

FPGA 内のコンフィグレーション SRAM や外付け SPI フラッシュメモリーにコンフィグレーション・データを書く際に使用するビットファイル (*.bit) です

JEDEC file

不揮発メモリーを内蔵する FPGA にコンフィグレーション・データを書く際に使用する JEDEC ファイル (*.jed) です

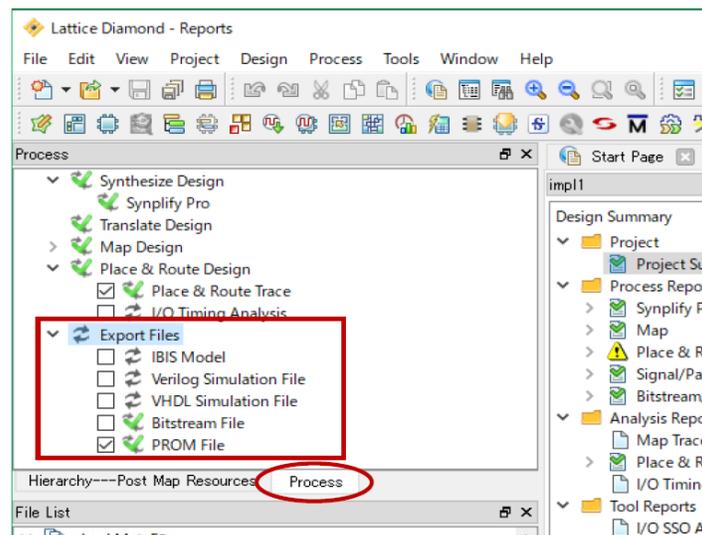
PROM file

SPI フラッシュメモリーなど外付けコンフィグメモリーにコンフィグレーション・データを書く際に使用する MCS ファイル (*.mcs) です ([PROM file] を生成する場合、その実行時に [Bitstream File] にチェックが入っていてもビットファイルが生成されます)

ファイルを生成する際は、Lattice Diamond の "Process" ウィンドウ内の [Export Files] プロセスで、生成するファイルに該当するサブプロセスにチェックを入れて実行します (図 8-1)。なお、PAR 結果でタイミング違反が残っている場合は、ウォーニング・メッセージが出ますので、適宜対処するようにします。

3 種類全てが常に指定できるのではなく、ターゲットデバイスに該当しない場合は表示されません。例えば不揮発メモリーを集積していなければ [JEDEC file] はありませんし、MachXO2/3 シリーズでは [PROM file] はありません。

図 8-1. 書き込みデータ生成ファイルの選択 (ECP5)



註：本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があり得ます。疑義が生じた場合は技術サポート担当者にお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

[Export Files] プロセスには、書き込みファイル生成以外に三つのサブプロセスがあります。

IBIS Model

インプリメンテーションに使用されている I/O タイプに該当する IBIS モデルのみを抽出して .ibs ファイルとして生成します。”IBIS” という名称のサブフォルダーがインプリメンテーション・フォルダー下に生成され、その中に出力されます。インストールされるデバイス・ファミリー毎の IBIS ファイルサイズは非常に大きいですが、ここで出力されるファイルは非常に小さくなります

Verilog Simulation File

Verilog ゲートレベル・シミュレーション用にネットリストを変換して出力します。拡張子は .vo です。同時に遅延ファイル (xxx_vo.sdf) も生成されます

VHDL Simulation File

VHDL ゲートレベル・シミュレーション用にネットリストを変換して出力します。拡張子は .vho です。同時に遅延ファイル (xxx_vho.sdf) も生成されます

[MAP Design] プロセスにも Verilog/VHDL シミュレーション用ファイルを生成する同名のサブプロセスがありますが、これは配置配線前のネットリスト (xxx_map.ncd) を変換するものです。遅延ファイルは生成されません。

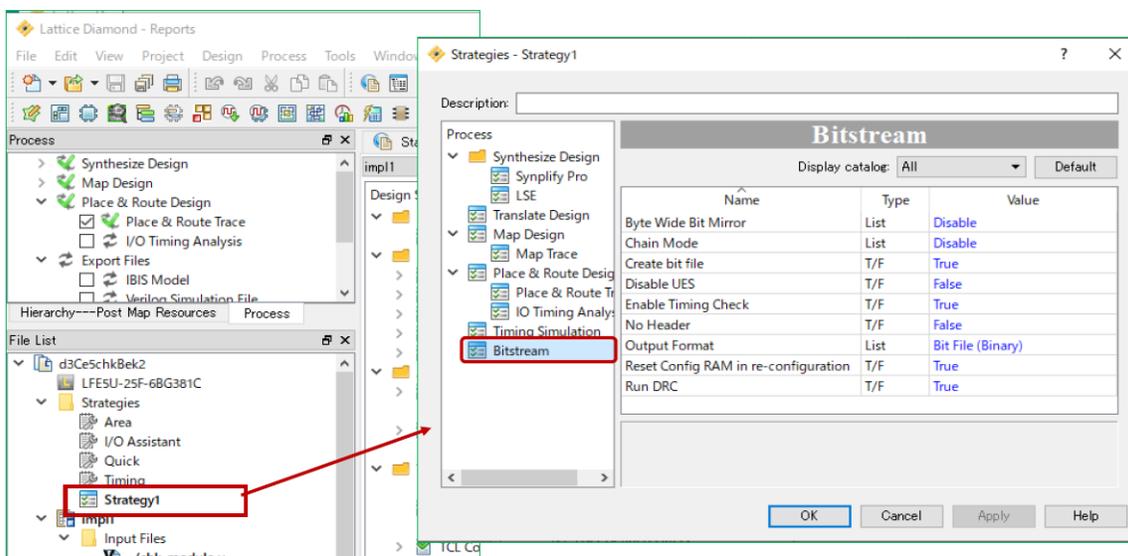
8.2 書き込みデータ生成のストラテジー設定

8.2.1 ストラテジー設定ウィンドウの起動

”File List” ウィンドウには、プロジェクトにインポートされているストラテジーの一覧が表示されています (インプリメンテーションで使用されるのは、太字で表示されている 1 つだけです)。この中から変更したいストラテジー名をダブルクリックすると、ストラテジー・オプション設定ウィンドウが開きます。

ストラテジーはプロセスごとに表示されます。書き込みデータ生成のストラテジー設定を行う場合は、左側のプロセスリストから [Bitstream] を選択します。図 8-2 は ECP5 の場合です。

図 8-2. 書き込みデータ生成のデフォルト・ストラテジー (ECP5)



[Bitstream] オプション項目はターゲットとするデバイス・ファミリーによってやや異なります。図 8-3 に MachXO3 と Crosslink の場合を示します。

図 8-3. 書き込みデータ生成のデフォルト・ストラテジー (MachXO3、Crosslink)

Bitstream			
Display catalog: All [Default]			
Name	Type	Value	
Disable UES	T/F	False	
Enable Timing Check	T/F	True	
No Header	T/F	False	
Reset Config RAM in re-configuration	T/F	True	
Run DRC	T/F	True	
Search Path	Dir		

MachXO3

Bitstream			
Display catalog: All [Default]			
Name	Type	Value	
Byte Wide Bit Mirror	List	Disable	
Create bit file	T/F	True	
Disable UES	T/F	False	
Enable Timing Check	T/F	True	
No Header	T/F	False	
Output Format	List	Bit File (Binary)	
Reset Config RAM in re-configuration	T/F	True	
Run DRC	T/F	True	

Crosslink

8.2.2 ストラテジー設定項目の詳細

各オプションの詳細は次の通りです (デバイス・ファミリーによってサポートされる項目が異なります)。なおコンフィグレーション・モードの詳細については、各ファミリーのテクニカルノートをご参照ください。

Byte Wide Bit Mirror

パラメータ : Disable / Enable デフォルト : Disable

[Enable] すると、バイト単位でビット並び (MSB-LSB) を反転します

Chain Mode

パラメータ : Bypass / Disable / Flowthrough デフォルト : Disable

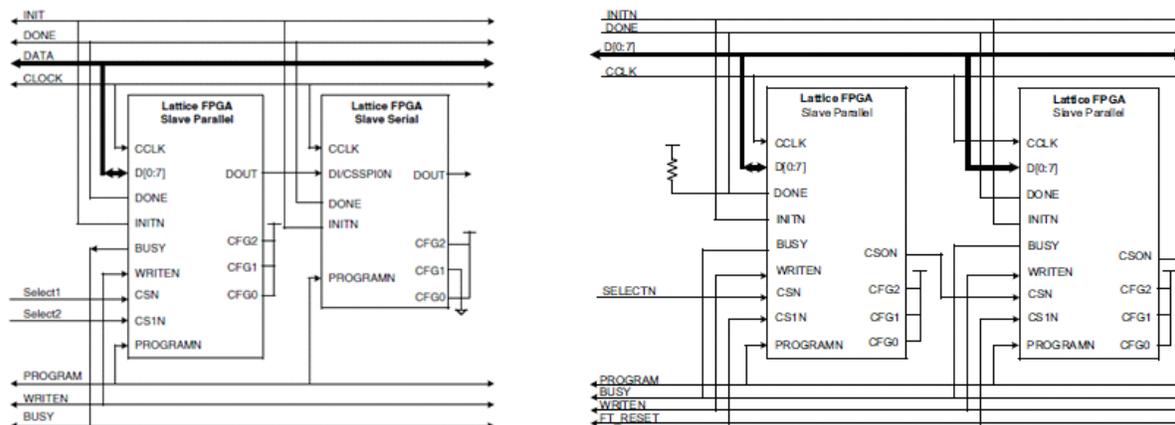
複数の FPGA をデジチェーン接続する構成の場合に、FPGA の動作モードを設定します。

[Disable] は、チェーン構成ではない場合です

[Bypass] は、当該 FPGA に入力されたコンフィグレーション・データを、次段以降の FPGA にシリアルで転送する場合に選択します (図 8-4 左)

[Flowthrough] は、コンフィグデータ入力バスを複数の FPGA で共有する、パラレル構成の場合選択します (図 8-4 右)

図 8-4. デジチェーン構成例 : シリアル (左)、パラレル (右)



Create bit file

パラメータ : True / False デフォルト : True

[True] で bit ファイルを生成します

[False] の場合、“Process” ウィンドウでサブプロセス [Bitstream File] にチェックが入っていても、ファイルは生成されず、DRC (Design Rule Check) のみが実行されます

Disable UES

パラメータ : True / False デフォルト : False

XO2/3 シリーズの JEDEC 内に含まれる UES (User Electronic Signature) に関する設定です。UES 値自体の設定は、Spreadsheet View で行います。

[False] の場合、JEDEC ファイル内に UES が書き出されます

[True] を選択した場合、LPF (スプレッドシート・ビュー) で値を指定していても、JEDEC ファイル内に UES は書き出されません

Enable Timing Check

パラメータ : True / False デフォルト : True

書き込みファイル生成時にタイミングをチェックするかどうかを設定します。

[True] の場合、書き込みファイル生成の前に PAR レポートファイルをチェックし、エラーがある場合はその旨を小ウィンドウで通知します

[False] を選択した場合、チェックせずに書き込みファイルを生成します

No Header

パラメータ : True / False デフォルト : False

生成する bit ファイルのヘッダ情報についてを設定します。JEDEC ファイルには適用されません。このオプションは、[Output Format] オプションで出力ファイル形式としてバイナリを選択した場合のみ有効になります。ASCII 形式を選択した場合は、必ずヘッダ情報が付加されます。

[False] の場合、bit ファイルにヘッダとしてデバイス名やファイル生成日時等が付加されます

[True] を選択した場合、ヘッダ情報は付加されません。ヘッダ無しのファイルはプログラマーでの書き込みには使用できません

Output Format

パラメータ : Bit File (Binary) / Raw Bit File (ASCII) / Mask and Readback File (ASCII) / Mask and Readback File (Binary) デフォルト : Bit File (Binary)

生成するビットファイルのフォーマット設定です。

[Bit File (Binary)] はバイナリ形式の bit ファイルが、[Raw Bit File (ASCII)] はテキスト形式の bit ファイルが生成されます。どちらもプログラマーでの書き込みに使用できます。ファイル拡張子は、Binary 形式で *.bit、ASCII 形式で *.rbit です

[Mask and Readback File (Binary)] および [Mask and Readback File (ASCII)] を選択した場合は、読み出したコンフィレーション・データの検証を行う際に使用されるリードバック・ファイル (.rbk、.rbka) とマスク・ファイル (.msk、.mska) が Binary / ASCII それぞれの形式で出力されます。これらのファイルはデータの書き込みには使用できません

PROM Data Output Format

パラメータ : Intel Hex 32-bit / Motorola Hex 32-bit デフォルト : Intel Hex 32-bit

生成する PROM データファイル (.mcs) のフォーマット設定です。選択した形式で PROM 用のデータが生成されます。使用する ROM ライタがサポートしている形式を選択するようにします

Reset Config RAM in re-configuration

パラメータ : True / False デフォルト : True

コンフィグレーション SRAM のリセットに関する設定です。

[True] の場合、コンフィグレーション・データのライト前に一度リセットされます

[False] の場合、コンフィグレーションメモリーはリセットされず新しいデータが上書きされます

Run DRC

パラメータ : True / False デフォルト : True

データ生成時の DRC 実行に関する設定です。

[True] の場合、データ生成前に DRC が実行されます

[False] を選択した場合、DRC は実行されません

Search Path

パラメータ : フォルダーパス デフォルト値 : ブランク

コンフィグレーション・データ生成時に参照する ”autoconfig ファイル” のパス設定です。”autoconfig ファイル” は LatticeECP3 ファミリーまでの SERDES (PCS) に適用され、その内部設定を記述したテキストファイルです。デフォルトではインプリメンテーション・フォルダーが参照されます。ECP5 には適用されません。

複数のパスを設定する際は、以下のように記述します。

Windows の場合、パスの区切りが ”;” (セミコロン)

Path1;Path2;Path3

Linux の場合、パスの区切りが ”:” (コロン)

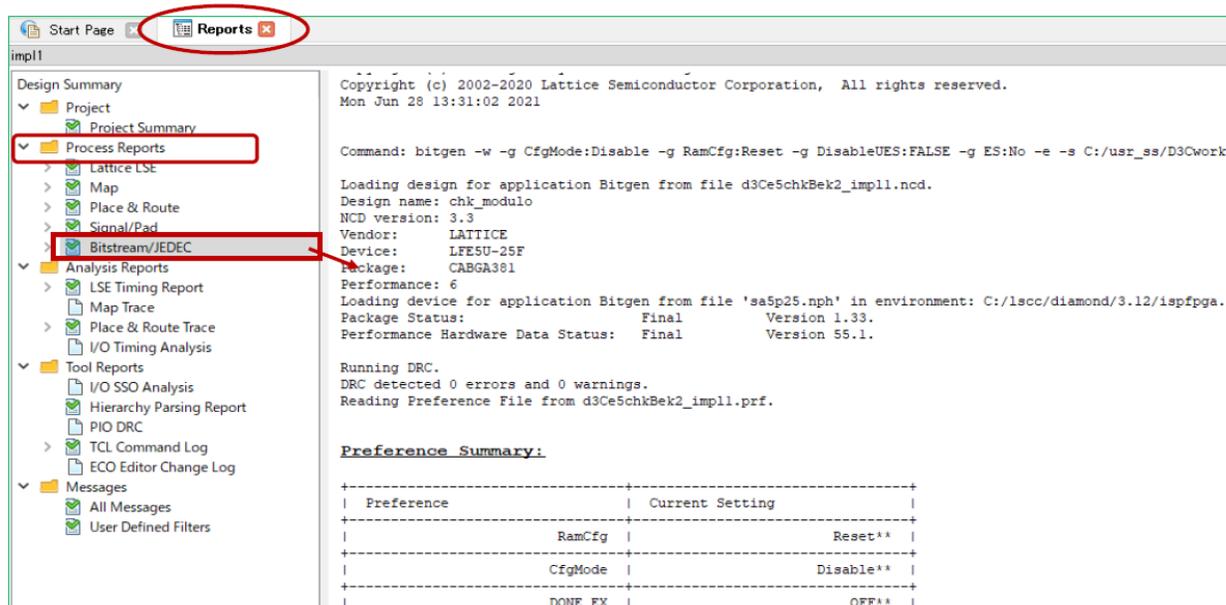
Path1:Path2:Path3

これ以外のオプションについてはオンラインヘルプをご参照下さい (Reference Guides → Strateby Reference Guide → Bitstream Options)。

8.3 Export Files プロセス・レポート

[Export Files] プロセス実行時に、インプリメンテーション・フォルダーに HTML とテキスト形式のレポートが出力されます。内容はどちらも同じで、ファイル名はそれぞれ以下の通りです。

図 8-5. Export Files のプロセス・レポート (HTML、一部)



HTML 形式 <project>_<implementation>.bgn.html

テキスト形式 <project>_<implementation>.bgn

HTML レポートは、Lattice Diamond の ”Report” ウィンドウで閲覧することができます(図 8-5)。プロセス レポートには、適用されたコンフィグ関連のオプション設定内容や DRC の結果等がレポートされます。

8.4 その他の留意事項

8.4.1 SERDES マクロのパラメータ・ファイル (LatticeECP3 のみ)

LatticeECP3 PCS (SERDES) マクロの HDL ソースは、GUI ツール ”IPexpress” で生成されますが、同時に動作モード設定等のパラメータを記述したテキストファイル (”autoconfig file”、拡張子 .txt) も生成されます。このパラメータファイルは、**インプリメンテーション・フォルダーに置いておく必要**があります。ECP5 ファミリーは LatticeECP3 ファミリーと異なりますので、留意する必要はありません。

[Export Files] プロセス実行時にインプリメンテーション・フォルダーに autoconfig ファイルが無い場合、ツールは以下のようなメッセージを出力します。その場合、PCS マクロはデフォルトのパラメータが設定されますので、通常は期待動作になりません。

WARNING – Can not find configure file: <file name>. Use the default setting !

または

ERROR – Can not find the configure file <file name>

このメッセージが表示された場合、IPexpress で設定したファイルの出力先から該当するテキストファイルをインプリメンテーション・フォルダーにコピーするか、ストラテジーの ”Search Path” オプションで、ファイルのあるフォルダーを指定します。autoconfig ファイルを ”File List” 枠の 「Input Files」 部にインポートしても適用されませんので、ご注意ください。

--- *** ---