

## 第 7 章 配置配線プロセス (Place And Route)

### 7.1 概要

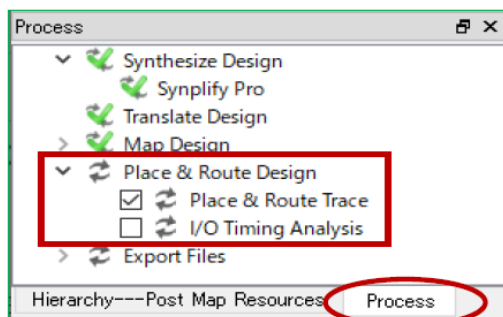
配置配線 (以下 PAR) プロセスは、マッピング (Map Design) プロセスまでの処理で生成された (論理的) ネットリストに対して、タイミングなど与えられた設計制約を満たすように、スライスやマクロなどそれぞれの物理的な配置位置とそれらの配線経路を決定します。基本的に、デザインが大きいほど繰り返し処理が必然になり、フィッティング処理全体に対して占める処理時間は大きくなります。

設計制約としては、ユーザーが与える LPF 制約をベースにして、マッピング・プロセスで生成される ”物理” 制約ファイル \*.prf (Physical pReference File) を適用します。prf には、LPF の内容に加えて、該当する場合には RTL ソースファイル内に記述される制約や、IP/ マクロが含む特定の制約も統合されます。

プロセス・ウィンドウの PAR 部には、サブプロセスとして ”Place & Route Trace” (タイミング解析) と ”I/O Timing Analysis” があります (図 7-1)。これらサブプロセス名の左側にチェックボックスがあり、チェックが入っていると PAR 実行後に、これらも自動的に続けて実行されます。チェックが入っていない場合でも、サブプロセス名をダブルクリックすれば実行できます。

なお、図 7-1 には示していませんが、ターゲット・デバイスが MachXO3L/LF/D-9400C の場合に限りサブプロセスとして ”Thermal Analysis” があります。パワー・カリキュレータ (第 12 章) による事前の電力見積もりが必須なために設けられています。

図 7-1. PAR プロセスとサブプロセス



PAR 後静的タイミング解析はマッピング後とは異なり、PAR 処理の結果を元にした配線遅延値を用います。

### 7.2 ストラテジー設定

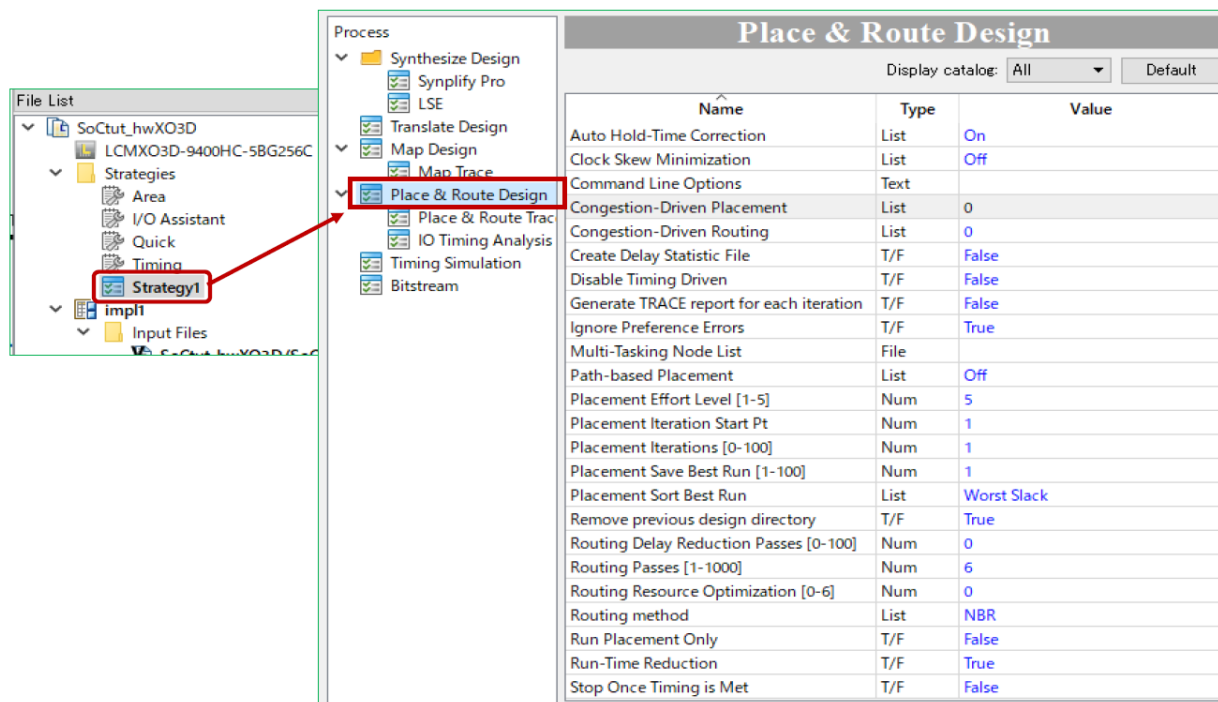
#### 7.2.1 ストラテジー設定ウィンドウの起動

ファイルリスト・ビューの ”Strategies” セクションにはストラテジーの一覧が表示されています。各インプリメンテーションで使用されるのは、太字で表示されている (アクティブな) 1 つだけです。編集できるのは、デフォルトでは ”Strategy1” のみです。ダブルクリックすると、ストラテジー設定ウィンドウが開きます。

ストラテジー・オプションはプロセスごとに表示されていますので、PAR のストラテジー設定を行う場合は、左側の ”Process” 枠から [Place & Route Design] を選択します (図 7-2)。

註: 本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は正規代理店の技術サポートにお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

図 7-2. PAR (Place & Route Design) のストラテジー・オプション



## 7.2.2 ストラテジー設定項目の詳細

以下に各設定の詳細を記述します。デバイスファミリーによっては、非該当のオプションもあります。

### Auto Hold-Time Correction (AHC)

パラメータ : On / Off                      デフォルト : On

PAR 処理時のホールド時間エラーの解析および対策に関する設定です。

- ON (デフォルト)      配置配線時にホールド時間エラーの解析を行い、エラーがある場合はデータパス配線を長くして自律的に対処します
- Off                      配置配線時にホールド時間エラーのチェックおよび対策は行いません

AHC オプションが [ON] でも、この処理は、**Timing Score=0 かつホールド違反のあるパス数が 250 本以下の場合にのみ起動**されます。このデフォルト上限値を変更する場合はコマンドライン・オプション (Command Line Options) セルに以下のように記述します。

-exp parHoldlimit= 上限値

また、”Timing Score=0” はセットアップ時間がエラーがないという条件ですが、これを無効にする場合は以下のコマンド・オプションを指定します。

-exp parHold=1

さらに、AHC はデフォルトのスピードグレード [-m] で実行されますが、これを変更する場合は、以下のように記述します。

-exp parHoldSpeedGrade=< スピードグレード >

### Clock Skew Minimization

パラメータ : Off / 1 / 2                      デフォルト : Off

専用配線（プライマリ / セカンダリ・クロック・ネットワーク）にアサインされなかったクロックのスキューを最小にするための設定です。

- Off (デフォルト)      通常のアルゴリズムでクロック配線します
- 1                      接続されているスライス数が少ない場合（一桁程度）にクロックスキューが小さくなりやすいアルゴリズムでクロック配線を行います
- 2                      接続されているスライス数が比較的多い場合にクロックスキューが小さくなりやすいアルゴリズムでクロック配線を行います（オンする場合の推奨）

**Command Line Options**

パラメータ：文字列                      デフォルト：ブランク

規定の設定可能なオプション以外を使用する場合に、直接引数等を記述します。複数設定する場合は、以下のように各オプションをコロン”.”で区切って記述します。最後のオプションの後は不要です。

-exp オプション1：オプション2：オプション3

**Congestion-Driven Placement (CDP)**

パラメータ：0 / 1 / Auto                      デフォルト：デバイス依存

混雑度を考慮した配置を行うかどうかについての設定です。

- Auto                      使用率等から 0/1 のどちらを選択するかをツールが自動的に決定します。どちらが選択されたかは、レポートに出力されます（図 7-3、図 7-4）
- 0 (OFF)                      個別にパスの配線しやすさを考慮した配置を行います
- 1 (ON)                      全体的な配線の混み具合を予測し、配線混雑度が高くなりやすいように配置処理を行います

図 7-3. Auto 設定で”1” (ON) が選択された場合のメッセージ

```
CDP(congestion driven placement) auto mode has turned on CDP.
To force CDP off, set -exp parCDP=0
```

図 7-4. Auto 設定で”0” (OFF) が選択された場合のメッセージ

```
CDP(congestion driven placement) auto mode does not turn on CDP.
To force CDP on, set -exp parCDP=1
```

以下のような場合は、[1] または [Auto] を選択することを推奨します。

- 70k LUT 以上のデバイスを使用する場合
- 70k LUT 未満のデバイスでスライス使用率が 50% 以上の場合
- デバイスを問わず EBR/DSP ブロックの使用率が 70% 以上の場合
- デフォルト設定で未配線があった場合

なお、ON に（[1] を選択）した場合は、次の”Congestion-Driven Routing”も ON に（[1] を選択）するか、或いは”Routing Method”を [NBR] にすることを推奨します。

**Congestion-Driven Routing**

パラメータ：0 / 1 / Auto                      デフォルト：デバイス依存

配線の混雑度を考慮するかどうかについての設定です。

- Auto                      使用率等から 0/1 のどちらを選択するかをツールが自動的に決定します
- 0 (OFF)                      配線リソースの使用率や処理時間を優先して配線処理を行います
- 1 (ON)                      配線の混雑度を考慮して配線処理を行います

**Create Delay Static File**

パラメータ : True / False      デフォルト : False

配置配線実行後の遅延レポート出力に関する設定です。

False (デフォルト)      レポート・ファイルは出力されません

True      ネット遅延が記載された遅延レポート・ファイル (\*.dly) が出力されます。レポートされる遅延値は小数点以下 2 桁目を四捨五入したものです

**Disable Timing Driven**

パラメータ : True / False      デフォルト : False

PAR 実行時にタイミング制約を考慮するかどうかの設定です。

False (デフォルト)      タイミング制約を考慮して PAR を行います

True      タイミング制約を無視して PAR を行います

**Generate TRACE report for each iteration**

パラメータ : True / False      デフォルト : False

”マルチ PAR” の設定時の、各 PAR 処理後の中間ネットリストに対するタイミング解析レポートに関する設定です。”マルチ PAR” とは ”Placement Iterations” (繰り返し) が 2 以上の場合を意味し、各繰り返し処理の開始時に参照する変数は ”コストテーブル” と呼ばれます。

False (デフォルト)      中間ネットリストのタイミングレポートは生成されません

True      各コストテーブルでの PAR 完了ごとに、タイミング・レポートを出力します。レポート名は ”<Effort Level>\_<コストテーブル>.twr” で、インプリメンテーション・フォルダー下に以下のような名称のサブフォルダー内に出力されます

<プロジェクト>\_<インプリメンテーション>.dir

**Ignore Preference Errors**

パラメータ : True / False      デフォルト : True

制約設定ファイル PRF 内の記述や設定内容にエラーがあった場合の処理に関する設定です。

True (デフォルト)      エラーがあってもメッセージを出力するだけで PAR 処理は継続されます

False      エラーがあるとメッセージを表示し、PAR 処理を中止します

**Multi-Tasking Node List**

パラメータ : ファイル名      デフォルト : ブランク

複数の CPU コアをもつマシンで、CPU コアごとに異なる条件で PAR を並列処理させる場合に、ここに規定書式のファイルを指定します。

ファイルの記述方法については第 7.3 節をご参照ください。

**Path-based Placement**

パラメータ : On / Off      デフォルト : Off

配置のアルゴリズムに関連する設定です。

Off (デフォルト)      スライス間の接続を重視した配置を行います

On      パス (レジスタ-レジスタ間) の経路を考慮した配置を行います

**Placement Effort Level**

パラメータ : [1-5]      デフォルト値 : 5

PAR 結果としてのパフォーマンス（クロック周波数）と PAR 処理時間のトレードオフ設定で、相対的な指標です。数値が大きいほどタイミング制約を満たす可能性が高くなりますが、処理時間が長くなります。デザインの複雑さに依存して処理時間は変わります。

**Placement Iteration Start Pt.**

パラメータ : [1-100]      デフォルト値 : 1

PAR 処理で使用する変数（"Seed" と呼ばれる）である "コストテーブル"（参照するデータベース）に関する設定です。

初回の配置処理で使用するコストテーブルの番号をここに指定します。"Placement Iterations" の設定値が 2 以上の場合（"マルチ PAR"）、2 回目以降は毎回 1 を加算した番号のコストテーブルが使用されます。この番号が連続していても、参照されるデータはランダム化されていますので、相関度は低いです。

例 : Placement Iterations = 5, Placement Iteration Start Pt. = 3 の場合、コストテーブルは 3, 4, 5, 6, 7 です

なお、マルチ PAR（複数のコストテーブル指定 = Placement Iterations が 2 以上）の場合、"自動シード・スキップ" 機能がデフォルトで有効になりますので、トータル・ランタイムは統計的に 20% 程度短縮される可能性があります（後述の "Stop Once Timing is Met" を = [True] にした場合）。

これは後で実行されるシード（Seed=Cost Table）の途中経過で、それ以前のシードによる PAR 結果より良い結果が出ることが予想されない場合は、処理を打ち切り、次のシードに進みます。これによりトータルのランタイムを短縮します。

"Process Report" の PAR 部に含まれるコストテーブル・サマリー（Cost Table Summary）には、図 7-5 例のように後で実行される処理打ち切りのシード（表中左端の Cost）については "Skip" と表示し、処理を打ち切ったことを通知します。このレポートはタイミングスコア順にソートされています。また、"Level/Cost" カラムの "5<cost>" のような表記中の "5" は、ストラテジー・オプションの "Placement Effort Level" を意味しています（デフォルト値が 5）。

このアルゴリズムはデフォルトで ON になっています。強制的にオフにするためには、ストラテジー・オプションの "Command line Options" セルに以下のようなコマンドを記述します。

```
-exp parASE=0
```

図 7-5. シードのスキップ結果を含むコストテーブル・サマリー例

Level/ Cost [ncd]	Number	Unrouted	Worst Slack	Timing Score	Worst Slack (hold)	Timing Score (hold)	Run Time	NCD Status
5_3	0	0	-0.434	3316	0.151	0	01:26	Completed
5_7	0	0	-0.439	6705	0.158	0	01:30	Completed
5_2	0	0	-0.985	8528	0.160	0	01:25	Completed
5_1	0	0	-3.040	12737	0.152	0	01:28	Completed
5_4	-	-	-	-	-	-	01:02	Skipped
5_5	-	-	-	-	-	-	01:02	Skipped
5_6	-	-	-	-	-	-	01:03	Skipped
5_8	-	-	-	-	-	-	01:03	Skipped
5_9	-	-	-	-	-	-	01:05	Skipped
5_10	-	-	-	-	-	-	01:07	Skipped

**Placement Iterations**

パラメータ : [0-100]      デフォルト値 : 1

配置処理の繰り返し回数の設定です。

2 ~ 99      設定した回数配置処理を繰り返します（マルチ PAR）

0      タイミング制約を満たすまで、最大 100 回配置処理を繰り返します。配置処理は毎回異なるコストテーブルを用いて行われます

**Placement Save Best Run**

パラメータ : [1-100]      デフォルト値 : 1

プロセス終了後に、保存するレポートおよびネットリストの数に関する設定です。”Placement Iterations” が 2 以上の場合、結果が良い順にここに設定した数だけのネットリストとレポートを保存します。ただし、”Generate TRACE report for each iteration” オプションが [True] に設定されている場合、このオプションは無視され、全てのネットリストとレポートが保存されます。

**Placement Sort Best Run**

パラメータ : Worst Slack / Timing Score      デフォルト :Worst Slack

プロセス終了後の PAR レポート表記形式に関する設定で、ソート順の対象となる値を指定します。

Worst Slack (デフォルト)      図 7-6 のようにスラック、即ちタイミングがミートしている場合は最もタイミングマージンが大きい順、そうでない場合はタイミング違反値が小さい順 (WNS: Worst Negative Slack) にソートして表示します

Timing Score      タイミングスコアが小さい順にレポートされます

図 7-6. スラック (WNS) 順にソートしたレポート例

Cost Table Summary							
Level/ Cost [ncd]	Number Unrouted	Worst Slack	Timing Score	Worst Slack (hold)	Timing Score (hold)	Run Time	NCD Status
5_3	0	-0.434	3316	0.151	0	01:26	Completed
5_7	0	-0.439	6705	0.158	0	01:30	Completed
5_2	0	-0.985	8528	0.160	0	01:25	Completed
5_1	0	-3.040	12737	0.152	0	01:28	Completed
5_4	-	-	-	-	-	01:02	Skipped
5_5	-	-	-	-	-	01:02	Skipped
5_6	-	-	-	-	-	01:03	Skipped
5_8	-	-	-	-	-	01:03	Skipped
5_9	-	-	-	-	-	01:05	Skipped
5_10	-	-	-	-	-	01:07	Skipped

\* : Design saved.

**Remove previous design directory**

パラメータ : True / False      デフォルト :True

以前に実行した PAR のテンポラリ・ファイルの削除に関する設定です。PAR では ”Placement Effort Level” や ”Placement Iterations” の設定ごとにネットリストや各種レポートを一旦テンポラリフォルダーに出力します。そして PAR プロセス終了後に最も結果の良いネットリストをインプリメンテーション・フォルダーにコピーします。

True (デフォルト)      PAR 開始時にテンポラリ・ファイルは全て削除されます

False      以前のテンポラリ・ファイルは削除されませんが、ファイル名が “<Effort Level>\_<Cost table>. 拡張子” のため、同じ設定の結果は上書きされます

**Routing Delay Reduction Passes**

パラメータ : [0-100]      デフォルト値 :0

PAR 後に行う配線の最適化処理の実行回数設定です。配線処理自体はデバイス全体に対して最適化を行います。このオプションによる配線の最適化は、遅延量をベースにローカル配線に対してのみ行われます。最も効果が大きいのは初回の実行です。”Routing Resource Optimization” と両方がイネーブルされている場合は、その処理が先に実行されます。

**Routing Passes**

パラメータ : [1-1000]      デフォルト値 :6

配置処理一回に対する配線処理の最大繰り返し回数を設定します。全てのタイミング制約を満たせば、設定した回数分だけ配線処理を繰り返していても PAR プロセスは終了します。

**Routing Resource Optimization**

パラメータ : [0-6]      デフォルト値 :0

PAR 後に行う配線の最適化処理の実行回数設定です。通常の配線処理はデバイス全体に対して最適化を行います。このオプションによる配線の最適化は、コストをベースにしてローカル配線に対してのみ行われます。

**Routing method**

パラメータ : NBR / CDR      デフォルト : NBR

配線アルゴリズムを選択します。

NBR (Negotiation Based Routing)      初めに全パスに対して配線リソースの重複使用に関わらず、最適な配線を行います。全パスの配線完了後、同じ配線リソースを競合使用しているパス同士で、配線リソースの調整をして再配線します。この処理を全競合パスに対して行います

CDR (Congestion Driven Routing)      タイミングがクリティカルなパスから順番に、配線の混雑度を考慮しながら処理を行います

**Run Placement Only**

パラメータ : True / False      デフォルト : False

配線処理の実施に関する設定です。配置のオプション設定を変更せずに配線処理のオプションを変更して結果を比較する場合などで、配置だけを先に行い、その結果に対して異なるオプション設定で配線処理のみを実行すれば、配置処理にかかる時間を短縮できます。

False (デフォルト)      配置処理後に配線処理も行います

True      配置処理だけを行います

**Stop Once Timing is Met**

パラメータ : True / False      デフォルト : False

マルチ PAR (Placement Iterations ≠ 1) にした場合に、繰り返しの途中でタイミング制約が全てミートした場合の動作を指定します。タイミングエラーが残る場合でも、指定繰り返し数 (Iterations 値) の処理が完了すると PAR プロセスは終了します。

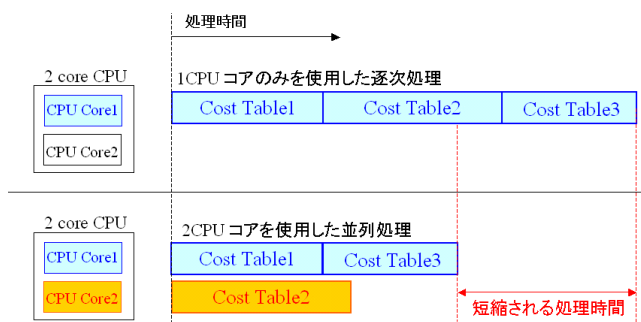
False (デフォルト)     途中でタイミングエラーが無くても指定回数の PAR が行われます

True      タイミング制約が全て満たされると、それ以降の処理を行いません

**7.3 複数 CPU コアによる並列処理**

オプション "Placement Iterations" でデフォルトの '1' 以外を設定する場合、PAR 処理をマルチコア CPU の各コアで並列実行させることができます。各コアに異なる PAR 処理の初期値 (コストテーブル) を割り当てて並列処理を行うことで、トータルの処理時間を短縮します (図 7-7)。メモリアクセス等の関係でコストテーブルごとの処理時間は、逐次処理より若干長くなり得ますが、トータルでは短縮できます。

図 7-7. 2 コアによる並列処理による処理時間短縮のイメージ



ストラテジー・オプション "Multi Tasking Node List" のセルに、以下の例のように記述されたテキストファイルのパスを指定することで、適用します。ファイル名は任意です。

- |                   |                           |
|-------------------|---------------------------|
| -- 記述フォーマット       | コメント                      |
| [” コンピュータ名 ”]     | [ ]で括る                    |
| SYSTEM = システムタイプ  | ”PC”、または ”LINUX”          |
| CORENUM = CPU コア数 | 数値（最大値は ”CPU コア数 - 1” 以下） |

--- 記述例

[DemoPC]	Windows
SYSTEM = PC	CPU コア数が '4' の場合の最大値（推奨）
CORENUM = 3	

Windows PC の場合のシステム名は、” コントロールパネル ” から ” システム ” を選択すると表示される、” コンピュータ名 ” が該当します。CPU コア数は同様に ” デバイスマネージャ ” の ” プロセッサ ” 項を展開して確認することができます。

CPU コア数と同じ値を ”CORENUM” に設定すると、他のアプリケーションや OS に割り当てられる余裕がなくなり、実質的に全ての PAR 処理が終了するまで何もできなくなりますので、ご注意ください。

また、ランマネージャと併用する際はこの機能は使用しないことを推奨します（第 3.4 節参照）。

## 7.4 プロセス・レポート

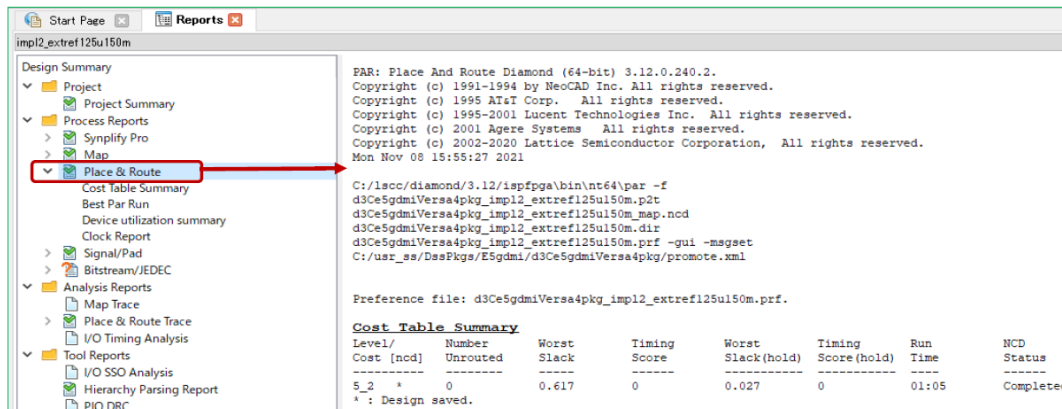
### 7.4.1 レポート・ファイル

PAR プロセス実行時には、インプリメンテーション・フォルダーに HTML とテキスト形式のレポートが出力されます。内容はどちらも同じです。ファイル名はそれぞれ以下のとおりです。

- HTML 形式 : <プロジェクト名 >< インプリメンテーション名 >.par.html
- テキスト形式 : <プロジェクト名 >< インプリメンテーション名 >.par

HTML レポートは、レポート・ビューで閲覧することができます( 図 7-8)。

図 7-8. PAR プロセスの HTML レポート表示例



### 7.4.2 レポート内容の概要

PAR プロセスの結果は、大きく以下のような内容ごとに分類されてレポートされます。

#### Cost Table Summary

コストテーブルごとの処理結果。タイミング・スコア (Timing Score) や処理時間など

#### Best Par Run

実行した PAR プロセスのなかで最も良い結果を残したケースのコストテーブルなどの情報



**Device Utilization summary**

各種リソースの使用率

**Clock Report**

プライマリー / セカンダリー (Primary/Secondary) クロック配線の使用状況、クロックソース

**7.4.3 PAR プロセスの Error/Warning メッセージ**

PAR プロセスにおいて比較的に目にする Warning/Error メッセージの意味と対処方法について記述します (メッセージはデバイスファミリによって若干変わります)。

メッセージ

**WARNING – par: Signal ‘クロック名’ is selected to use Primary clock resources; however its driver comp ‘クロック名’ is located at ‘ピン番号’, which is not a dedicated pin for connecting to Primary clock resources. General routing has to be used to route this signal, and it may suffer from excessive delay or skew.**

または

**WARNING – par: The driver of primary clock net ‘クロック名’ is not placed on one of the PIO sites which are dedicated for primary clocks. This primary clock will be routed to a H-spine through general routing resource or be routed as secondary clock and may suffer from excessive delay or skew.**

意味: プライマリー・クロック配線に割り当てられた信号のソースがクロックピンではないこと、あるいはクロックピンが使用されていてもクロック・バッファまでの接続に専用配線が使用されていないことを意味します。

対策: 信号ソースがクロックピンの場合とそうでない場合では、デバイス内のクロックバッファに到達するまでの遅延時間は変わりますが、クロック信号としての品質に差は出ません。メッセージ最後の skew (スキュー) は、他ピンから入力されたクロックとのそれを表しており、FPGA 内部のレジスタ間のクロック・スキューではありません。ピンアサインの間違いでないのであれば無視しても問題ありません。

メッセージ

**WARNING – par: (user pref. secondary clock) PLL CLKOP=>CLKFB feedback signal ‘信号名’ is assigned to use secondary clock resources in the preference; however, this signal has to use a primary clock tree. The preference will be ignored.**

または

**WARNING – par: (User pref. secondary clock) Signal ‘クロックネット名’ is not selected to use secondary clock resources due to the limited availability of clock driver and/or clock spine resources.**

意味: 制約ファイル内でセカンダリー・クロックに割り当てられるように制約されているクロックの、クロックソースが適切でないために割り当てられないことを意味します。

対策: セカンダリーに割り当てられない理由 (主にデバイスのアーキテクチャに起因) を調査し、適切なクロックリソースに割り当てられるように変更します。

メッセージ

**ERROR – par: init\_place\_piopgroup ( ) : Failed to place PIO PGROUP comp ‘ポート名’.**

または

**ERROR – par: Cannot place PIO comp ‘ポート名’ on PIO site ‘ピン番号 / PAD 番号’ (I/O bank \*).**

意味: ピンアサインが不適切なため配置できなかったことを意味します。多くの場合、同一バンク内での IO タイプの不適切な混在や、特定信号 (DQS や Vref 等) の割り当てルール違反が起因します

対策: ピンアサインが不適切な原因 (主にハードウェアのアーキテクチャに起因) を調査し、適切なアサインに修正します。

## メッセージ

**ERROR – par: chipcheck: differential driver polarity mismatch. Condition: A true differential PIO signal, ‘ポート名’ (IO タイプ), has been locked to a complementary LVDS driver, device site (Pin = ピン番号). Recommendation: Move the assignment to a device site with a true LVDS driver. For more information of LVDS support, see the sysIO Buffer topic in the device data sheet.**

意味：差動 IO を使用した場合に、極性が適当でないことを意味します。

対策：ピンアサインを確認し、修正します。

## メッセージ

**WARNING – par: The hold-time optimization process will be skipped because the design currently has [hold-time エラー数] hold-time violations, which exceeds the limits (default is 250) . To change default value, please read online help.**

意味：“Auto Hold-time Correction” オプションを [On] にした際に、エラーするパス数がケアする上限の設定値 (デフォルト :250) より大きいと出力されるメッセージです。このメッセージが出力されると “Auto Hold-time Correction” 処理はスキップされます。

対策：“Auto Hold-time Correction” の上限のパス数の変更を “Command line Options” オプションのセルに記述します。詳細は第 7.2.2 項をご参照ください。

## メッセージ

**Warning: There are 未配線信号数 unrouted connections after first iteration which indicates that the design is hard to route.**

意味：1 度目の配線処理で未配線 (配線できない信号) が多くと出力されるメッセージです。このメッセージが出力された場合は、2 回目以降の配線処理は行われません。

対策：[Congestion Driven Placement/Routing] オプションを [On] に設定するか、デバイスのサイズを変更する等の方法で回避できることがあります。

## 7.5 PAR 後の静的タイミング解析 (Place & Route Trace)

### 7.5.1 静的タイミング解析の実行

PAR 後のサブプロセスには二つあり、静的タイミング解析 (STA) が “Place & Route Trace (PAR Trace) ”、I/O のみのタイミング解析が “I/O Timing Analysis” です (図 7-1)。プロセス名の左側にあるチェックボックスにチェックが入れることで、PAR プロセス完了後に連続して実行させるか、サブプロセス名をダブルクリックして実行します。

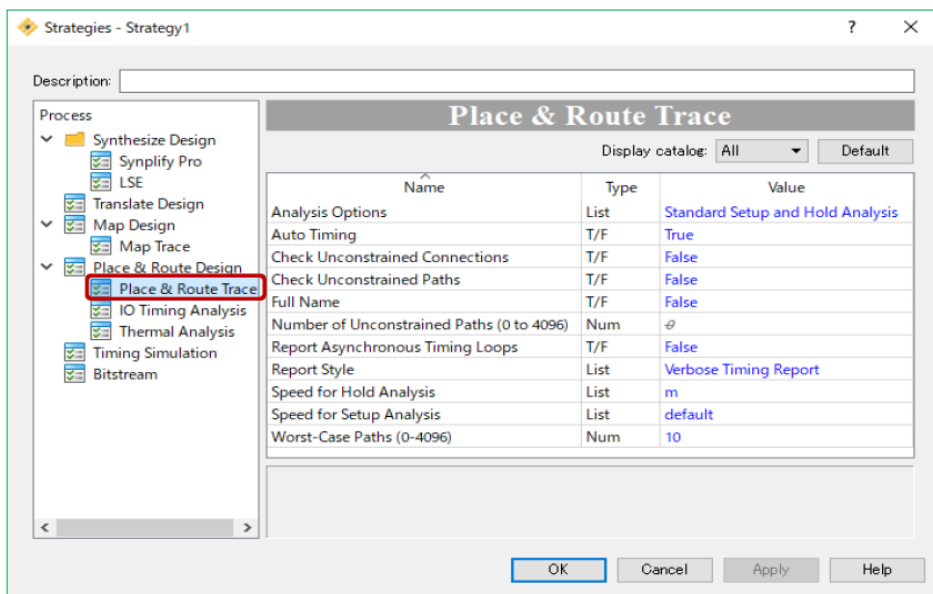
“PAR Trace” はデフォルトで PVT (Process= スピードグレード、電圧、温度) のベストケースでホールド時間を、ワーストケースでセットアップ時間を静的に解析します。与えられた設計制約を満たすための PAR 処理は、実際は “PAR Trace” エンジンとの相相互作用です。繰り返し (Iteration) 回数分、両エンジンの処理が密接に実行されます。

一方 “I/O Timing Analysis” は、PAR プロセス結果のネットリストに対する静的解析です (第 7.7 節参照)。入出力信号 (内部でレジスタに接続されているもの) に対して自動的にスピードグレードやベスト / ワースト条件を網羅的に解析し、その条件とともにレポートします。入出力ポートのタイミング検証では、“I/O Timing Analysis” も確認することを推奨します。

### 7.5.2 静的タイミング解析のストラテジー設定

ストラテジー・オプションによって STA の解析条件やレポートスタイル等を変更することができます。左側 “Process” 枠で “Place & Route Trace” を選択します (図 7-9)。

図 7-9. PAR Trace のストラテジー・オプション



**Analysis Options**

パラメータ : Standard Setup and Hold Analysis / Standard Setup Analysis / Hold Analysis / Standard Setup with Hold Analysis on IO      デフォルト :Standard Setup and Hold Analysis

実行する解析内容の選択です。

- Standard Setup and Hold Analysis      セットアップ / ホールド時間解析の両方を行います
- Hold Analysis      ホールド時間の解析を行います。解析対象のスピード・グレードは、オプション ”Speed for Hold Analysis” で指定され、デフォルトでは仮想的な最速グレード ”m” です
- Standard Setup Analysis      セットアップ時間の解析を行います。解析対象の制約は FREQUENCY、CLOCK\_TO\_OUT、および INPUT\_SETUP です。解析対象のスピード・グレードは、オプション ”Speed for Setup Analysis” で指定され、デフォルトではプロジェクトでターゲットにしているグレードです
- Standard Setup with Hold Analysis on IOs      INPUT\_SETUP と CLOCK\_TO\_OUT 制約に対する解析を行います。オプション ”Speed for Setup Analysis” で解析対象のスピード・グレードを変更することができます

**Auto Timing**

パラメータ : True / False      デフォルト :True

LPF 制約ファイルにタイミング制約が全く設定されていない場合の処理に関する設定です。

- True (デフォルト)      マッピング後タイミング解析オプションの ”Auto Timing” が [False] にされていても、自動的に物理制約を抽出・設定し (prf に書き出し)、タイミング・レポートにもその制約項目を含めます
- False      prf に制約は記述しません。ただし解析自体は行い、遅延の大きなパスから順にレポートします

**Check Unconstrained Connections**

パラメータ : True / False      デフォルト :False

タイミング制約の対象外 (制約がない、或いは BLOCK 制約) となる接続のレポートに関する設定です。

False (デフォルト) 何もレポートしません  
 True 解析対象外となった接続のリストをレポートします

**Check Unconstrained Paths**

パラメータ : True / False                      デフォルト : False  
 タイミング制約の対象外 (制約がない、或いは BLOCK 制約) となるパスのレポートに関する設定です。  
 False (デフォルト) 何もレポートされません  
 True 解析対象外となったパスのリストがレポートされます (第 7.6.2.6 項をご参照ください)

**Full Name**

パラメータ : True / False                      デフォルト : False  
 レポート内の長いリソース名の表示に関する設定です。  
 False (デフォルト) リソース名が長いと (問題ない範囲で) 省略して表示されます  
 True 省略されずに全て表示されます

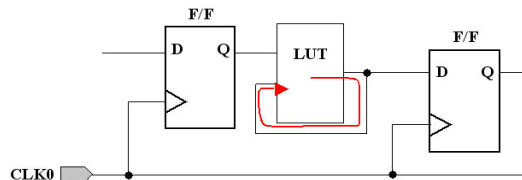
**Number of Unconstrained Paths (0 to 4096)**

パラメータ : [0 - 4096]                      デフォルト値 : 0  
 レポートする未制約パス数に関する設定です。”Check Unconstrained Paths” を [True] にした場合に、レポートするべきパス数を数値で入力します。

**Report Asynchronous Timing Loops**

パラメータ : True / False                      デフォルト : False  
 非同期で信号がループするパスのレポートに関する設定です。  
 False (デフォルト) 何もレポートされません  
 True 図 7-10 のようなレジスタを介さないループや、非同期リセットを介した非同期ループなど、単純な遅延の加算では正しく解析ができない可能性のあるパスについてレポートさせることができます

図 7-10. 非同期ループパスの例



**Report Style**

パラメータ : Verbose Timing Report / Error Timing Report                      デフォルト : Verbose Timing Report  
 レポートする内容についての設定です。  
 Verbose Timing Report (デフォルト) タイミングエラーの有無に関わらず、制約に対してマージンの小さいパスからレポートします。従ってタイミングエラーが無くてもワーストケースパスを知ることができます  
 Error Timing Report タイミングエラーのあるパスだけをレポートします。タイミングエラーがない場合、最大動作周波数はレポートされますがパス情報はレポートされません

**Speed for Hold Analysis**

パラメータ : m または各デバイスファミリでサポートするスピードグレードを表す数値  
 デフォルト値 : m

ホールド時間解析を行う際に使用するスピードグレード条件の設定です。

- m (デフォルト) 仮想最速グレードで遅延が最小になる条件（低温、高電圧）で解析します
- スピードグレードを表す数値 指定グレードで遅延が最小になる条件で解析します。特に理由がなければ、m 以外は選択しないようにします

### Speed for Setup Analysis

パラメータ：m /default または各デバイスファミリでサポートするスピードグレードを表す数値

デフォルト値：default（プロジェクトで選択しているスピードグレード）

セットアップ時間解析を行う際に使用するスピードグレード条件の設定です。

- default (デフォルト) プロジェクトで選択しているスピードグレードでの遅延が最大になる条件（高温、低電圧）で解析します
- スピードグレードを表す数値 指定グレードで遅延が最大になる条件で解析が行われます。特に理由がなければデフォルトのままにしておきます

### Worst Case Paths (0-4096)

パラメータ：1～4096 または 0 デフォルト値：10

詳細レポートするパス数の設定です。

- 1～4096 制約ごとにその値と同じだけのパスの詳細（経路や各リソースの遅延等）がレポートされます
- 0 “Report Style” が [Error Timing Report] の場合、何もレポートされません。[Verbose Timing Report] の場合、全パスの詳細がレポートされます。大きなデザインだとファイルサイズが極端に大きくなり過ぎて開けなくなることもありますので、十分に注意する必要があります

## 7.6 PAR タイミング・レポート

### 7.6.1 レポート・ファイル名

サブプロセス “Place & Route Trace” がイネーブルされていると、PAR プロセス実行後に、インプリメンテーション・フォルダーに HTML とテキスト形式のタイミング・レポートが出力されます。内容はどちらも同じですが、ファイル名はそれぞれ以下ようになります。HTML レポートは、レポートビューで閲覧できます。

HTML 形式 : <プロジェクト名><インプリメンテーション名>\_twr.html

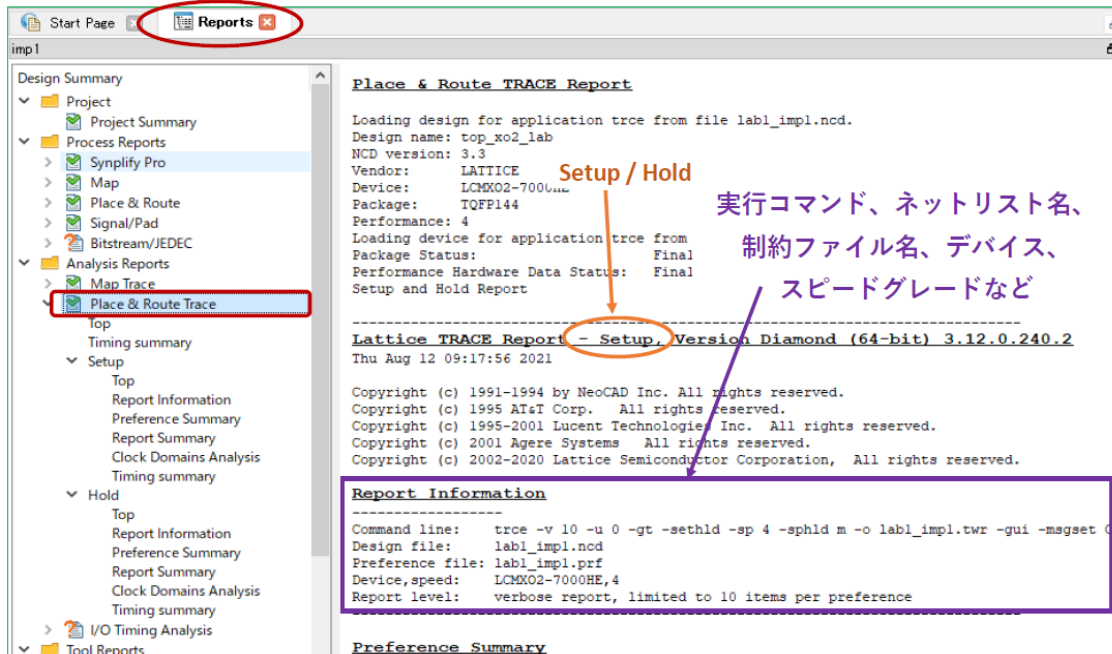
テキスト形式 : <プロジェクト名><インプリメンテーション名>.twr

### 7.6.2 レポート概要

解析レポートには主に以下のような項目が含まれます。

- ・解析実行環境
- ・解析結果のサマリー
- ・クロックドメイン解析情報
- ・総パス数やタイミング制約カバレッジ
- ・各制約に対する解析の詳細
- ・クリティカルネット情報
- ・解析対象外パス

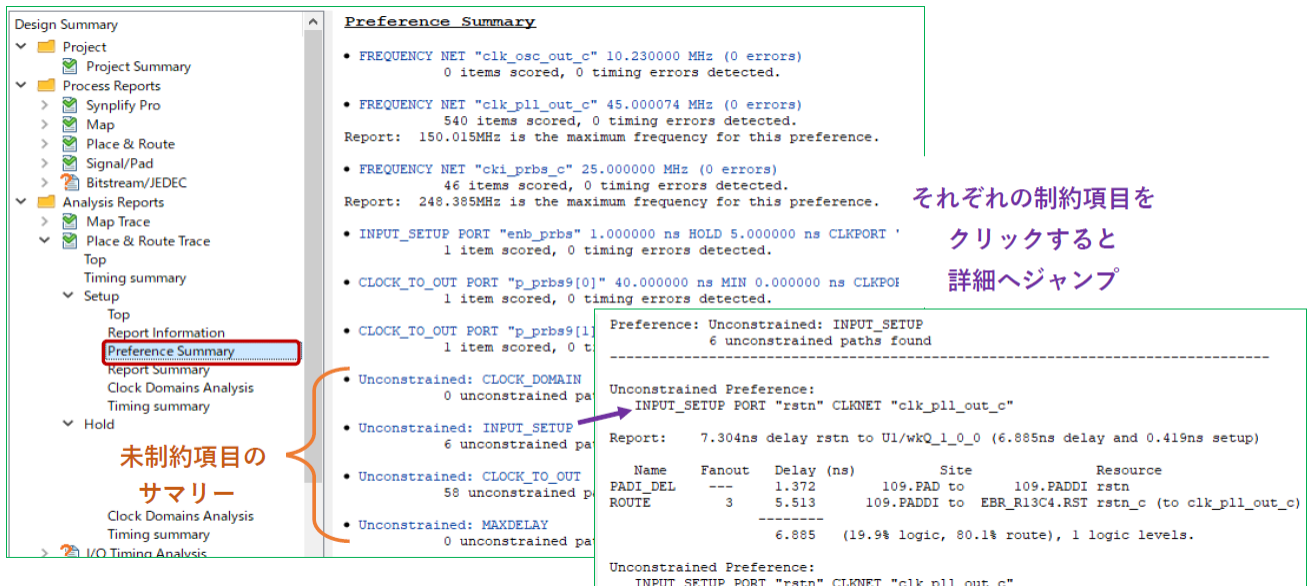
図 7-11. Place & Route Trace レポート例



7.6.2.1 解析実行環境のレポート

図 7-11 のようにレポートファイルの先頭には、ヘッダとして解析を行ったツールやライブラリーのバージョン、解析対象のネットリストおよび制約ファイル等の情報が出力されます。”Report Information” の後には ”Preference Summary” (図 7-12) として、各周波数制約の結果がリストされます。ストラテジー設定で ”Check Unconstrained Paths” を [True] にした場合には、未制約項目の解析結果がその後に出力されます。それぞれの制約をクリックすると詳細レポート部にジャンプします。

図 7-12. 制約 (Preference) サマリー部の例



### 7.6.2.2 各制約の詳細レポート

図 7-13. 詳細レポート例

Preference: FREQUENCY NET "u\_e5gdm\_top/u\_ddr3ip/ddr3ip3pl\_inst/U1\_clocking/clkos" 100.0  
 202 items scored, 0 timing errors detected

Passed: The following path meets requirements by 6.765ns

Logical Details: Cell type Pin type Cell/ASIC name (clock net +/-)

Source:	FF	Q	u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/cs_memsync[5] (from u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/flag[1] (to u_e5gdm_top/u_
Destination:	FF	Data in	u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/flag[1] (to u_e5gdm_top/u_

Delay: 3.445ns (30.8% logic, 69.2% route), 4 logic levels.

Constraint Details:

3.445ns physical path delay u\_e5gdm\_top/u\_ddr3ip/ddr3ip3pl\_inst/U1\_clocking/U1\_mem\_sync/Slice\_406 to u\_e5gdm\_top/u\_ddr3ip/ddr3ip3pl\_inst/U1\_clocking/U1\_mem\_sync/flag[1] (to u\_e5gdm\_top/u\_

10.000ns delay constraint less  
 0.000ns skew and  
 -0.210ns DIN\_SET requirement (totaling 10.210ns) by 6.765ns

Physical Path Details:

Name	Fanout	Delay (ns)	Site	Resource
REG_DEL	---	0.395	R66C10A.CLK to	R66C10A.Q0 u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/Slice_406 (fr
ROUTE	11	1.171	R66C10A.Q0 to	R66C11A.B0 u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/freeze
CTOF_DEL	---	0.180	R66C11A.B0 to	R66C11A.F0 u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/Slice_2392
ROUTE	2	0.659	R66C11A.F0 to	R66C11C.C0 u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/N_30
CTOF_DEL	---	0.180	R66C11C.C0 to	R66C11C.F0 u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/Slice_1748
ROUTE	3	0.555	R66C11C.F0 to	R66C11B.B1 u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/N_4
CTOOFX_DEL	---	0.306	R66C11B.B1 to	R66C11B.OFX0 u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/Slice_401
ROUTE	1	0.000	R66C11B.OFX0 to	R66C11B.D10 u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/U1_mem_sync/N_54_1 (to u_

3.445 (30.8% logic, 69.2% route), 4 logic levels.

Clock Skew Details:

Name	Fanout	Delay (ns)	Site	Resource
ROUTE	12	1.974	PLL_BLO.CLKOS to	R66C10A.CLK u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/clkos
		1.974	(0.0% logic, 100.0% route), 0 logic levels.	
			Destination Clock Path u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/gmi_pll/PLLInst_0 to u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_	
Name	Fanout	Delay (ns)	Site	Resource
ROUTE	12	1.974	PLL_BLO.CLKOS to	R66C11B.CLK u_e5gdm_top/u_ddr3ip/ddr3ip3pl_inst/U1_clocking/clkos
		1.974	(0.0% logic, 100.0% route), 0 logic levels.	

与えた制約ごとに詳細な解析情報がレポートされます（図 7-13）。先頭は、制約記述、その制約の対象となったパス数およびエラー数です。なお、解析対象パス数の表示は、ストラテジーの "Worst Case Paths" の設定値に依存します。なお、対象パスの指定値が最大の 4096 の場合で対象がそれを超えていても、解析は表示される最大値は 4096 です。解析自体は全パスについて実行されます。

その後に、タイミングマージン（スラック）の小さいパスから順に、詳細情報がレポートされます。

パスごとのレポートの 1 行目にはタイミング制約に対する合否判定と、タイミングマージン（エラーの場合は不足分）が表示されます。行頭が "Passed" であれば、タイミング制約を満たしています。行末の数値がタイミングマージンです。

タイミング制約が満たされていない場合は行頭に "Error" と表示されます。この場合、行末に記載されている数値が、要求値に対する不足/超過分（スラック）です。

次にレポートされるのはパスの始点（Source）および終点（Destination）のオブジェクト名です。クロックエッジで動作するオブジェクト（フリップフロップやブロックメモリ等）は、オブジェクト名の右側括弧内にクロック名とエッジ（+：立ち上がり、-：立下り）が表示されます。

個別パスレポートの最後は、パス経路各遅延エレメントごとの遅延値、スライスとポートです。

### 7.6.2.3 レポート・サマリー

"Report Summary" 部が制約と解析結果のサマリーです（図 7-14）。"Preference" は制約記述、"Constraint" は適用された制約値、"Actual" は解析結果、"Levels" はクリティカルパスの論理回路段数です。制約を満た

してない項目については、論理回路段数の右側に ”\*” 印が表示されます。

図 7-14. Place & Route Trace のレポート・サマリー例

Preference	Constraint	Actual	Levels
FREQUENCY NET "clk_125" 125.000000 MHz PAR_ADJ 30.000000 ;	125.000 MHz	118.568 MHz	7 *
MULTICYCLE FROM CELL "*nfts_rx_skp_cnt*" TO CELL "*cnt_done_nfts_rx*" 2.000000 X ;	16.000 ns	5.944 ns	8
MULTICYCLE FROM CELL "*nfts_rx_skp_cnt*" TO CELL "*altsm_nfts_rx_skp*" 2.000000 X ;	16.000 ns	5.921 ns	8

要求値を満たさない場合の印

### 7.6.2.4 クリティカルネット情報

図 7-15. クリティカルネットのレポート例

Critical Nets	Loads	Errors	% of total
u_sfif/u_sfif_tag/tag_available_35_31_i_1_o2_28	1	10	71.43%
u_sfif/u_sfif_tag/N_1235	1	10	71.43%
u_pcie_xlcore/pcie_xl_inst/ul_dut/ul_dut/ul_dut/ul_trnc/ul_txintf/N_2819	4	4	28.57%
u_pcie_xlcore/pcie_xl_inst/ul_dut/ul_dut/ul_dut/ul_trnc/ul_txintf/N_59_i	4	4	28.57%
tx_req	4	4	28.57%

タイミングエラーがある場合は、タイミング制約を満たしていないパスに共通して含まれているネット名がレポートされます (図 7-15)。全てのタイミング制約を満たしている場合は、この項目はレポートされません。"Critical Nets" は該当するネット名、"% of total" はそのネットを含むタイミングエラーパスの割合を表します。

### 7.6.2.5 クロックドメイン解析情報

タイミング解析ツールがネットリストから抽出したクロック・ネットワークと、それに適用されたタイミング制約のリストがレポートされます (図 7-16)。

クロックドメインをまたぐパスがあった場合は、パス始点側フリップフロップのクロック情報と、そのパスに適用された制約や、その制約の対象となったパス数が、ネスティング形式でレポートされます。クロックドメイン間の全てのパスに対して、必要な制約が設定されているかどうかを確認できます。

図 7-16. クロックドメイン解析レポート例

**抽出ドメインと制約**

Found 7 clocks:

Clock Domain: u\_pcie\_xlcore/pcie\_xl\_inst/ul\_dut/ul\_dut/ul\_dut/ul\_trnc/ul\_txintf/N\_2819 Source: u\_pcie\_xlcore/pcie\_extref\_inst/EXTREF0\_inst.BEFCCLK0 Loads: 102  
No transfer within this clock domain is found

Data transfers from:  
Clock Domain: u\_pcie\_xlcore/pcie\_xl\_inst/polclk Source: u\_pcie\_xlcore/pcie\_xl\_inst/ul\_pcs\_pipe\_9/pcs\_clkdiv.CDIV1  
Not reported because source and destination domains are unrelated.

Clock Domain: u\_pcie\_xlcore/pcie\_xl\_inst/ul\_pcs\_pipe\_9/tx\_polclk Source: u\_pcie\_xlcore/pcie\_xl\_inst/ul\_pcs\_pipe\_9/pcs\_top  
Covered under: FREQUENCY NET "\*pc1k" 250.000000 MHz PAR\_ADJ 30.000000 ;

Data transfers from:  
Clock Domain: u\_pcie\_xlcore/pcie\_xl\_inst/polclk Source: u\_pcie\_xlcore/pcie\_extref\_inst/EXTREF0\_inst.BEFCCLK0  
Not reported because source and destination domains are unrelated.

Clock Domain: u\_pcie\_xlcore/pcie\_xl\_inst/polclk Source: u\_pcie\_xlcore/pcie\_xl\_inst/ul\_pcs\_pipe\_9/pcs\_clkdiv.CDIV1  
Covered under: MULTICYCLE FROM CELL "\*power\_down\*" TO CELL "\*sll\_inst\*" 2.000000 X ; Transfers: 2

Clock Domain: u\_pcie\_xlcore/pcie\_xl\_inst/ul\_pcs\_pipe\_9/ff\_rx\_folk\_0 Source: u\_pcie\_xlcore/pcie\_xl\_inst/ul\_pcs\_pipe\_9/pcs\_top  
No transfer within this clock domain is found

**抽出ドメインを終点とする別ドメイン始点のパスと制約**



### 7.6.2.6 未制約パスと未制約コネクション

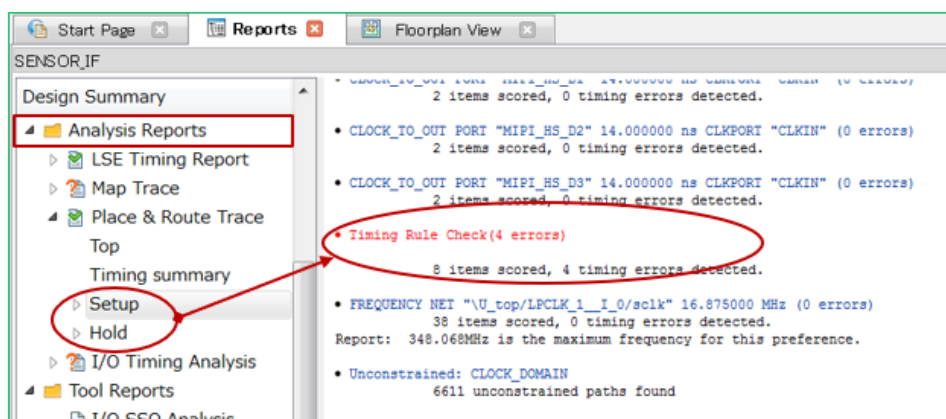
ストラテジー・オプション”Check Unconstrained Paths”を[True]に設定した場合に限り、図 7-17 に示すように、タイミング解析の対象とならなかったパスの情報がレポートされます（サマリー部の最後の部分）。制約が与えられるべきパスが含まれていないかどうかを確認できます。未制約パスのタイプには CLOCK\_DOMAIN、INPUT\_SETUP、CLOCK\_TO\_OUTPUT、および MAXDELAY の 4 つがあります。

パスではなくネットに対する同様なオプションが、ストラテジー・オプション”Check Unconstrained Connections”です。[True]に設定した場合、クロックドメイン・レポートの次に続きます。与えるべき制約の確認という目的のためには、煩雑さという観点でパスのほうが一般的には容易です。

### 7.6.2.7 タイミングルール・チェック (Timing Rule Check)

DDR Generic や DDR メモリ・インターフェイスなど、INPUT\_SETUP や CLOCK\_TO\_OUTPUT 制約が与えられている場合で、デバイス固有の複数のクロック系統を扱うハードマクロが実装されている場合、セットアップ / ホールド解析レポートセクションの最後に本項目がレポートされます。マクロが正常動作するために規定されている内部タイミングの DRC (Design Rule Check) 結果です。図 7-17 はその例です。

図 7-17. マクロ内部規定タイミングのレポート例

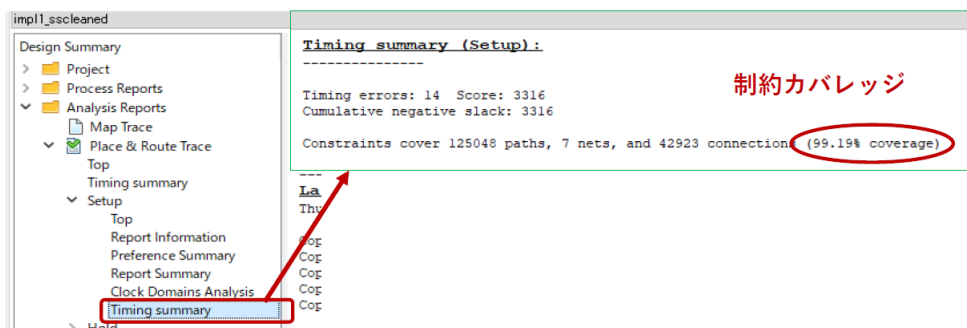


タイミング違反がレポートされている場合は、これを解消する必要があります。通常は、当該マクロに関連する入力クロックなどに周波数制約が与えられていない場合、或いは与えられていても不適切（不正確）な場合が殆どです。パスの詳細レポートを参照して、制約の追加・編集を行うようにします。

### 7.6.2.8 タイミング・サマリー

Setup/Hold 部レポートの最後は、解析されたパス数 / ネット数 / コネクション数と、いわゆるカバレッジ (coverage) のレポートです (図 7-18)。BLOCK 制約など、明示的に解析する必要がないとして指定したものは、カバレッジに含まれます。カバレッジは少なくとも 95% 以上となるようにすることを推奨します。

図 7-18. 解析カバレッジのレポート例



## 7.7 I/O タイミング解析

### 7.7.1 I/O タイミング解析の実行

サブプロセスの I/O タイミング解析 (I/O Timing Analysis) は、PAR 結果のネットリストに対する I/O のみの静的タイミング検証 (STA) です。制約を与えていなくても、入力信号のセットアップ / ホールド時間や、出力信号の最大 / 最小遅延を解析します。プロジェクトで選択しているスピードグレードと、それより高速なもの全てについて解析を繰り返し、各ポートに対してタイミング項目の最悪値とその値をとるスピードグレードをレポートします。

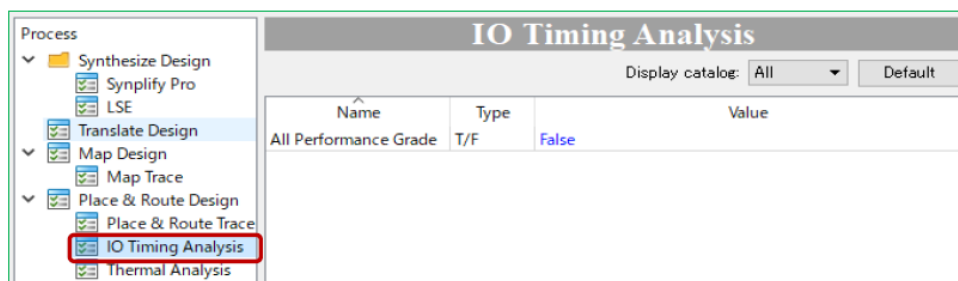
例えば、プロジェクトのターゲットデバイスが ECP5 ファミリ (スピードグレードは 6、7、8) のスピードグレード "7" の場合、I/O タイミング解析の対象は 7/8/m となり、6は解析されません (mは最速グレード)。

I/O タイミング解析の実行は、図 7-1 に示すサブプロセス "I/O Timing Analysis" にチェックを入れて PAR プロセス完了後に自動的に実行するか、チェックが入っていない場合でも、このサブプロセス名をダブルクリックして実行します。

### 7.7.2 I/O タイミング解析のストラテジー

I/O タイミング解析は、ストラテジー・オプションで解析条件を変更することができます (図 7-19)。

図 7-19. I/O Timing Analysis のストラテジー



#### All Speed Grade

パラメータ : True/False      デフォルト : False

レポート内容に関する設定です

False (デフォルト)      ワorstケースのみの結果をレポートします

True      該当全スピードグレードで解析を行い、その解析結果をレポートします

### 7.7.3 I/O タイミング解析レポート

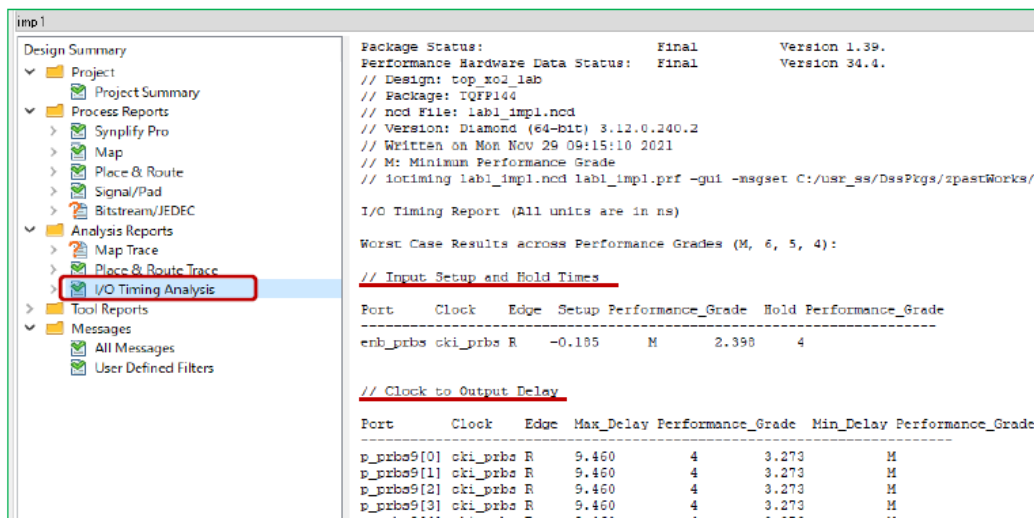
#### 7.7.3.1 レポート・ファイル名

インプリメンテーション・フォルダーに HTML とテキスト形式のレポートが出力されます。内容はどちらも同じで、ファイル名はそれぞれ以下の通りです。HTML レポートは、レポートビューで閲覧できます (図 7-20)。

HTML 形式      : <プロジェクト名><インプリメンテーション名>\_iotiming.html

テキスト形式      : <プロジェクト名><インプリメンテーション名>.ior

図 7-20. I/O Timing Analysis レポート (一部)



### 7.7.3.2 レポート概要

解析レポートには以下の項目が含まれます。

- ・ 解析実行環境
- ・ 解析結果
- ・ I/O ポートの入力・出力動作に関与しているクロック（該当する場合）

#### 解析実行環境のレポート

レポートファイルの先頭には、ヘッダとして解析を行ったツールやライブラリーのバージョン、解析対象のネットリストおよび解析対象となったスピードグレードの情報などがレポートされます。

図 7-21. 入力タイミングのレポート例

```

// Input Setup and Hold Times

Port      Clock  Edge  Setup Performance_Grade  Hold Performance_Grade
-----
enb1_rx   clk100m R    2.323      8    -0.945      M
enb1_tx   clk100m R    2.436      8    -1.183      M
ext_rstn  clk100m R    8.420      8    -1.007      M
out_err_frame clk100m R    3.110      8    -1.400      M
rx_rstn   clk100m R   10.926      8    -2.084      M
sgmii_mode clk100m R    4.150      8    -1.344      M
    
```

図 7-22. 出力タイミングのレポート例

```

// Clock to Output Delay

Port      Clock  Edge  Max_Delay Performance_Grade  Min_Delay Performance_Grade
-----
rx_dv    rx_clk R    8.823      8     6.787      M
rx_er    rx_clk R    8.823      8     6.787      M
rx_d[0]  rx_clk R    8.756      8     6.752      M
rx_d[1]  rx_clk R    8.756      8     6.752      M
rx_d[2]  rx_clk R    8.756      8     6.752      M
rx_d[3]  rx_clk R    8.756      8     6.752      M
rx_d[4]  rx_clk R    8.756      8     6.752      M
rx_d[5]  rx_clk R    8.756      8     6.752      M
rx_d[6]  rx_clk R    8.756      8     6.752      M
    
```

#### 解析結果

各スピードグレードで行った解析結果から、最悪値とその場合のスピードグレードが、入力ポート、出力ポートの順にレポートされます。

入力ポートについては解析対象のクロック名、その有効エッジ (R : 立ち上がり、F : 立ち下り)、セットアップ / ホールド時間のワースト値と、ワースト値となるスピードグレードがレポートされます (図 7-21)。

出力ポートについては解析対象のクロック名、その有効エッジ (R : 立ち上がり、F : 立ち下り)、出力遅延時間の最小 / 最大値と、該当するスピードグレードがレポートされます (図 7-22)。

## 7.8 静的タイミング解析のコマンドライン実行

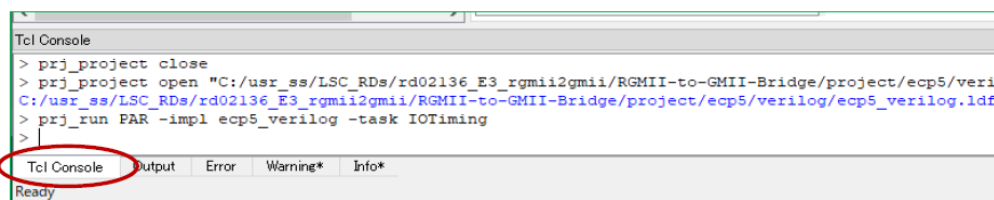
フィッティング時に与えた設計制約とは異なる環境条件、或いはタイミング制約で、マッピングや PAR プロセスを再実行せずに、タイミング解析したいケースがあります。

ユーザーの与える (論理) 制約は設計制約ファイル \*.lpf に記述します。これに加えて、デザイン内で使用されている IP やマクロに関してツールが自動で判別・抽出した制約を含めてテキスト形式の \*.prf (物理制約ファイル) に書き出されます。PAR プロセスで STA エンジンが参照するのはこの PRF です。

条件を変更してタイミング解析のみを実行したい場合は、この PRF を編集してコマンド実行します。

Diamond GUI レイアウトでは、その下部にログ出力表示用の領域があり、デフォルトで『Output』タブが選択されています。コマンドライン実行時は『Tcl Console』を選択します (図 7-23)。

図 7-23. "Tcl コンソール" タブの選択



手順は以下のようになるでしょう :

- ①ファイル \*.prf を複製して (別名で) 保存し、それを編集します。レポートさせたいタイミング関連制約以外 (ピン配置やグループ指定など) は特に不要です。実行に必要なファイルはこの \*.prf とネットリスト \*.ncd のみです。
- ② Tcl コンソールを選択し、制約ファイル prf とネットリスト ncd のあるディレクトリに CD コマンドで移動します ("pwd" とタイプすることで、現在のディレクトリを知ることができます)。
- ③以下のようなコマンド様式で実行します。コマンドオプションの詳細は Diamond Help ページなどをご参照ください (メニューバーの Help => Lattice Diamond Help、キーワードサーチで "trce command" 等と入力して検索)。ユーザー個々のプロジェクトでは、"Place & Route Trace" レポートの冒頭、"Report Information" 部にある "Command line" の行が参考になります。STA エンジン (Trace) を実行する際に、処理フローで実際に使用されているコマンドが書き出されています。

```
trce.exe -v 50 -sp 5 -sphld m -sethld -o <output>.twr <netlist>.ncd <preference>.prf
```

-v <val>	レポートする制約ごとのパス数
-sp <val>	セットアップ時間解析対象のスピードグレード指定
-sphld <val>	ホールド時間解析対象のスピードグレード指定
-sethld	標準的なセットアップ時間 / ホールド時間解析の両方を実行
-o <output>.twr	出力するレポートファイル名
<netlist>.ncd	解析対象のネットリスト・ファイル名
<preference>.prf	解析に使用する制約ファイル名

ファイル名の指定について、この例では Tcl コンソールでコマンドを実行するディレクトリに ncd/prf があることを想定しています。絶対パスや相対パス記述で指定しても良いですが、コマンドが長くなります。

ところで、COMMERCIAL グレード対象のデフォルトでは、ジャンクション温度 (TEMPERATURE) とコア電源電圧 (VOLTAGE) は、ワーストケースがそれぞれ 85 度 /1.14V、ベストケースが 0 度 /1.26V です。セットアップ解析はデータパスがワーストでクロックはベストケースで、ホールド解析はデータパスがベストでクロックがワーストケースで、”有効なスピードグレードをカバーする範囲”で解析します。ベストケースは仮想最速品の ”M” グレードが用いられます、

これに対して、ある特定の温度と電圧でのみ解析したい場合は、TEMPERATURE/VOLTAGE を prf 内で指定しますが、注意が必要です。デフォルト時とは異なり、指定条件下のみで遅延データベースを参照しますので、本来の PVT ベスト / ワースト解析ではなくなります。

同様な意味で、スプレッドシート・ビューの [Global Preferences] 内で最上段にある ”junction Temperature (Tj)(C)” と ”Voltage (V)” は基本的に変更すべきではありません。編集すると、指定環境条件下でのみタイミング制約を満たすように各プロセスが実行されますので、意図するものとは異なる結果になり得ます。

--- \*\*\* ---