

第 6 章 マッピング・プロセス (Map Design)

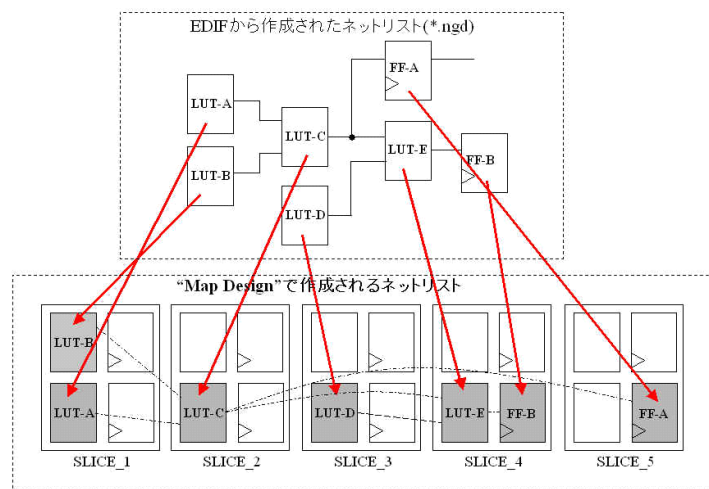
6.1 概要

マッピング・プロセスでは幾つかの処理が行われます。基本的な処理は論理合成結果から、ターゲット・デバイスのアーキテクチャに従って LUT およびフリップフロップ (FF) に変換します。その際に論理圧縮や最適化を行います。また、PIC (Programmable I/O)・EBR・PLL・オシレータ・GSR などの実エレメントに割り当て、未使用ロジックや I/O ポートの削除も行います。また、論理的なグループ化 (partitioning) などの制約に対する処理も行います。

これに伴い、同一スライスに入れる LUT とフリップフロップ (FF) の組み合わせを決めるパッキング (Packing) 処理を行います (LUT+LUT、FF+FF、LUT+FF、図 6-1)。単一スライスには LUT とフリップフロップを二つずつ含みます。オプション設定により、動作周波数とスライス使用率のどちらを優先させるか選択することができますが、配置配線 (PAR) 結果にも大きく影響を与えます。パッキング後の論理は LUT/FF ではなく、スライススペースの回路 (ネットリスト) になります。

マッピングでは ”物理的な” 配置場所を決めるのではなく、”論理的な” 変換・パッキングを行うのみです。物理的な場所の決定は次の PAR プロセスが行います。そのため、パッキング処理ではタイミング制約に対する評価を行う際に、”仮想的な配線遅延量” を用いて最適化を行います。

図 6-1. パッキング処理のイメージ

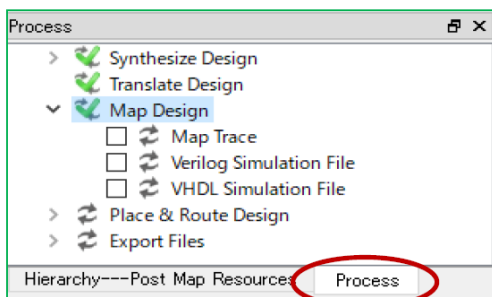


以上の処理に加えて、ユーザーが与える LPF 設計制約ファイルの記述を、フリップフロップ名等からスライス名に変換するなどした ”物理” 制約ファイル *.prf を生成します。prf には、該当する場合には RTL ソースファイル内に記述される制約や、IP/マクロが含む特定の制約も (バックグラウンドで) 統合されます。PAR プロセスや PAR 処理のタイミング検証エンジンで使用されます。

プロセス・ウィンドウのマッピング部には、サブプロセスとして ”Map Trace” (タイミング解析) と ”Verilog/VHDL Simulation File” (シミュレーション用 RTL 生成) があります (図 6-2)。これらサブプロセス名の左側にチェックボックスがあり、チェックが入っているとマッピング実行後に、これらも自動的に続けて実行されます。チェックが入っていない場合でも、サブプロセス名をダブルクリックすれば実行できます。

註: 本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は技術サポート担当者にお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

図 6-2. マッピング・プロセスとサブプロセス



マッピング・プロセス完了後（PAR 実行前）に、仮配線遅延を用いた静的タイミング解析（Map Trace）と、ネットリストを RTL に変換したファイルによるシミュレーションでの機能検証を行うことができます。

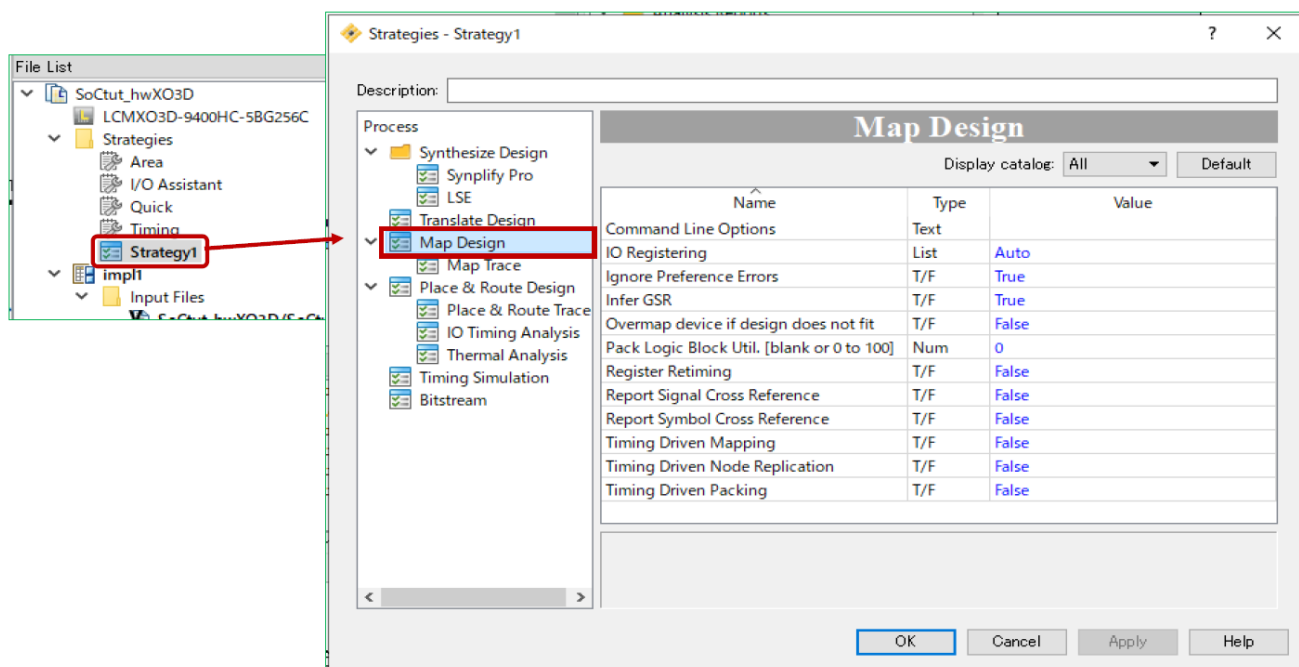
マップ後静的タイミング解析は、一般的に処理時間が長くなりがちな PAR プロセスの前に検証を行うことによって、タイミングが大幅に厳しいパスや要因を抽出して、あらかじめ対策を行うことを可能にします。マッピングでは実配線処理は行わないため、仮の配線遅延値を用います。第 6.4.1 項をご参照ください。

6.2 ストラテジー設定

6.2.1 ストラテジー設定ウィンドウの起動

ファイルリスト・ビューの "Strategies" セクションにはストラテジーの一覧が表示されています。各インプリメンテーションで使用されるのは、太字で表示されている（アクティブな）1つだけです。編集できるのは、デフォルトでは "Strategy1" のみです。ダブルクリックすると、ストラテジー設定ウィンドウが開きます。

図 6-3. マッピング (Map Design) のストラテジー・オプション



ストラテジーはプロセスとサブプロセスごとに表示されますので、"Process" 枠から "Map Design" を選択します (図 6-3)。

Pack Logic Block Util. [blank or 0 to 100]

パラメータ : 数値 0 ~ 100 デフォルト値 : ブランク

スライス使用率の目標値設定で、単位は % です。ブランクは 97% を意味します。

デフォルトで必要なスライス数がターゲット・デバイスのスライス数を越えた場合でも、このオプションで小さな値に設定することで収まることもあります。しかし、小さすぎると配置配線の際に局所的な配線リソースの混雑により、十分な動作速度を得られない場合があります。

コマンドオプションで本アルゴリズムは強制オフにすることも可能で、以下のようにします。

```
-exp parUseNBP=0
```

Register Retiming

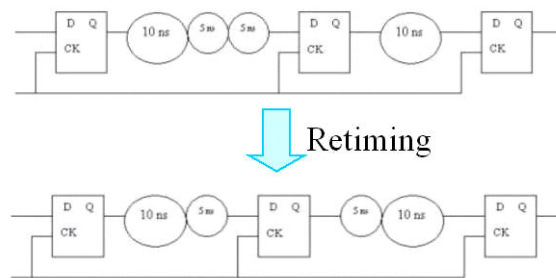
パラメータ : True / False デフォルト値 : False

レジスタ・リタイミング (フリップフロップ前後の組み合わせ論理規模に大小アンバランスがある場合に、論理を移動してバランス化し、動作クロック周波数を上げる処理 : 図 6-4) に関する設定です。

False (デフォルト) レジスタ・リタイミング処理を行いません

True レジスタ・リタイミング処理を行います

図 6-4. マッピング・プロセスでのレジスタ・リタイミング処理



(注) 本オプションを True にして、本処理が適用される RTL 記述がある場合は、注意が必要です。ツールバージョンごとにネットリストレベルで等価ではない可能性が出てくるためです。[True] にしなくても良いような、バランスのとれた RTL 記述にすることで、ツールバージョンに依存する可能性がある要因を極力排除することを推奨します。

Report Signal Cross Reference

パラメータ : True / False デフォルト : False

ロジックリソースのパッキング結果レポートに関する設定です。

False (デフォルト) レポートされません

True レポートされます (図 6-5)

図 6-5. Signal Cross Reference レポート例

```
Signal clk_osc_out_c - Driver Comp: L1:OSC
  Load Comps: clk_osc_out:I0, L2/PLLInst_0:CLKI
Signal adr_count[0] - Driver Comp: SLICE_0:04
  Load Comps: SLICE_0:I6
Signal adr_count_cry[0] - Driver Comp: SLICE_0:06
  Load Comps: SLICE_25:I17
Signal adr_count_s[0] - Driver Comp: SLICE_0:01
  Load Comps: SLICE_0:I13
Signal rstn_c - Driver Comp: rstn:00
  Load Comps: U2/wkQ_2_0_0:RST, U1/wkQ_1_0_0:RST, GSR_INST:GSR
Signal adr_count_s[12] - Driver Comp: SLICE_20:01
  Load Comps: SLICE_20:I13
Signal clk_pll_out_c - Driver Comp: L2/PLLInst_0:CLKOP
```

Report Symbol Cross Reference

パラメータ : True / False デフォルト : False

論理ネットが物理的にどのスライスに割り当てられたかをレポートする機能に関する設定です。

- False (デフォルト) レポートされません
- True レポートされます (図 6-6)

図 6-6. Symbol Cross Reference レポート例

```

U4/SLICE_29 (PFU) covers blocks: prbs9_3_0[4], prbs9_3_0[5], U4/prbs9[4],
U4/prbs9[5]
U4/SLICE_30 (PFU) covers blocks: prbs9_3_0[6], prbs9_3_0[7], U4/prbs9[6],
U4/prbs9[7]
U4/SLICE_31 (PFU) covers blocks: prbs9_RNO[8], prbs9_RNICV4I[5], U4/prbs9[8]
SLICE_32 (PFU) covers blocks: prbs9_RNI8R4I[1], VCC, enb_prbs_sr[1]
U4/SLICE_33 (PFU) covers blocks: prbs9_RNID05I[6], prbs9_RNIBU4I[4]
U4/SLICE_34 (PFU) covers blocks: prbs9_RNIE15I[7], prbs9_RNIAT4I[3]
U4/SLICE_35 (PFU) covers blocks: prbs9_RNIF25I[8], prbs9_RNI9S4I[2]
U4/SLICE_36 (PFU) covers blocks: prbs9_RNIG4I[9], prbs9_RNII4I[10]
    
```

Timing Driven Mapping

パラメータ : True / False デフォルト : False

タイミング制約が与えられている全てのパスについてタイミング・スラック分布を解析し、論理の圧縮と最適化を行い、クリティカルパスのタイミングを改善する設定です。

- False (デフォルト) 論理合成結果をそのままパッキングします
- True タイミング・ドリブン・パッキングを行います

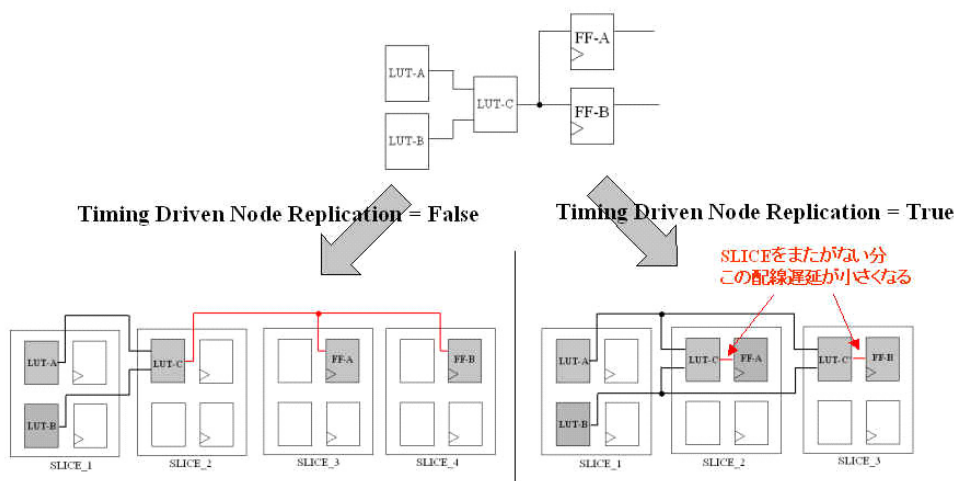
Timing Driven Node Replication

パラメータ : True / False デフォルト : False

出力先が複数のフリップフロップに接続されている LUT を複製して、タイミングを改善する設定です。複製した LUT とフリップフロップが同一スライスにパッキングできるようになり、遅延が改善されます (図 6-7)。

- False (デフォルト) LUT 複製処理は行いません
- True LUT 複製による改善処理を行います

図 6-7. Timing Driven Node Replication の作用



Timing Driven Packing

パラメータ : True / False デフォルト : False

タイミング制約をベースにパッキング処理(同一スライスに割り当てる LUT/FF、FF/LUT、LUT/LUT)を最適化する設定です。

- False (デフォルト) 使用率優先のパッキングを行います
- True タイミング・ドリブン・パッキング処理を行います

6.3 プロセス・レポート

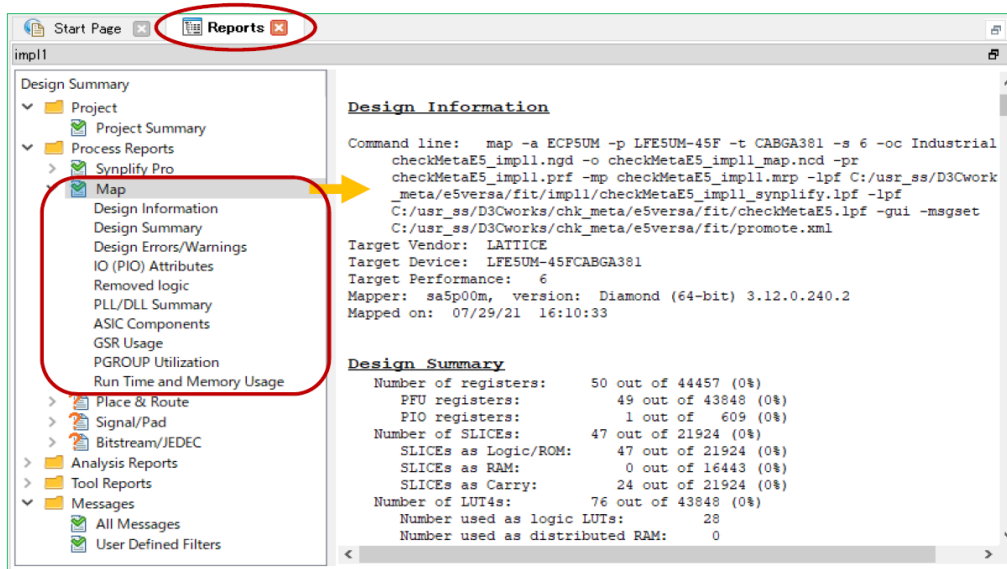
6.3.1 レポート・ファイル

マッピング・プロセス実行時には、インプリメンテーション・フォルダーに HTML とテキスト形式のレポートが出力されます。内容はどちらも同じです。ファイル名はそれぞれ以下のとおりです。

- ・ HTML 形式 : プロジェクト名_インプリメンテーション名_mrp.html
- ・ テキスト形式 : プロジェクト名_インプリメンテーション名 .mrp

HTML レポートは、レポートビューで閲覧することができます(図 6-8)。

図 6-8. マッピング・プロセスの HTML レポート表示例



6.3.2 レポート内容の概要

マッピング・プロセスの結果は、大きくは以下のような内容ごとに分類されてレポートされます。

Design Information

- ・ マッピング・プロセス実行時のコマンド
- ・ 対象となったデバイス、など

Design Summary

- ・ スライス数やピン数など、リソースの使用数、使用率
- ・ クロック名、ローカルリセット信号名やその負荷 (ドライブしているスライス数) など
- ・ クロックとリセット以外でファンアウトの多い信号名、など

Symbol Cross Reference

- ストラテジー・オプション [Symbol Cross Reference] が [True] の場合のみレポートします
- ・スライス名と、それにパッキングされたフリップフロップや LUT 名の対応

Signal Cross Reference

- ストラテジー・オプション [Signal Cross Reference] が [True] の場合のみレポートします
- ・スライス等の各リソース間を接続する信号名と、その接続先（ドライバーと負荷）

Design Errors/Warnings

- ・各種 Error および Warning です
(LPF 制約ファイルの記述エラーに関する情報はレポートされません)

IO (PIO) Attribute

- ・I/O 名と方向
- ・IO タイプ
- ・IO レジスタの使用有無

Removed Logic

- ・マージされたり負荷がなかったりといった理由で削除された論理リソースです

Memory Usage

- ・インスタンスごとのメモリーの構成：EBR / RAM SLICE / Logic SLICE / PFU Reg.、ビット幅などの属性、など

PLL/DLL Summary

- ・使用 PLL/CLKDIV/ECLKSYNC などのインスタンス名、タイプ名、属性、など

ASIC Components

- ・PLL/DLL/CLKDIV/DQSBUF/DPRAM といったマクロ・コンポーネントのインスタンス名です

GSR Usage

- ・GSR (Global Set/Reset) に割り当てられた信号名、および
- ・GSR 属性のディセーブルされた、或いはイネーブルされたコンポーネントとインスタンス名

PGROUP Utilization

- ・PGROUP 制約指定がある場合の結果：ロジック数、エリアサイズ

Run Time and Memory Usage

- ・マッピング・プロセス実行に要した CPU 時間とメモリー

6.3.3 マッピング・プロセスの Error/Warning メッセージ

マッピング・プロセスにおいて比較的目にする Warning / Error メッセージの意味と対処方法について記述します（メッセージはデバイスファミリーによって若干変わります）。

メッセージ

ERROR – map: Design doesn't fit into device specified, refer to the Map report for more details.

意味：デザインが必要とするリソース数がデバイスのリソース数を超えた場合、つまり使用率が 100% を超えたことを表します

対策：レポートの [Design Summary] を確認して使用率が 100% を超えているリソースを減らします

PIO / フリップフロップ / EBR / PLL が超えている場合は、デザインの修正かデバイスの変更を行います

LUT が超えている場合は、何らかのストラテジー・オプションを変更して論理合成から再実行するか、デザインを修正します

LUT / フリップフロップが 100 % 未満でスライス数だけが 100% を超えている場合は、まずストラテジー・オプション "Pack Logic Block Util." を '0' に設定したり、"Timing Driven Packing" を [True] にしてマッピングを再実行します。それでも使用率が 100% を超える場合は、デザインを修正します

メッセージ

WARNING – map: IO buffer missing for top level port ‘ポート名’ ...logic will be discarded.

意味：RTL ソースファイルで、ポート宣言されていても未使用の場合や、接続先が削除されてしまったことを表します

対策例：削除されるべきではないポートの場合は、論理合成レポートを確認して削除された原因を調査し、必要に応じて修正します

メッセージ

ERROR – map: Illegal assignment of single-ended IO_TYPE 'IO タイプ1' to differential 'I/O タイプ2' buffer 'インスタンス名'.

意味：RTL ソースファイルで LVDS 等のバッファを指定しているのに、スプレッドシート・ビュー等で異なる I/O タイプを設定したことを表します

対策：どちらかの指定を解除するか、一貫性のある指定にします

メッセージ

WARNING – map: 制約ファイル名 (エラー行) : Syntax error on, ‘制約記述’, in this preference, ‘制約記述’;

意味：制約ファイル内に構文エラーがあることを表します

対策：LPF ファイルの指摘された行に記述されている制約を修正します

メッセージ

WARNING: Using local reset signal ‘リセット信号名’ to infer global GSR net.

意味：メッセージ内の信号が GSR にアサインされたことを表します

対策：GSR へのアサインに問題がなければ無視します。GSR を使用したくない、或いは GSR にアサインする信号を変更したい場合は、第 6.2.2 項の [Infer GSR] オプションをご参照ください

6.4 マッピング後の静的タイミング解析 (Map Trace)

6.4.1 マッピング・プロセスにおける配線遅延

タイミング解析は LUT やフリップフロップ等のゲート遅延、データパスの配線遅延、およびクロック配線の遅延を使用して行われます。ゲート遅延は既知の値で解析が行われますが、データパスとクロックの配線遅延については、PAR 処理前では正確に知ることはできません。このため、マッピング後の静的タイミング解析では、これらは見積もり値（後述）を使用して解析を行います。

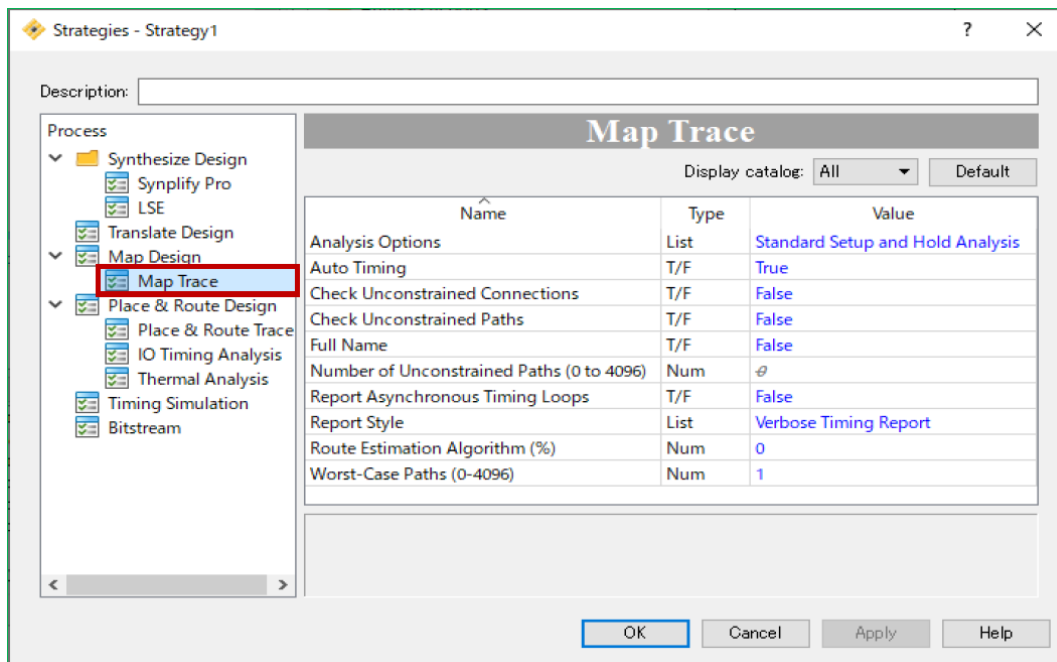
6.4.2 静的タイミング解析の実行

マッピング後の静的タイミング解析 (STA) は、サブプロセス "Map Trace" です (図 6-2)。左側にあるチェックボックスにチェックを入れてマッピングを実行するか、サブプロセス名をダブルクリックして実行します。

6.4.3 静的タイミング解析のストラテジー設定

ストラテジー・オプション設定によって MAP Trace の解析条件やレポートスタイル等を変更することができます。左側 "Process" 枠で "Map Trace" を選択します (図 6-9)。

図 6-9. Map Trace のストラテジー・オプション



Analysis Option

パラメータ : Standard Setup and Hold Analysis / Standard Setup Analysis / Hold Analysis / Standard Setup with Hold Analysis on IOs デフォルト : Standard Setup and Hold Analysis

実行する解析内容の選択です。

- Standard Setup and Hold Analysis セットアップ / ホールド時間解析の両方を行います
- Hold Analysis ホールド時間の解析を行います
- Standard Setup Analysis セットアップ時間の解析を行います。解析対象の制約は FREQUENCY、CLOCK_TO_OUT、および INPUT_SETUP ですが
- Standard Setup with Hold Analysis on IOs INPUT_SETUP と CLOCK_TO_OUT 制約に対する解析を行います

Auto Timing

パラメータ : True / False デフォルト : True

LPF 制約ファイルにタイミング制約が全く記述されていない場合の処理に関する設定です。

- True (デフォルト) 自動的に物理制約が抽出・設定し (prf に書き出し)、タイミング・レポートにもその制約項目を含めます
- False prf に制約は記述しません。ただし解析自体は行い、遅延の大きなパスから順にレポートします

Check Unconstrained Connections

パラメータ : True / False デフォルト : False

タイミング制約がない接続のレポートに関する設定です。

False (デフォルト) 何もレポートされません
 True 解析対象外となったコネクションがレポートされます

Check Unconstrained Paths

パラメータ : True / False デフォルト : False

タイミング制約がないパスのレポートに関する設定です。

False (デフォルト) 何もレポートされません
 True 解析対象外となったパスがレポートされます

Full Name

パラメータ : True / False デフォルト : False

レポート内の長いリソース名の表示に関する設定です。

False (デフォルト) コンポーネント名が長いと短縮して表示します
 True 省略せずに表示します

Number of Unconstrained Paths (0 to 4096)

パラメータ : [0 - 4096] デフォルト値 : なし (無効)

レポートする未制約パス数に関する設定です。”Check Unconstrained Paths” が [True] の場合に、レポートすべきパス数を数値で入力できます。

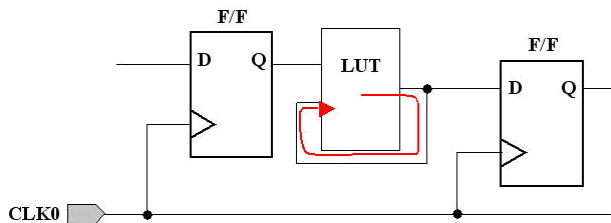
Report Asynchronous Timing Loops

パラメータ : True / False デフォルト : False

図 6-10 のようなフリップフロップを解さないループや、非同期リセットを介する非同期のループなど、単純な遅延の加算では正しく解析ができない可能性のあるパスについてのレポートに関する設定です。

False (デフォルト) レポートしません
 True レポートします

図 6-10. 非同期ループパスの例



Report Style

パラメータ : Verbose Timing Report / Error Timing Report デフォルト : Verbose Timing Report

タイミングレポートに含める内容についての設定です。

Verbose Timing Report (デフォルト) エラーの有無に関わらず、制約に対してマージンの小さいパスからレポートします。タイミングエラーがなくてもワーストケースパスを知ることができます
 Error Timing Report タイミングエラーのあるパスのみがレポートされます。タイミングエラーがない場合、最大動作周波数はレポートされますがパス情報はレポートされません

Route Estimate Algorithm (%)

パラメータ : 0 または 1 ~ 100 デフォルト値 : 0

解析時の仮配線遅延の見積りに関する設定です。値は”配線遅延の割合ではない”ことに留意します。

- 0 (デフォルト) ツールのデフォルトで設定されている配線遅延が使用されます
- 1 ~ 100 選択した値がパス全体に占めるゲート遅延の割合 (%) になるよう計算された配線遅延が使用されます。例えば [30] を設定した場合でゲート遅延の合計が 6ns のパスがあるとすると、全体の遅延は 20ns ですので、配線遅延が 14ns になるような処理が適用されます。

図 6-11. Route Estimate Algorithm を 30 に設定した場合のレポート例

```

Physical Path Details:
Data path SLICE_32 to U4/SLICE_29.

Name      Fanout  Delay (ns)      Site      Resource
REG_DEL   ---     0.495          SLICE_32.CLK to SLICE_32.Q0 SLICE_32 (from cki_prbs_c)
ROUTE     17      e 1.104         SLICE_32.Q0 to U4/SLICE_29.C1 enb_prbs_sr[1]
CTOF_DEL  ---     0.495          U4/SLICE_29.C1 to U4/SLICE_29.F1 U4/SLICE_29
ROUTE     1       e 1.104         U4/SLICE_29.F1 to */SLICE_29.D11 U4/prbs9_3[5] (to cki_prbs_c)
-----
3.155      (30.0% logic, 70.0% route), 2 logic levels.
    
```

なお、図 6-11 において遅延要因 "ROUTE" 行にある "e" 印は、仮の配線遅延値を用いていることを意味します。

Worst Case Paths (0-4096)

パラメータ : 1 ~ 4096 または 0 デフォルト値 : 1

詳細にレポートされるパス数に関する設定です。

- 1 ~ 4096 制約ごとに指定パス数の詳細がレポートされます
- 0 "Report Style" が [Error Timing Report] の場合、何もレポートされません。
[Verbose Timing Report] の場合、全パスの詳細がレポートされます。大きなデザインだとファイルサイズが極端に大きくなり過ぎて開けなくなることもありますので、十分に注意する必要があります。

6.5 マッピング後のタイミング・レポート

6.5.1 レポート・ファイル名

サブプロセス "Map Trace" がイネーブルされていると、マッピング・プロセス実行後に、インプリメンテーション・フォルダーに HTML とテキスト形式のタイミング・レポートが出力されます。内容はどちらも同じですが、ファイル名はそれぞれ以下ようになります。HTML レポートは、レポートビューで閲覧できます。

HTML 形式 : <プロジェクト名><インプリメンテーション名>_tw1.html

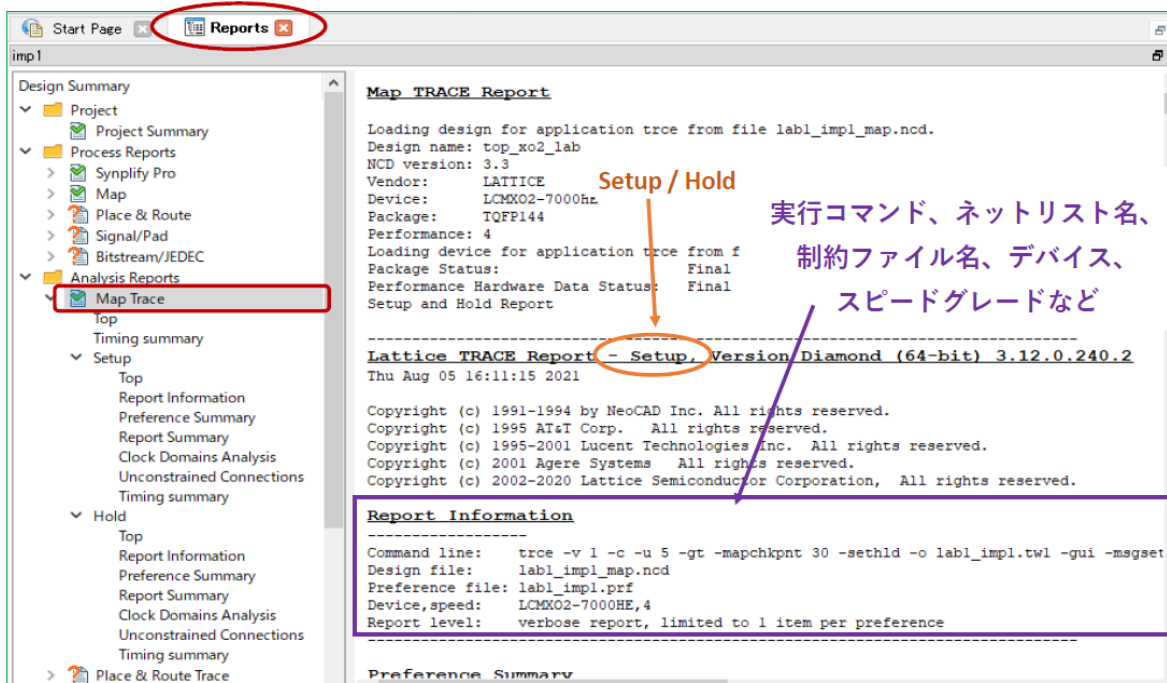
テキスト形式 : <プロジェクト名><インプリメンテーション名>.tw1

6.5.2 レポート概要

解析レポートには主に以下のような項目が含まれます。

- ・ 解析実行環境 各制約に対する解析の詳細
- ・ 解析結果のサマリー クリティカルネット情報
- ・ クロックドメイン解析情報 解析対象外コネクションやパス
- ・ 総パス数やタイミング制約カバレッジ

図 6-12. Map Trace レポート例

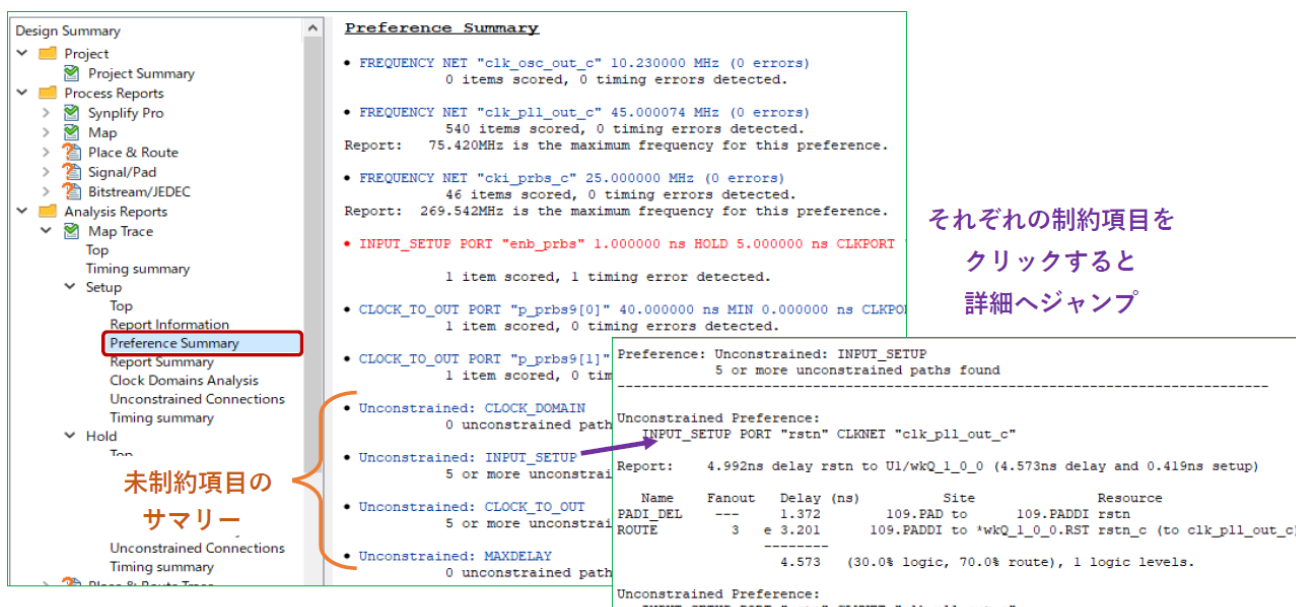


6.5.2.1 解析実行環境のレポート

図 6-12 のようにレポートファイルの先頭には、解析を行ったツールやライブラリーのバージョン、解析対象のネットリストおよび制約ファイル等の情報が出力されます。”Report Information”の後には”Preference Summary”(図 6-13)として各周波数制約の結果がリストされます。ストラテジー設定で”Check Unconstrained Paths”を[True]にした場合には、未制約項目の解析結果がその後に出力されます。

それぞれの制約をクリックすると詳細レポート部にジャンプします。

図 6-13. 制約 (Preference) サマリー部の例



6.5.2.2 各制約の詳細レポート

与えた制約ごとに詳細な解析結果がレポートされます(図 6-14)。先頭には、制約記述、その制約の対象となったパス数およびエラー数がレポートされます。なお、解析対象パス数の表示は、ストラテジーの "Worst Case Paths" の設定値に依存します。なお、対象パスの指定値が最大の 4096 の場合で対象がそれを超えていても、解析は表示される最大値は 4096 です。解析自体は全パスについて実行されます。

その後、タイミングマージン (スラック) の小さいパスから順に、詳細情報がレポートされます。

パスごとのレポートの 1 行目はタイミング制約に対する合否判定と、タイミングマージン (エラーの場合は不足分) が表示されます。行頭が "Passed" であれば、タイミング制約を満たしています。行末の数値がタイミングマージンです。

タイミング制約が満たされていない場合は行頭に "Error" と表示されます。この場合、行末に記載されている数値が、要求値に対する不足/超過分 (ネガティブ・スラック) です。

図 6-14. 詳細レポート例

```

=====
Preference: FREQUENCY PORT "CLKD" 100.000000 MHz ;
           36 items scored, 0 timing errors detected.
=====
Passed: The following path meets requirements by 8.567ns
-----
Logical Details: Cell type Pin type Cell/ASIC name (clock net +/-)
Source:          FF        Q        sr_adra_1 (from CLKD_c +)
Destination:     FF        Data in  sr_adra_6 (to CLKD_c +)

Delay:           1.358ns (79.2% logic, 20.8% route), 4 logic levels.

Constraint Details:

1.358ns physical path delay SLICE_2 to SLICE_4 meets
10.000ns delay constraint less
0.075ns DIN_SET requirement (totaling 9.925ns) by 8.567ns

Physical Path Details:
Name Fanout Delay (ns) Site Resource
REG_DEL --- 0.303 SLICE_2.CLK to SLICE_2.Q0 SLICE_2 (from CLKD_c)
ROUTE 3 e 0.279 SLICE_2.Q0 to SLICE_2.A0 sr_adra_1
COTOFQ_DE --- 0.465 SLICE_2.A0 to SLICE_2.FCO SLICE_2
ROUTE 1 e 0.001 SLICE_2.FCO to SLICE_3.FCI sr_adra_cry_2
FCITOFQ_D --- 0.070 SLICE_3.FCI to SLICE_3.FCO SLICE_3
ROUTE 1 e 0.001 SLICE_3.FCO to SLICE_4.FCI sr_adra_cry_4
FCITOF1_DE --- 0.238 SLICE_4.FCI to SLICE_4.F1 SLICE_4
ROUTE 1 e 0.001 SLICE_4.F1 to SLICE_4.D11 sr_adra_s_6 (to CLKD_c)
-----
1.358 (79.2% logic, 20.8% route), 4 logic levels.
    
```

次にレポートされるのはパスの始点 (Source) および終点 (Destination) のオブジェクト名です。クロックで動作するオブジェクト (フリップフロップやブロックメモリ等) は、オブジェクト名の右側括弧内にクロック名と有効エッジ (+: 立ち上がり、-: 立下り) が表示されます。

個別パスレポートの最後は、パス経路各遅延エレメントごとの遅延値、スライスとポートです。配線遅延 (ROUTE) に見積もり値が使用されていることを表すため、遅延値の左側に "e" と表記されます。制約の種類や回路構成に応じて、クロック遅延もレポートされます。

6.5.2.3 レポート・サマリー

"Report Summary" 部が制約と解析結果のサマリーです (図 6-15)。“Preference” は制約記述、“Constraint” は適用された制約値、“Actual” は解析結果、“Levels” はクリティカルパスの論理回路段数です。制約を満たしていない項目については、論理回路段数の右側に "*" 印が表示されます。

図 6-15. Map Trace のレポート・サマリー例

Report Summary

Preference	Constraint	Actual	Levels
FREQUENCY PORT "SPMCLK" 50.000000 MHz ;	50.000 MHz	164.015 MHz	7
INPUT_SETUP PORT "SPMADR_3" 10.000000 ns HOLD 5.000000 ns CLKPORT "SPMCLK" ; Setup Analysis.	10.000 ns	1.411 ns	1
CLOCK_TO_OUT PORT "SPMDO_3" 4.000000 ns MIN 2.000000 ns CLKPORT "SPMCLK" ; Setup Analysis.	4.000 ns	5.618 ns	2 *

要求値を満たせていない場合に表示される印

6.5.2.4 クリティカルネット情報

タイミングエラーがある場合、タイミング制約を満たしていないパスに共通して含まれているネット名がレポートされます。全てのタイミング制約を満たしている場合は、この項目はレポートされません。”Critical Nets” は該当するネット名、”% of total” はそのネットを含むタイミングエラー・パスの割合を表します。

6.5.2.5 クロックドメイン解析情報

タイミング解析ツールがネットリストから抽出したクロック・ネットワークと、それに適用されたタイミング制約のリストがレポートされます(図 6-16)。

クロックドメインをまたぐパスがあった場合は、パスの始点側フリップフロップのクロック情報と、そのパスに適用された制約や、その制約の対象となったパス数が、ネスティング形式でレポートされます。クロックドメイン間の全てのパスに対して、必要な制約が設定されているかどうかを確認できます。

図 6-16. クロックドメイン解析レポート例

Clock Domains Analysis

Found 7 clocks:

- Clock Domain: RCLK in c Source: RCLK in.PAD Loads: 232
Covered under: FREQUENCY NET "RCLK_in_c" 108.000000 MHz ;
- Data transfers from:
Clock Domain: rx_inst/sclk_c Source: rx_inst/pll_inst0/PLLInst_0.CLKOK
Covered under: MULTICYCLE FROM CLKNET "rx_inst/sclk_c" TO CLKNET "RCLK_in_c" 2.000000 X
- Clock Domain: CLK Tx c Source: CLK Tx.PAD Loads: 151
Covered under: FREQUENCY NET "CLK_Tx_c" 108.000000 MHz ;
- Data transfers from:
Clock Domain: tx_inst/sclk_c Source: tx_inst/PLL_INST/PLLInst_0.CLKOK
Covered under: MULTICYCLE FROM CLKNET "tx_inst/sclk_c" TO CLKNET "CLK_Tx_c" 2.000000 X ;
- Clock Domain: rx_inst/sclk_c Source: rx_inst/pll_inst0/PLLInst_0.CLKOK Loads: 150
Covered under: FREQUENCY NET "rx_inst/sclk_c" 189.000000 MHz ;
- Data transfers from:
Clock Domain: RCLK in c Source: RCLK in.PAD
Covered under: MULTICYCLE FROM CLKNET "RCLK_in_c" TO CLKNET "rx_inst/sclk_c" 2.000000 X
- Clock Domain: rx_inst/eclk Source: rx_inst/pll_inst0/PLLInst_0.CLKOK
Covered under: Timing Rule Check Transfers: 5

抽出ドメインと制約

各ドメインを終点とする別ドメイン始点のパスと制約

6.5.2.6 未制約パスと未制約コネクション

ストラテジー・オプション ”Check Unconstrained Paths” を [True] に設定した場合に限り、図 6-13 に示すように、タイミング解析の対象とならなかったパスの情報がレポートされます (サマリー部の最後の部分)。制約が与えられるべきパスが含まれていないかどうかを確認できます。未制約パスのタイプには CLOCK_DOMAIN、INPUT_SETUP、CLOCK_TO_OUTPUT、および MAXDELAY の 4 つがあります。

パスではなくネットに対する同様なオプションが、ストラテジー・オプション ”Check Unconstrained Connections” です。[True] に設定した場合、クロックドメイン・レポートの次に続きます。与えるべき制約

の確認という目的のためには、煩雑さという観点でパスのほうが一般的には容易です。

6.5.2.7 タイミングルール・チェック (Timing Rule Check)

DDR Generic や DDR メモリー・インターフェイスなど、INPUT_SETUP や CLOCK_TO_OUTPUT 制約が与えられている場合で、デバイス固有の複数のクロック系統を扱うハードマクロが実装されている場合、セットアップ / ホールド解析レポートセクションの最後に本項目がレポートされます。マクロが正常動作するために規定されている内部タイミングの DRC (Design Rule Check) 結果です。

タイミング違反がレポートされている場合は、これを解消する必要があります。通常は、当該マクロに関連する入力クロックなどに周波数制約が与えられていない場合、或いは与えられていても不適切 (不正確) な場合が殆どです。パスの詳細レポートを参照して、制約の追加・編集を行うようにします。

6.5.2.8 タイミング・サマリー

Setup/Hold 部レポートの最後は、解析されたパス数 / ネット数 / コネクション数と、いわゆるカバレッジ (coverage) のレポートです (図 6-17)。BLOCK 制約など、明示的に解析する必要がないとして指定したものは、カバレッジに含まれます。カバレッジは少なくとも 95% 以上となるようにすることを推奨します。

図 6-17. タイミング・サマリー例 (セットアップ)

```

Timing summary (Setup):
-----
Timing errors: 2  Score: 20635
Cumulative negative slack: 20635

Constraints cover 7088 paths, 5 nets, and 3338 connections (98.6% coverage)

```

6.6 シミュレーション用 RTL の生成

シミュレーション用の RTL ネットリストは、マッピング・プロセス下のサブプロセス "VHDL Simulation File" および "Verilog Simulation File" (図 6-2) で生成します。左側のチェックボックスにチェックが入っていると、マッピング後に連続して実行されます。チェックが入っていない場合でも、サブプロセス名をダブルクリックすると実行されます。

ネットリストを RTL に変換したファイルと sdf ファイルが、インプリメンテーション・フォルダーの下に出力されます。ファイル名は、それぞれ以下のようになります。

```

ネットリスト (VHDL)      : <プロジェクト名>_<インプリメンテーション名>_mapvho.vho
SDF (VHDL)               : <プロジェクト名>_<インプリメンテーション名>_mapvho.sdf
ネットリスト (Verilog HDL) : <プロジェクト名>_<インプリメンテーション名>_mapvo.vo
SDF (Verilog HDL)       : <プロジェクト名>_<インプリメンテーション名>_mapvo.sdf

```

sdf ファイルの遅延値は LUT やフリップフロップなどは適切な数値が入っていますが、配線遅延は全て 0ps です。なお、有償 IP がデザインに含まれている場合、この機能の実行には当該 IP のフィーチャー・ライセンスが必要です。ご注意ください。

--- *** ---