MPE
(Microchip Power Estimator)

V2021_R1.0
v2021.x

MACNICA

2022年3月

フィネッセカンパニー

技術統括部

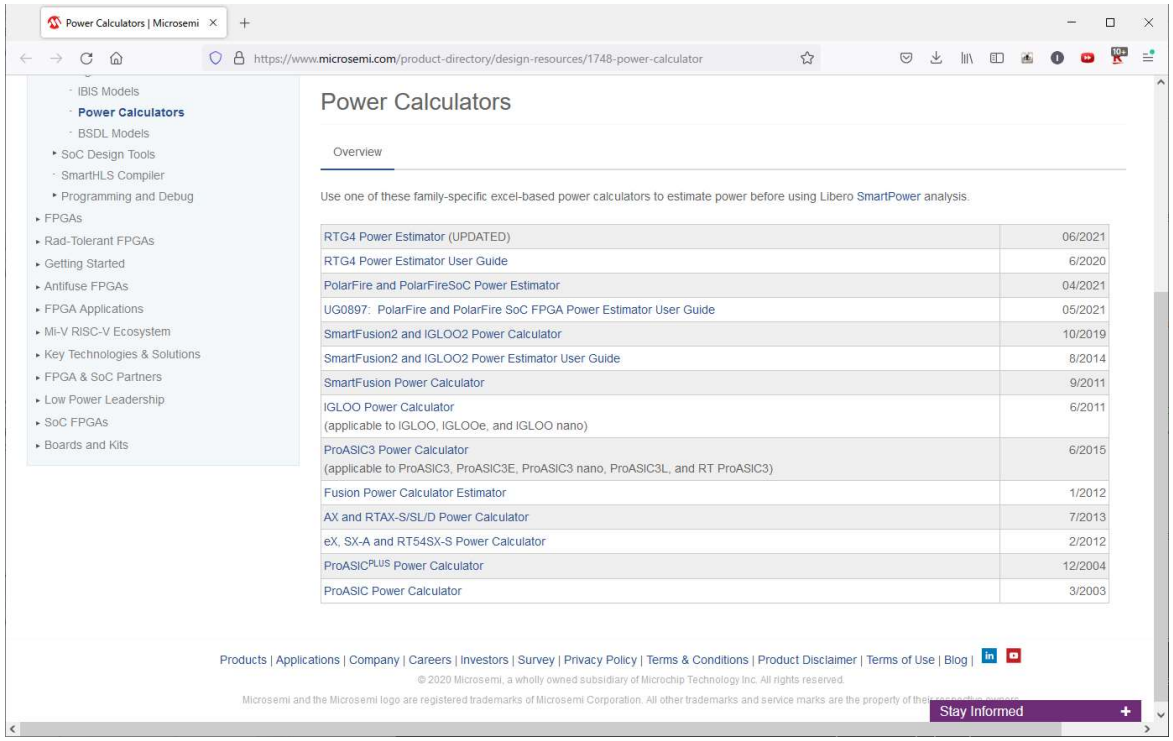
消費電力計算ツール

- **MPE（Microchip Power Estimator）**
  - スプレッド・シート・ベースの消費電力計算ツール
  - 設計前でも電力見積もりが可能
  - 動作周波数、デバイス型番、クロック、トグルレート、その他のパラメーターに基づいて電力モデルと組み合わせて、消費電力を推定
- **機能**
  - 迅速な電力見積もりのためにワークシートに統合されたシンプルなGUI
  - アクティブモードとスタンバイモードでの電力見積もり
  - シナリオを使用した電力見積もり
  - デバイスの機能毎に電力見積もり可能な個別のワークシート
  - ユーザー指定の温度入力に基づくTj (接合部温度) の計算
  - Libero SoC からのImport

消費電力見積もり

入手方法

- **Microchip メーカーページのURL**
  - https://www.microsemi.com/product-directory/design-resources/1748-power-calculator
  - ファミリー毎のリンクより入手可能

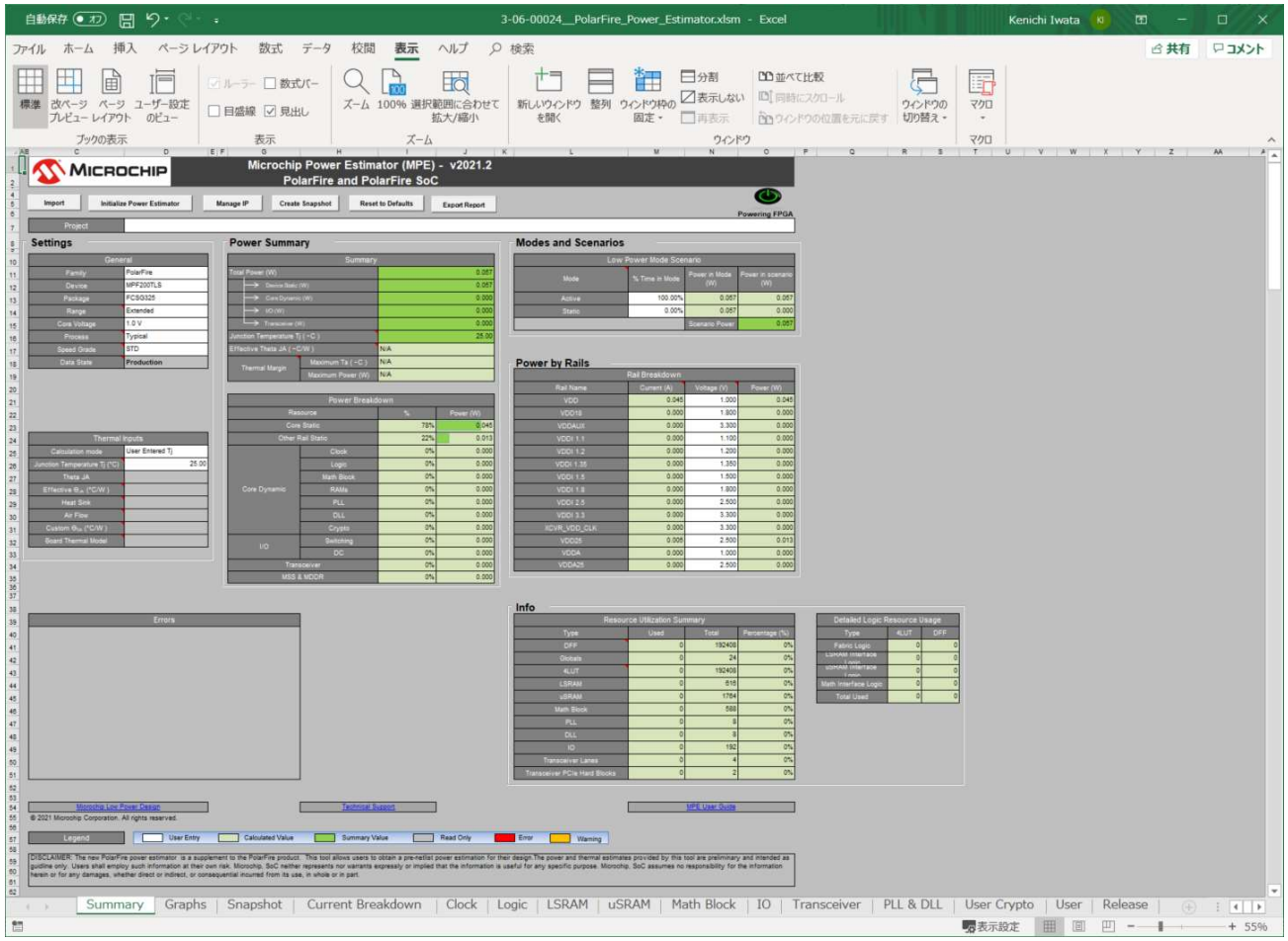


User Guide

- **詳細はUser Guide参照**
  - PolarFire UG0897
  - https://www.microsemi.com/document-portal/doc_download/1244575-ug0897-polarfire-and-polarfire-soc-fpga-power-estimator-user-guide
  - SmartFusion2/IGLOO2 User Guide
  - https://www.microsemi.com/document-portal/doc_download/132884-smartfusion2-and-igloo2-power-estimator-user-guide

MPEの起動

- DownloadしたExcelをオープン



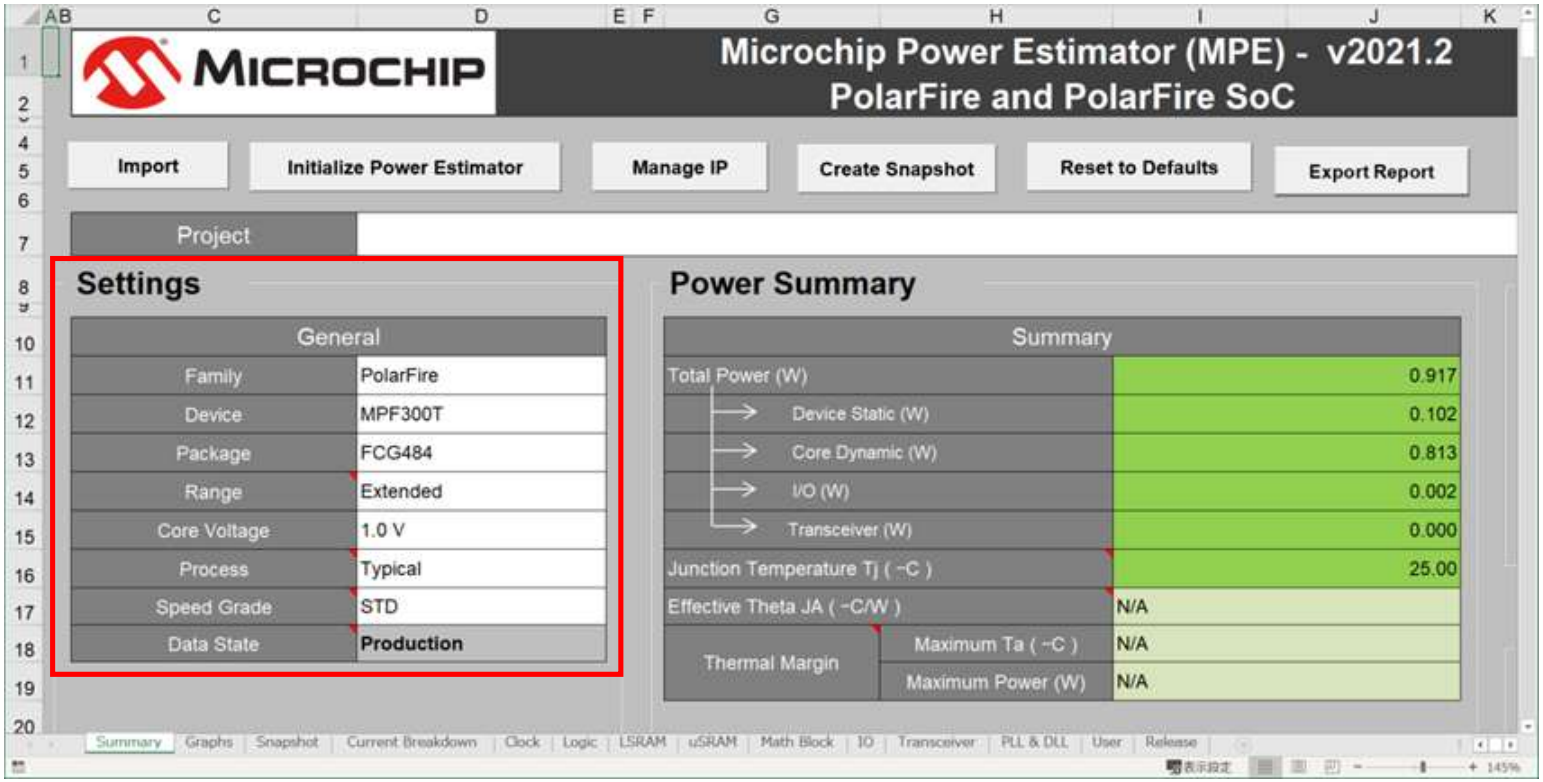
使用方法 1

使用方法1

- **設計前**
  - 詳細仕様が未定時での大まかな見積もり
  - デバイス規模の使用率25/50/75/100%＋動作周波数で見積もり

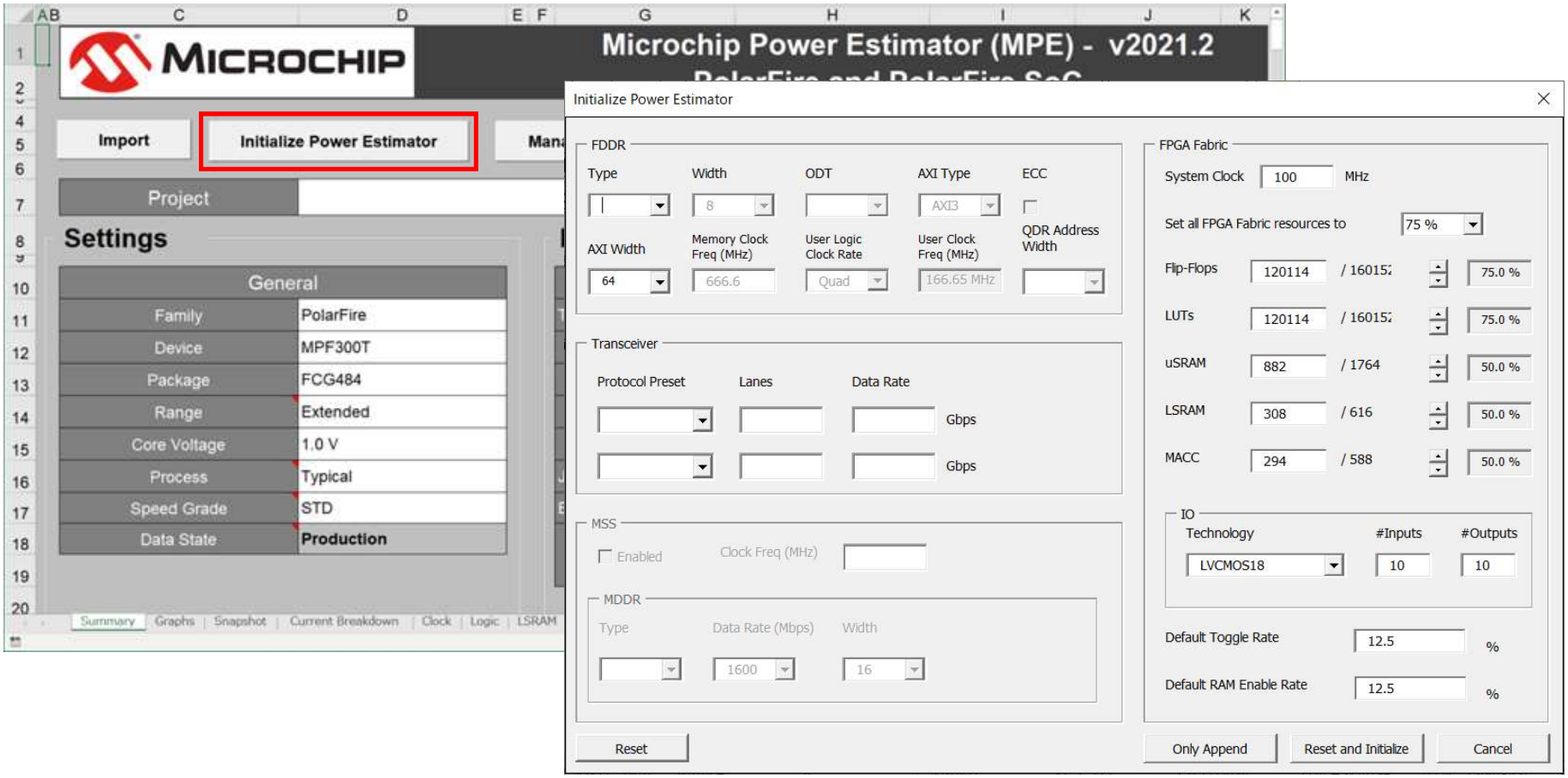
デバイス選定

- “Settings”より選択



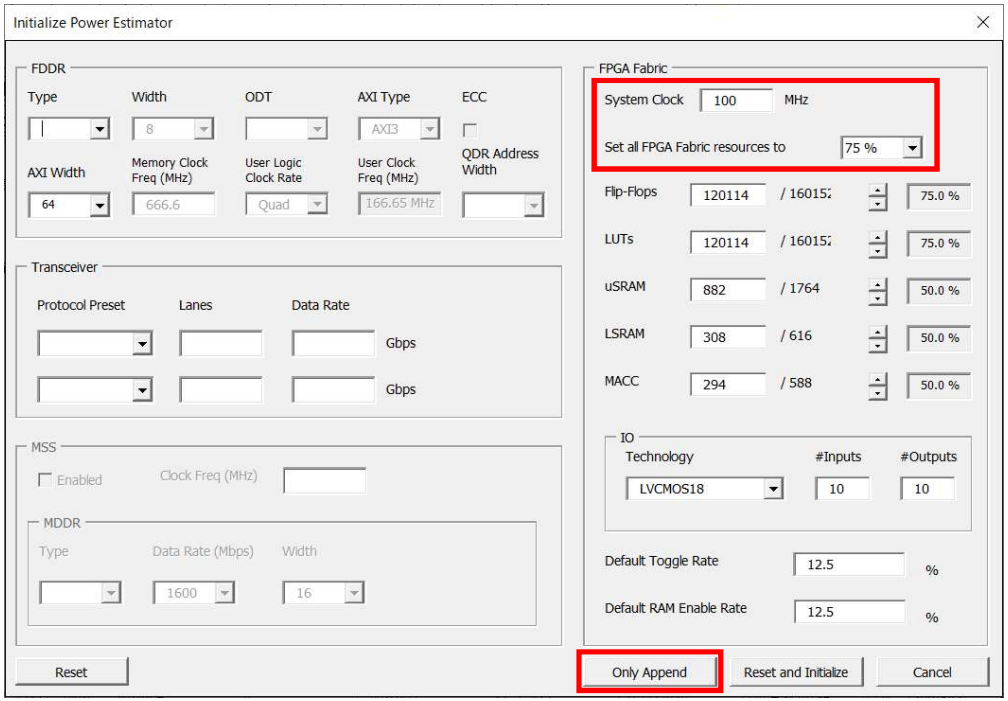
Initialize Power Estimatorをオープン

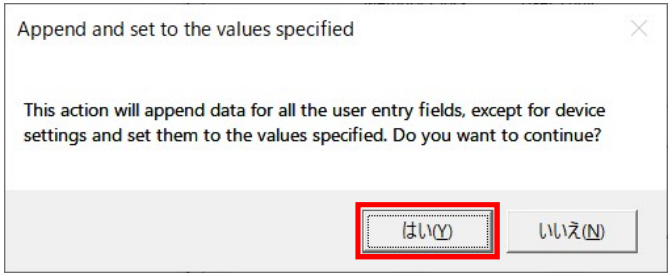
- “Initialize Power Estimator” ボタンを選択



使用率＋動作周波数の設定

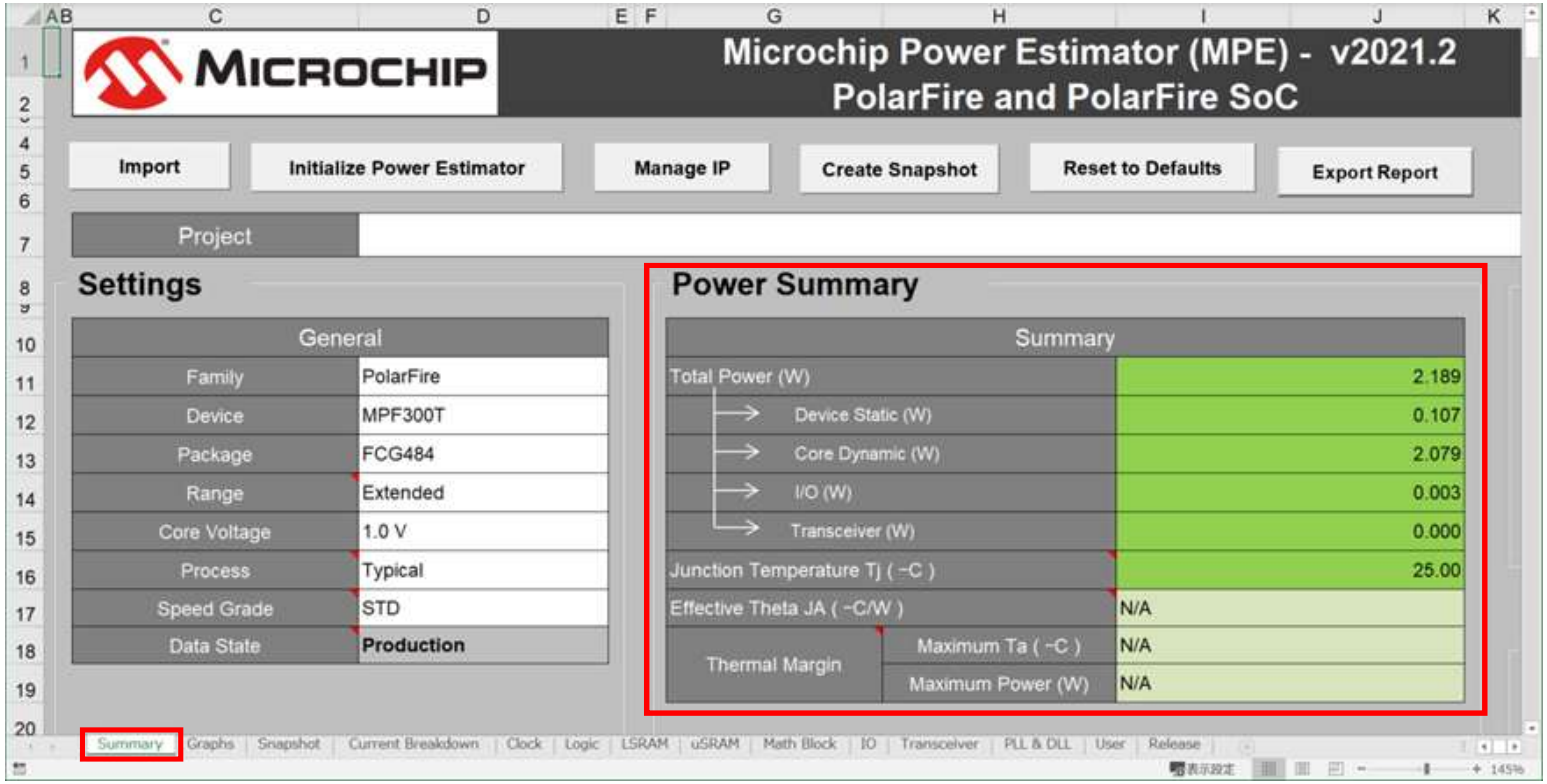
- “System Clock” MHzに動作周波数(Fmax)を入力
- “Set all FPGA Fabric Resources to”で25/50/75/100%を選択
- “Only Append”で決定、上書き確認で“はい”を選択





結果の確認

- “Summary”で結果を確認



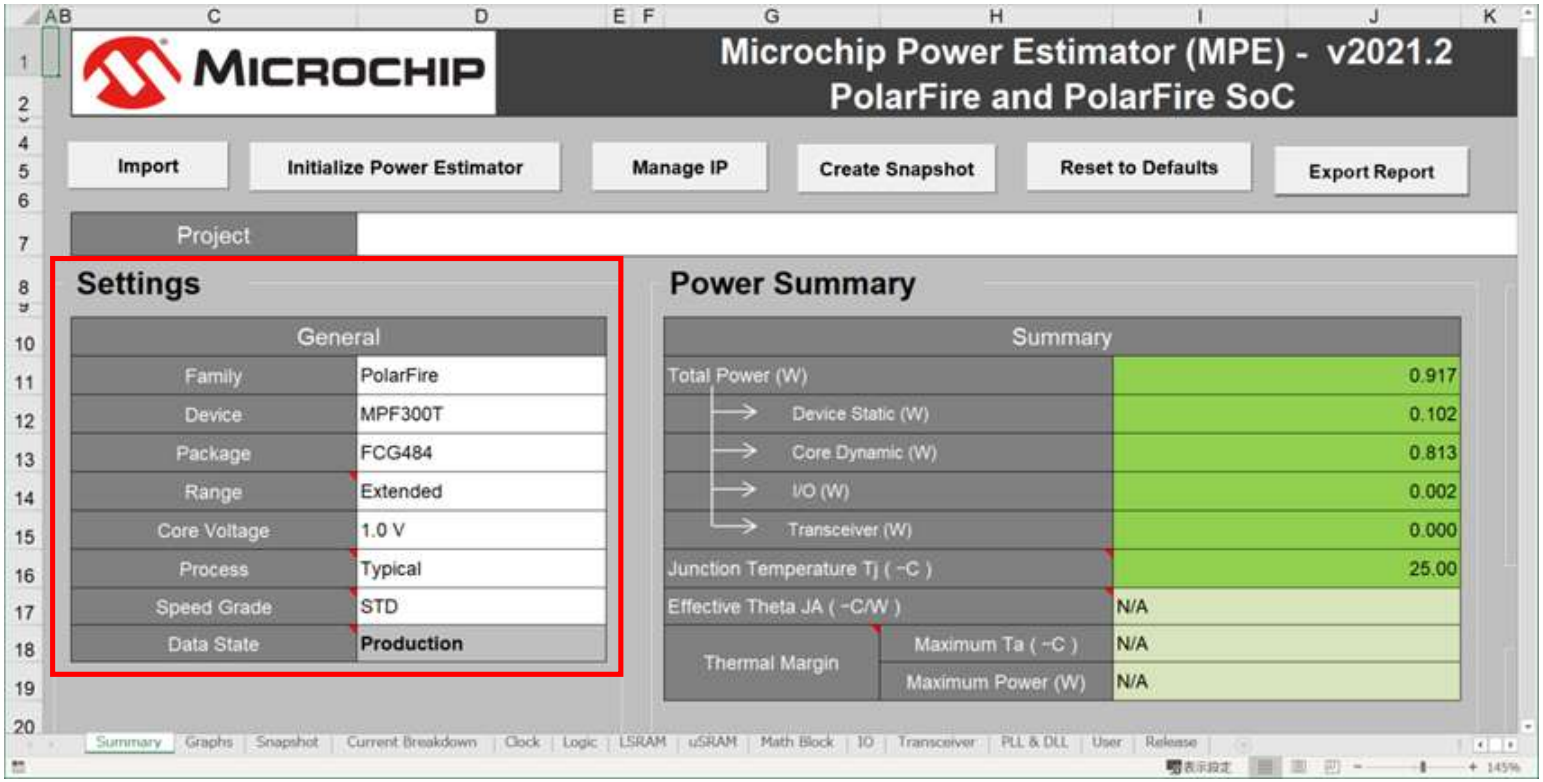
使用方法2

使用方法２

- **仕様確定または設計中**
  - 詳細仕様が確定後または設計中で大まかな規模が設定可能

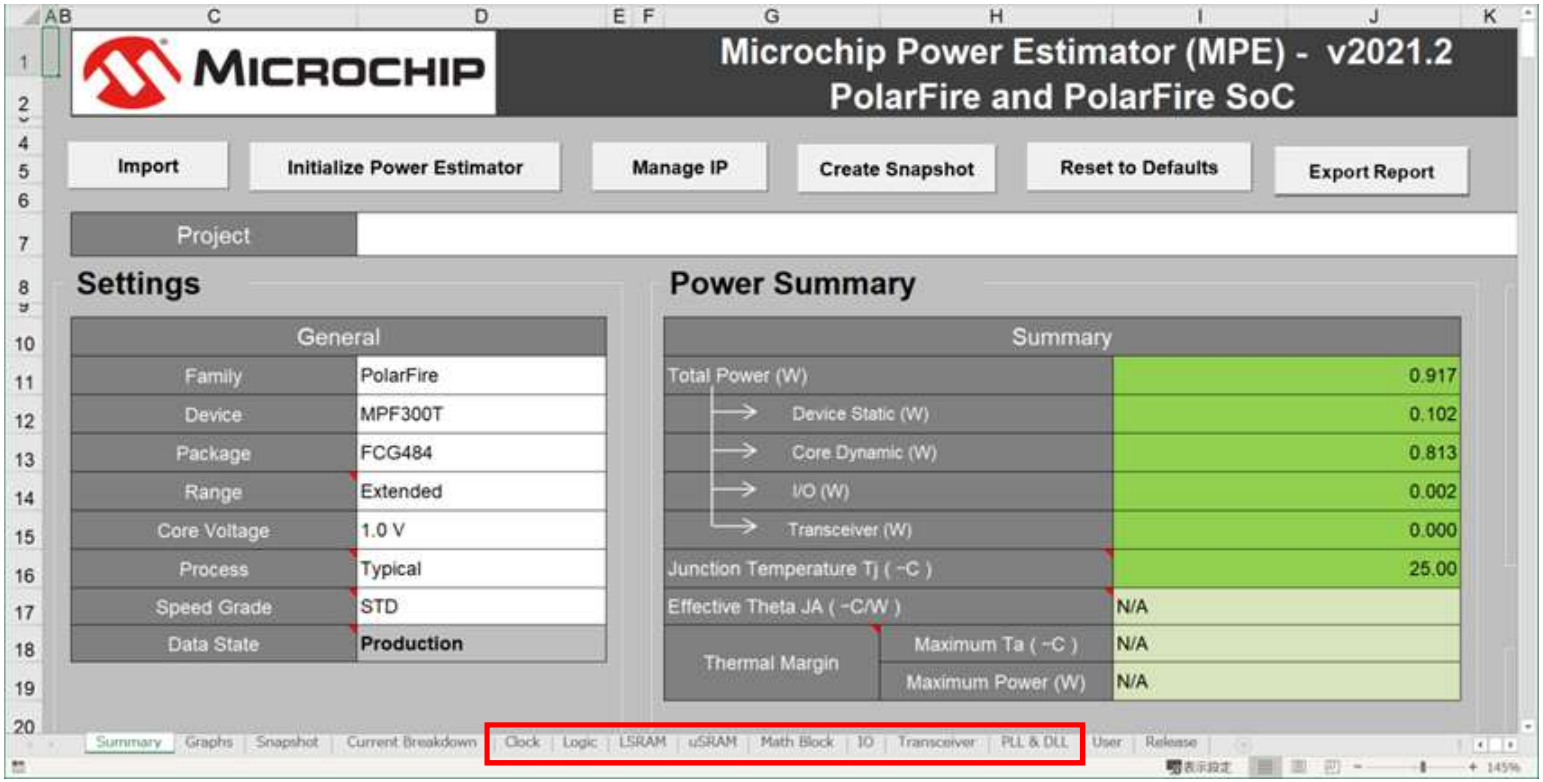
デバイス選定

- “Settings”より選択



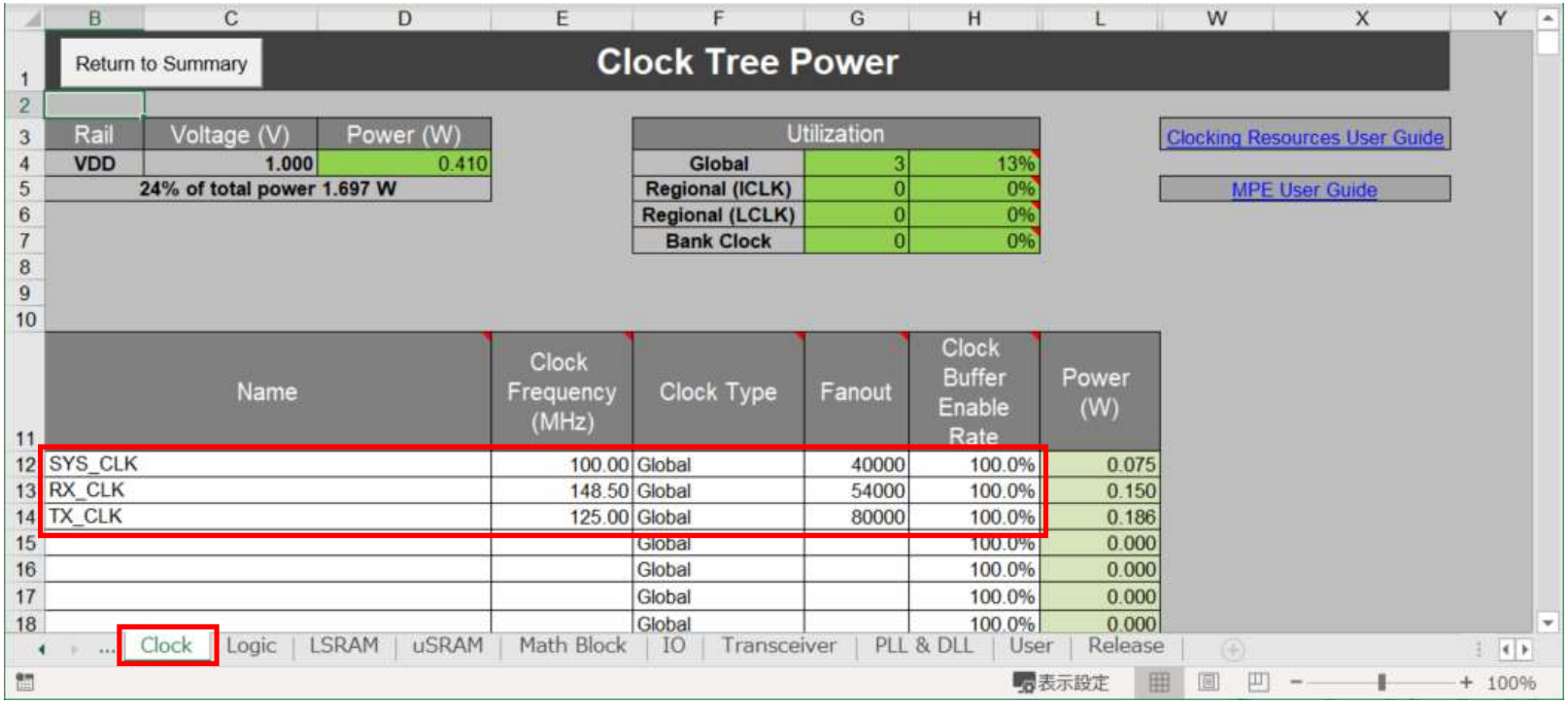
各種シートで詳細設定

- “Clock”、“Logic”、“LSRAM”、“uSRAM”、“Math Block”、“IO”、“Transceiver”、“PLL & DLL” シートで詳細設定



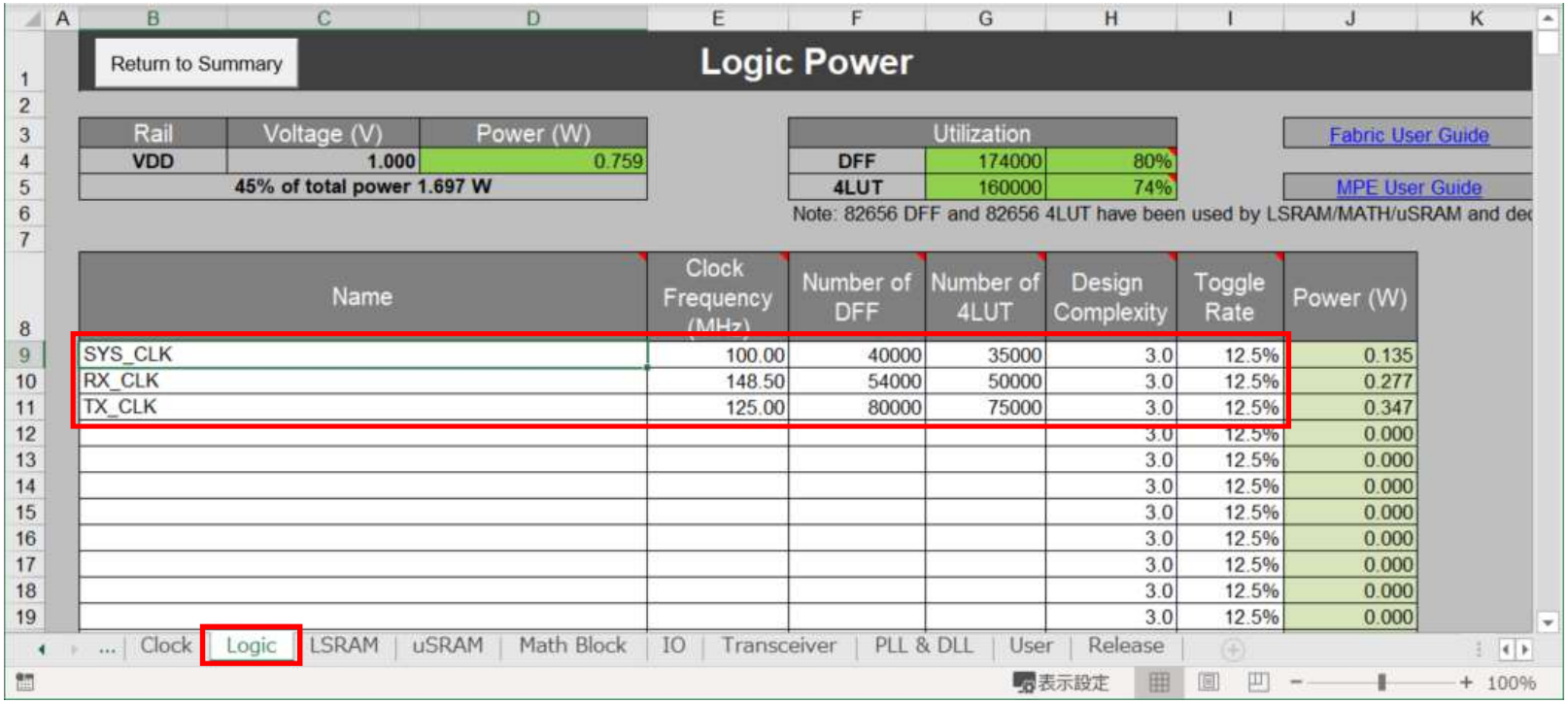
Clockの設定

- **“Clock”シートで入力**
  - クロック系統や周波数別に個別の名称で、周波数/Fanout 数を設定



Logicの設定

- **“Logic”シートで入力**
  - クロック系統やコンポーネント名を個別の名称で、周波数/DFF数/4LUT数を設定



Return to Summary

Logic Power

Rail	Voltage (V)	Power (W)
VDD	1.000	0.759
45% of total power 1.697 W		

Utilization		
DFF	174000	80%
4LUT	160000	74%

Fabric User Guide

MPE User Guide

Note: 82656 DFF and 82656 4LUT have been used by LSRAM/MATH/uSRAM and dec

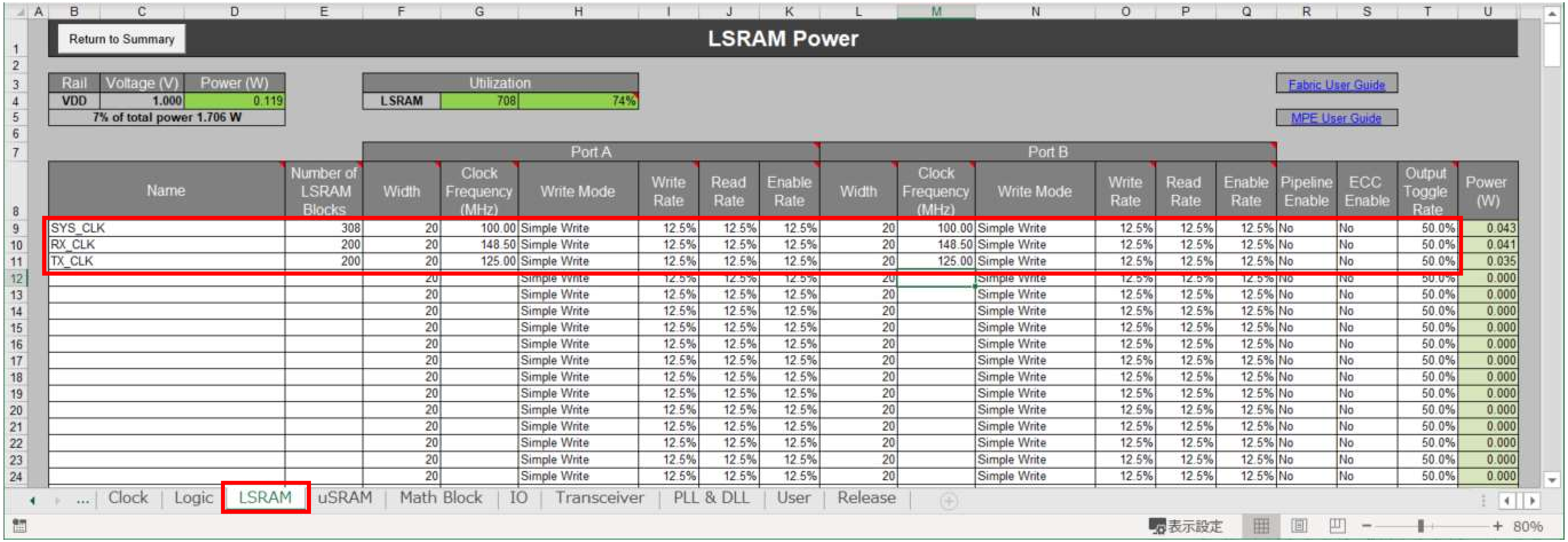
Name	Clock Frequency (MHz)	Number of DFF	Number of 4LUT	Design Complexity	Toggle Rate	Power (W)
SYS_CLK	100.00	40000	35000	3.0	12.5%	0.135
RX_CLK	148.50	54000	50000	3.0	12.5%	0.277
TX_CLK	125.00	80000	75000	3.0	12.5%	0.347
				3.0	12.5%	0.000
				3.0	12.5%	0.000
				3.0	12.5%	0.000
				3.0	12.5%	0.000
				3.0	12.5%	0.000
				3.0	12.5%	0.000
				3.0	12.5%	0.000

... | Clock | Logic | LSRAM | uSRAM | Math Block | IO | Transceiver | PLL & DLL | User | Release

表示設定 100%

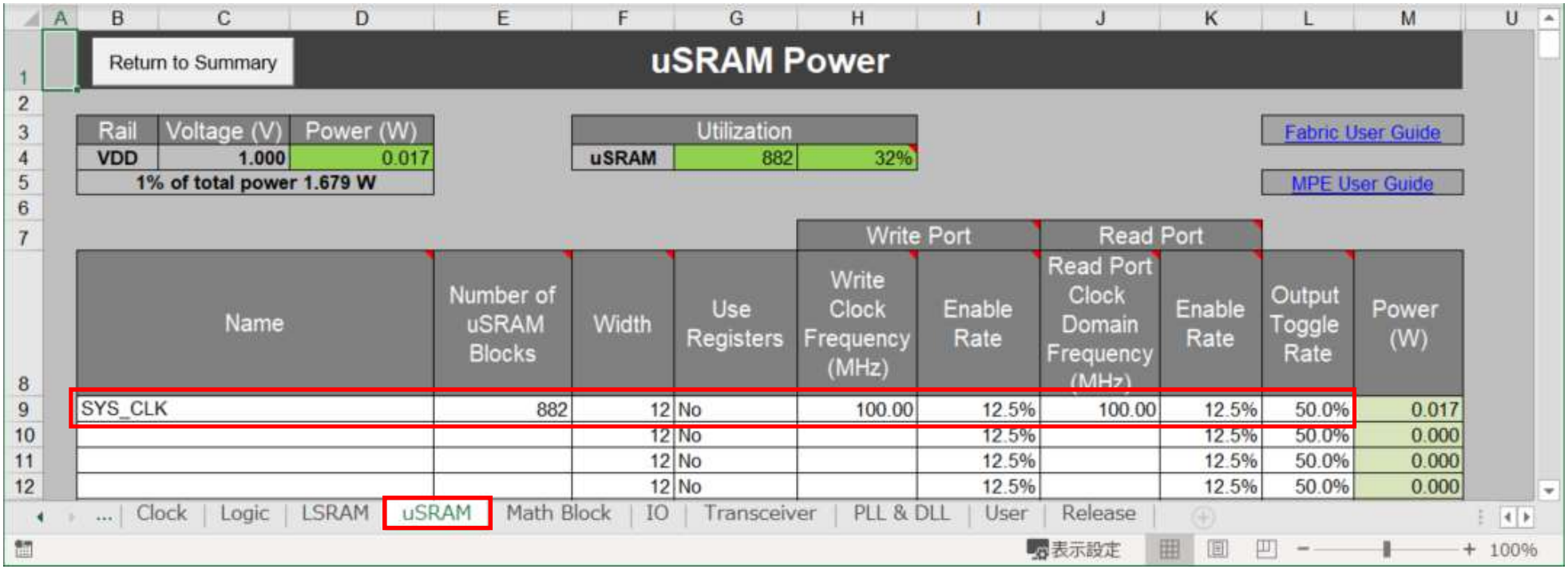
LSRAMの設定

- **“LSRAM”シートで入力**
  - クロック系統やコンポーネント名を個別の名称で、LSRAM Block数/Width(データ幅)/周波数などを設定



uSRAMの設定

- **“uSRAM”シートで入力**
  - クロック系統やコンポーネント名を個別の名称で、uSRAM Block数/Width(データ幅)/周波数などを設定



Return to Summary

uSRAM Power

Rail	Voltage (V)	Power (W)
VDD	1.000	0.017
1% of total power 1.679 W		

Utilization		
uSRAM	882	32%

Fabric User Guide

MPE User Guide

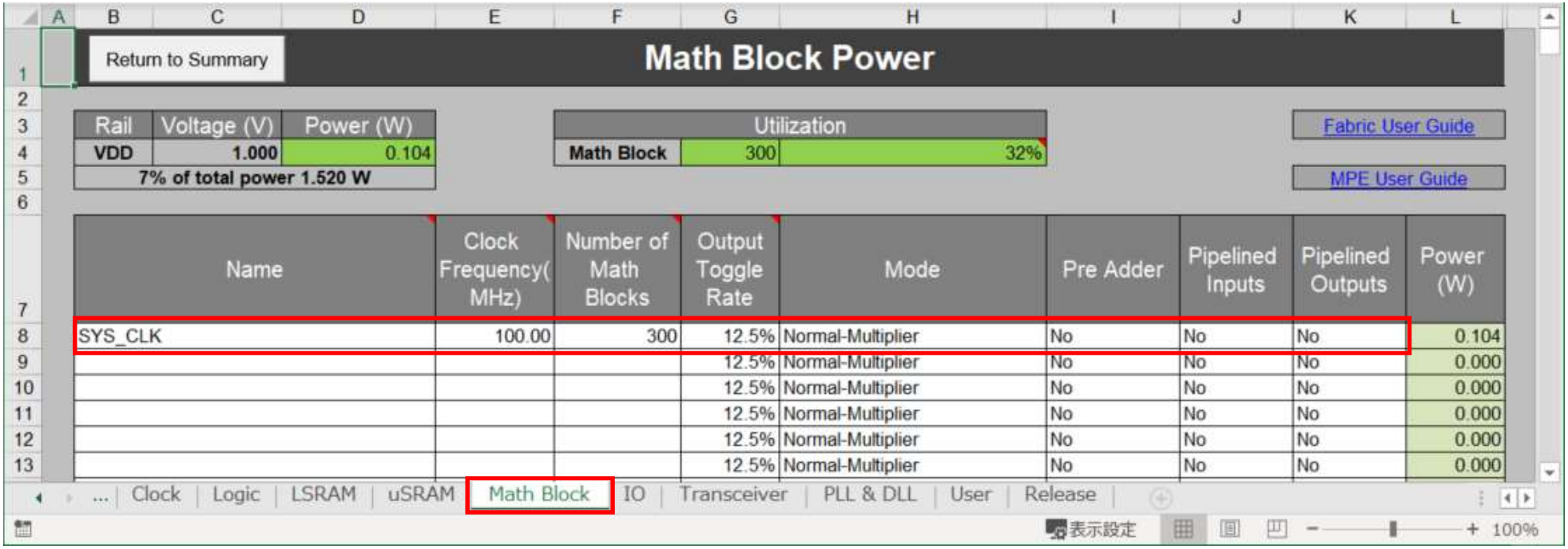
Name	Number of uSRAM Blocks	Width	Use Registers	Write Port: Write Clock Frequency (MHz)	Write Port: Enable Rate	Read Port: Read Port Clock Domain Frequency (MHz)	Read Port: Enable Rate	Output Toggle Rate	Power (W)
SYS_CLK	882	12	No	100.00	12.5%	100.00	12.5%	50.0%	0.017
		12	No		12.5%		12.5%	50.0%	0.000
		12	No		12.5%		12.5%	50.0%	0.000
		12	No		12.5%		12.5%	50.0%	0.000

Clock | Logic | LSRAM | uSRAM | Math Block | IO | Transceiver | PLL & DLL | User | Release

表示設定 100%

Math Blockの設定

- **“Math Block”シートで入力**
  - クロック系統やコンポーネント名を個別の名称で、周波数/Math Block数/Mode(ダウンリストより選択)などを設定



Return to Summary

Math Block Power

Rail	Voltage (V)	Power (W)
VDD	1.000	0.104
7% of total power 1.520 W		

Utilization		
Math Block	300	32%

Fabric User Guide

MPE User Guide

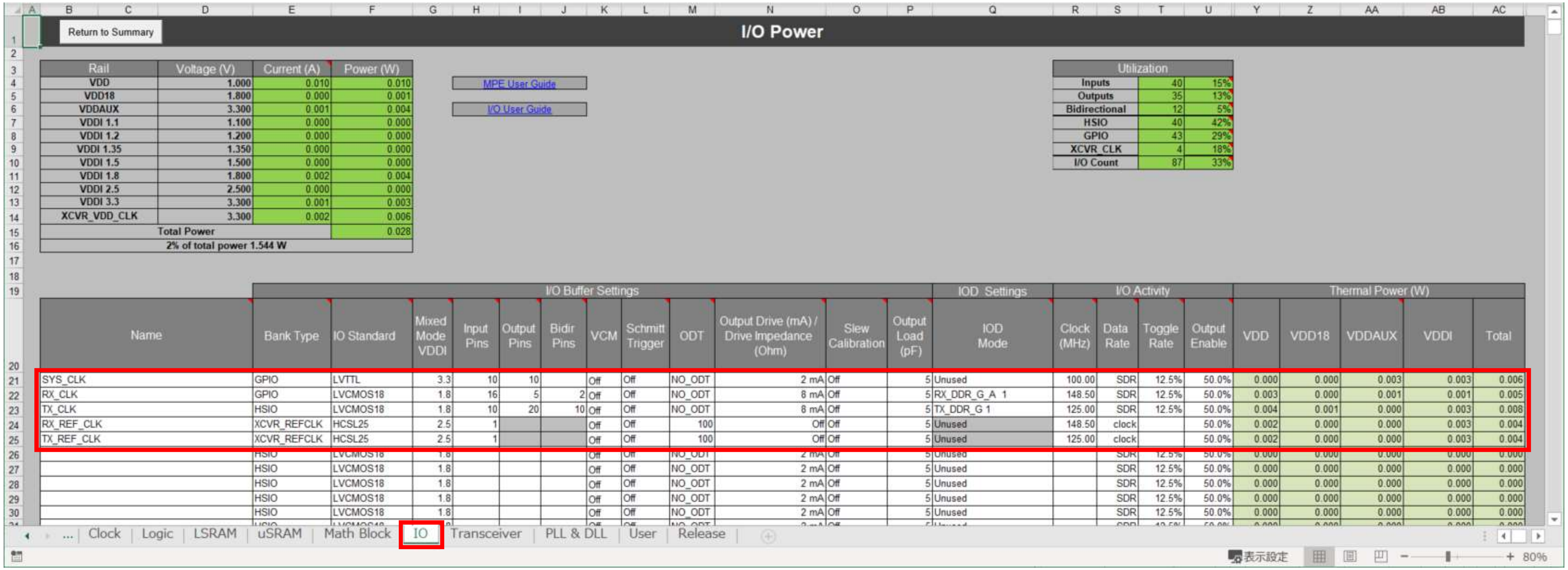
Name	Clock Frequency(MHz)	Number of Math Blocks	Output Toggle Rate	Mode	Pre Adder	Pipelined Inputs	Pipelined Outputs	Power (W)
SYS_CLK	100.00	300	12.5%	Normal-Multiplier	No	No	No	0.104
			12.5%	Normal-Multiplier	No	No	No	0.000
			12.5%	Normal-Multiplier	No	No	No	0.000
			12.5%	Normal-Multiplier	No	No	No	0.000
			12.5%	Normal-Multiplier	No	No	No	0.000
			12.5%	Normal-Multiplier	No	No	No	0.000

... | Clock | Logic | LSRAM | uSRAM | Math Block | IO | Transceiver | PLL & DLL | User | Release

表示設定 100%

IOの設定

- **“IO”シートで入力**
  - クロック系統やIO Standardを個別の名称で、Bank Type/IO Standard/Input Pins/Output Pinsなどを設定



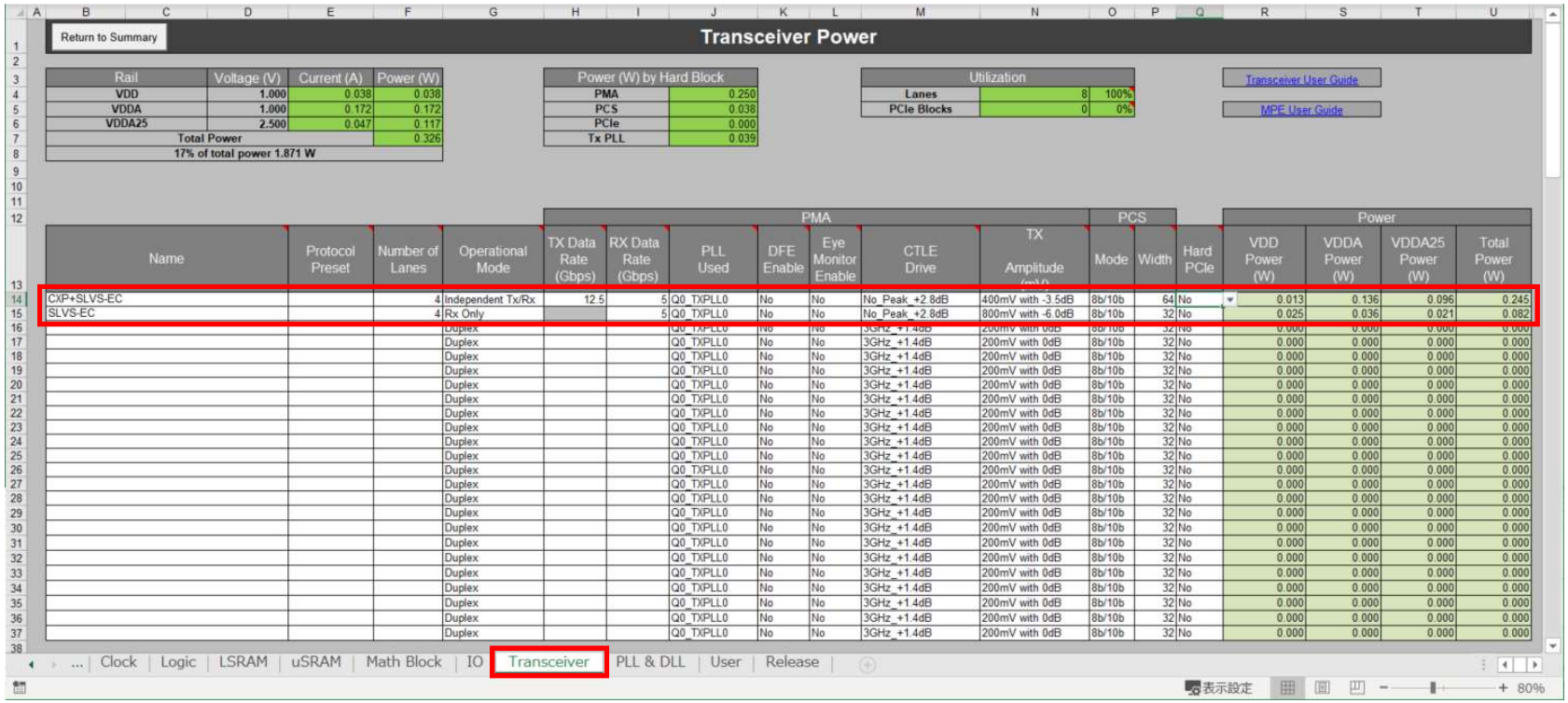
Rail	Voltage (V)	Current (A)	Power (W)
VDD	1.000	0.010	0.010
VDD18	1.800	0.000	0.001
VDDAUX	3.300	0.001	0.004
VDDI 1.1	1.100	0.000	0.000
VDDI 1.2	1.200	0.000	0.000
VDDI 1.35	1.350	0.000	0.000
VDDI 1.5	1.500	0.000	0.000
VDDI 1.8	1.800	0.002	0.004
VDDI 2.5	2.500	0.000	0.000
VDDI 3.3	3.300	0.001	0.003
XCVR_VDD_CLK	3.300	0.002	0.006
Total Power			0.028
2% of total power 1.544 W			

Utilization		
Inputs	40	15%
Outputs	35	13%
Bidirectional	12	5%
HSIO	40	42%
GPIO	43	29%
XCVR_CLK	4	18%
I/O Count	87	33%

	I/O Buffer Settings												IOD Settings	I/O Activity				Thermal Power (W)				
Name	Bank Type	IO Standard	Mixed Mode VDDI	Input Pins	Output Pins	Bidir Pins	VCM	Schmitt Trigger	ODT	Output Drive (mA) / Drive Impedance (Ohm)	Slew Calibration	Output Load (pF)	IOD Mode	Clock (MHz)	Data Rate	Toggle Rate	Output Enable	VDD	VDD18	VDDAUX	VDDI	Total
SYS_CLK	GPIO	LVTTL	3.3	10	10		Off	Off	NO_ODT	2 mA	Off	5	Unused	100.00	SDR	12.5%	50.0%	0.000	0.000	0.003	0.003	0.006
RX_CLK	GPIO	LVCMOS18	1.8	16	5	2	Off	Off	NO_ODT	8 mA	Off	5	RX_DDR_G_A 1	148.50	SDR	12.5%	50.0%	0.003	0.000	0.001	0.001	0.005
TX_CLK	HSIO	LVCMOS18	1.8	10	20	10	Off	Off	NO_ODT	8 mA	Off	5	TX_DDR_G 1	125.00	SDR	12.5%	50.0%	0.004	0.001	0.000	0.003	0.008
RX_REF_CLK	XCVR_REFCLK	HCSL25	2.5	1			Off	Off	100	Off	Off	5	Unused	148.50	clock		50.0%	0.002	0.000	0.000	0.003	0.004
TX_REF_CLK	XCVR_REFCLK	HCSL25	2.5	1			Off	Off	100	Off	Off	5	Unused	125.00	clock		50.0%	0.002	0.000	0.000	0.003	0.004
	HSIO	LVCMOS18	1.8				Off	Off	NO_ODT	2 mA	Off	5	Unused		SDR	12.5%	50.0%	0.000	0.000	0.000	0.000	0.000
	HSIO	LVCMOS18	1.8				Off	Off	NO_ODT	2 mA	Off	5	Unused		SDR	12.5%	50.0%	0.000	0.000	0.000	0.000	0.000
	HSIO	LVCMOS18	1.8				Off	Off	NO_ODT	2 mA	Off	5	Unused		SDR	12.5%	50.0%	0.000	0.000	0.000	0.000	0.000
	HSIO	LVCMOS18	1.8				Off	Off	NO_ODT	2 mA	Off	5	Unused		SDR	12.5%	50.0%	0.000	0.000	0.000	0.000	0.000
	HSIO	LVCMOS18	1.8				Off	Off	NO_ODT	2 mA	Off	5	Unused		SDR	12.5%	50.0%	0.000	0.000	0.000	0.000	0.000

Transceiverの設定

- **“Transceiver”シートで入力**
  - クロック系統やコンポーネント名を個別の名称で、Lanes/Operational Mode/TX Data Rate(Gpbs)/RX Data Rate(Gbps)Width(データ幅)/PLL Used/Widthなどを設定



Return to Summary

Transceiver Power

Rail	Voltage (V)	Current (A)	Power (W)
VDD	1.000	0.038	0.038
VDDA	1.000	0.172	0.172
VDDA25	2.500	0.047	0.117
Total Power			0.326
17% of total power 1.871 W			

Power (W) by Hard Block	
PMA	0.250
PCS	0.038
PCIe	0.000
Tx PLL	0.039

Utilization		
Lanes	8	100%
PCIe Blocks	0	0%

Transceiver User Guide

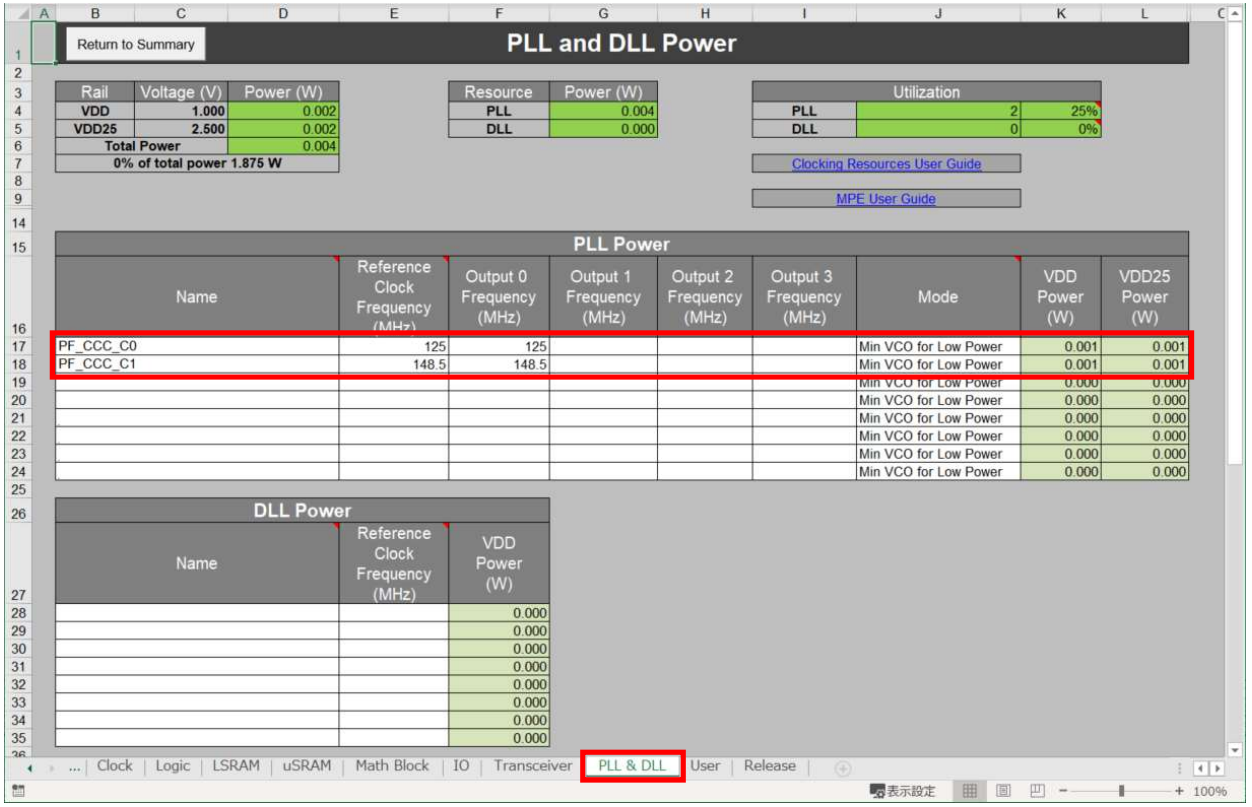
MPE User Guide

				PMA							PCS			Power			
Name	Protocol Preset	Number of Lanes	Operational Mode	TX Data Rate (Gbps)	RX Data Rate (Gbps)	PLL Used	DFE Enable	Eye Monitor Enable	CTLE Drive	TX Amplitude	Mode	Width	Hard PCIe	VDD Power (W)	VDDA Power (W)	VDDA25 Power (W)	Total Power (W)
CXP+SLVS-EC		4	Independent Tx/Rx	12.5	5	Q0_TXPLL0	No	No	No_Peak_+2.8dB	400mV with -3.5dB	8b/10b	64	No	0.013	0.136	0.096	0.245
SLVS-EC		4	Rx Only		5	Q0_TXPLL0	No	No	No_Peak_+2.8dB	800mV with -6.0dB	8b/10b	32	No	0.025	0.036	0.021	0.082
			Duplex			Q0_TXPLL0	No	No	3GHz_+1.4dB	200mV with 0dB	8b/10b	32	No	0.000	0.000	0.000	0.000

Clock | Logic | LSRAM | uSRAM | Math Block | IO | Transceiver | PLL & DLL | User | Release

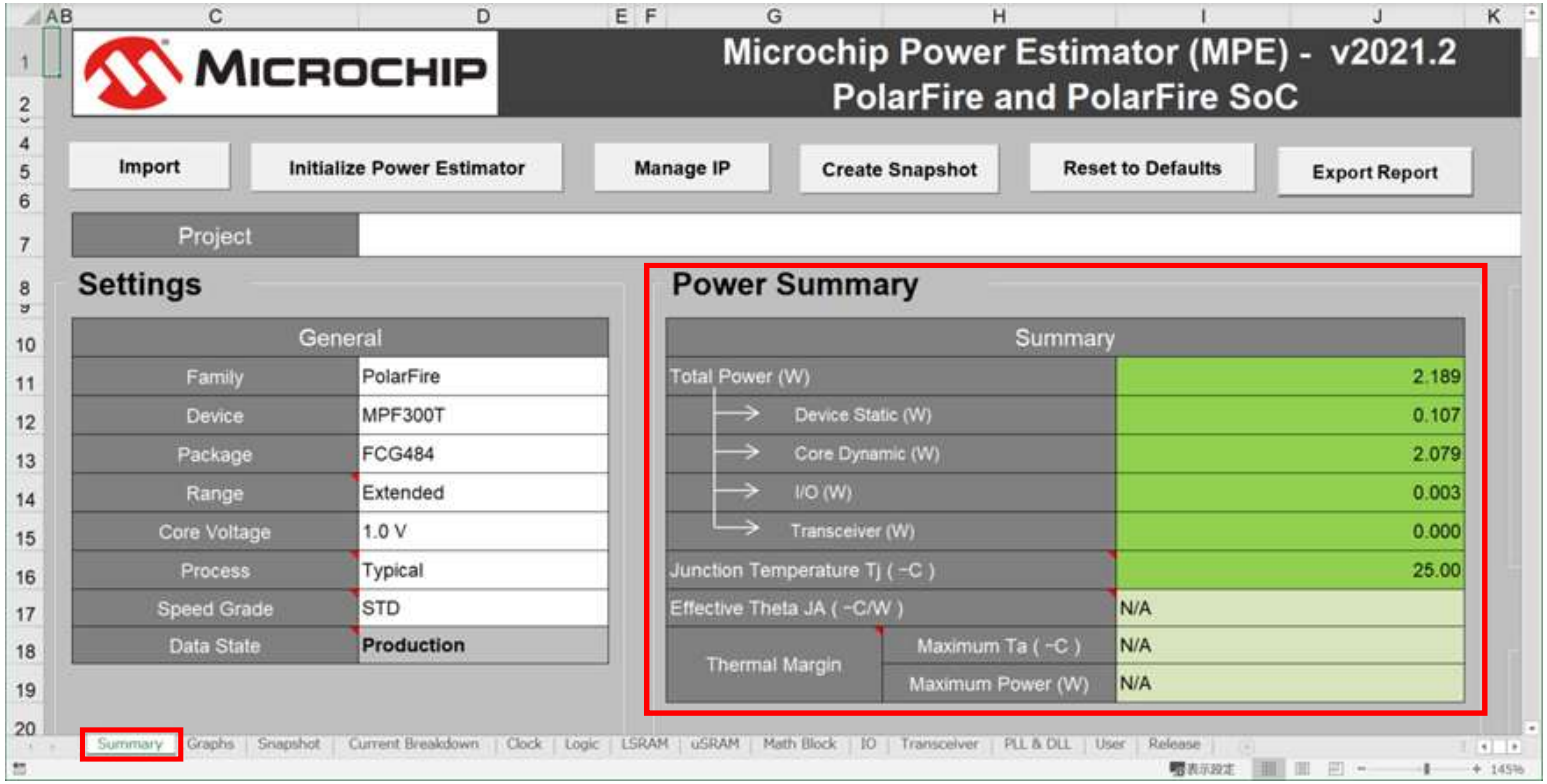
PLL & DLLの設定

- **“PLL & DLL”シートで入力**
  - PLLやクロック系統を個別の名称で、入力周波数/出力周波数/Modeを設定



結果の確認

- “Summary”で結果を確認



使用方法3

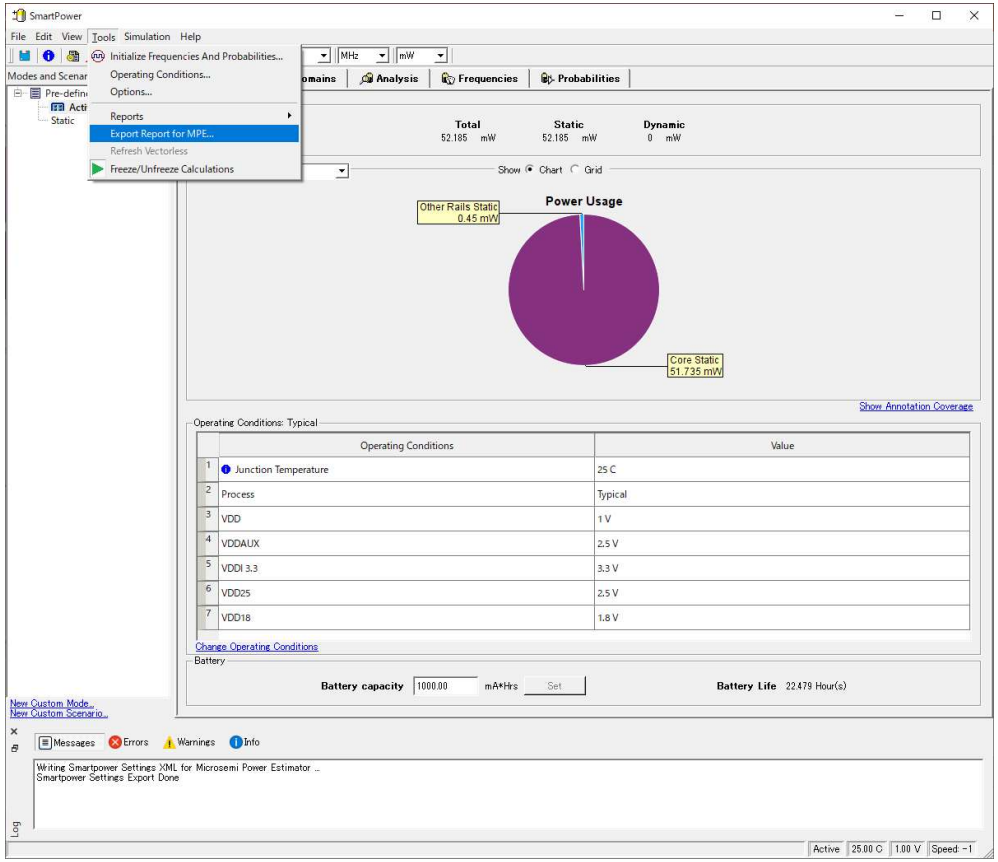
使用方法3

- **Libero SoC からのImport**
  - Libero SoC にて設計中でPlace & Routeまで可能、または、PLLやIPを配置済みでPlace & Routeまで可能なサンプルデザインが用意可能

- **注意**
  - MPEとLibero SoCのバージョンは要確認

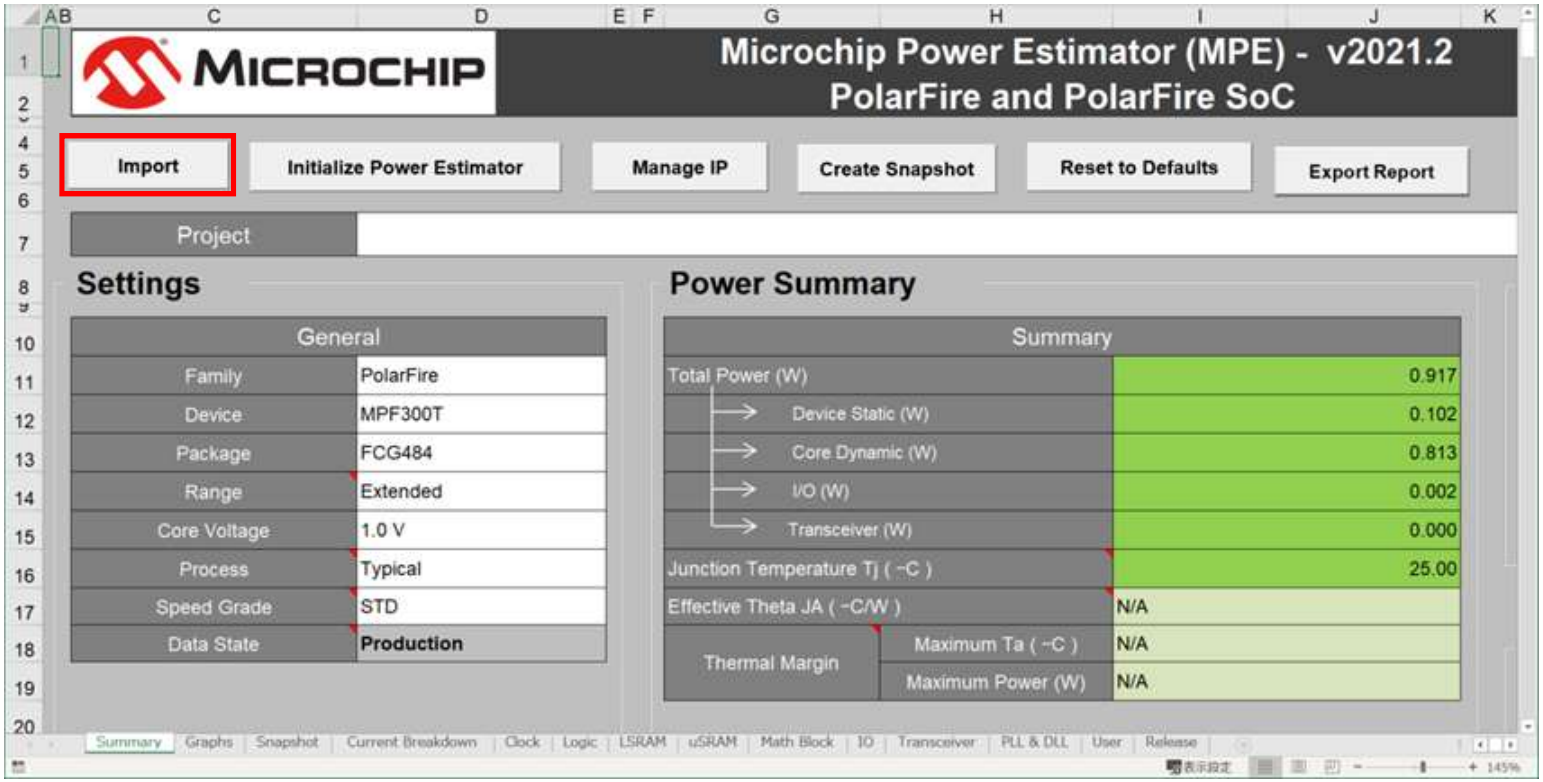
Libero SoC のSmartPower で生成

- **MPE のImport用ファイルの出力**
  - SmartPower 起動後“Tools” => “Export Report for MPE…” を選択



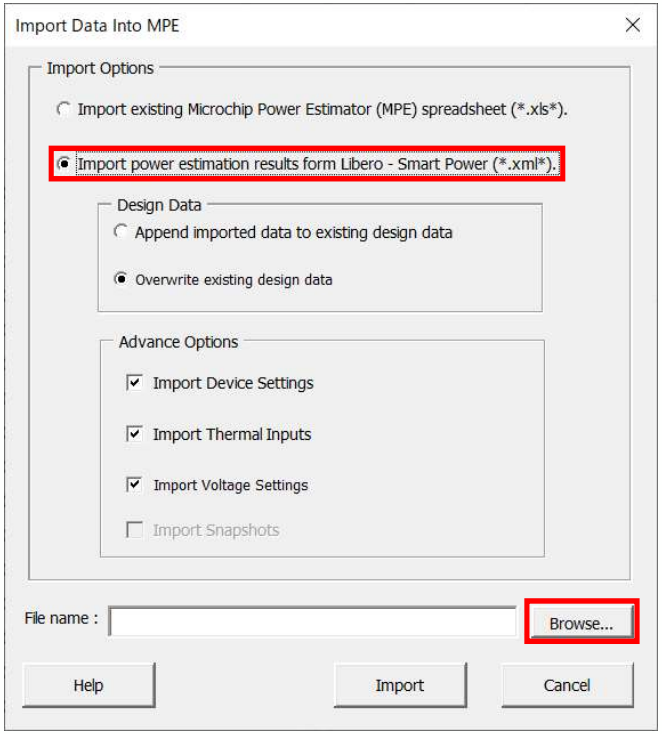
Import

- “Summary”シートの“Import”を選択



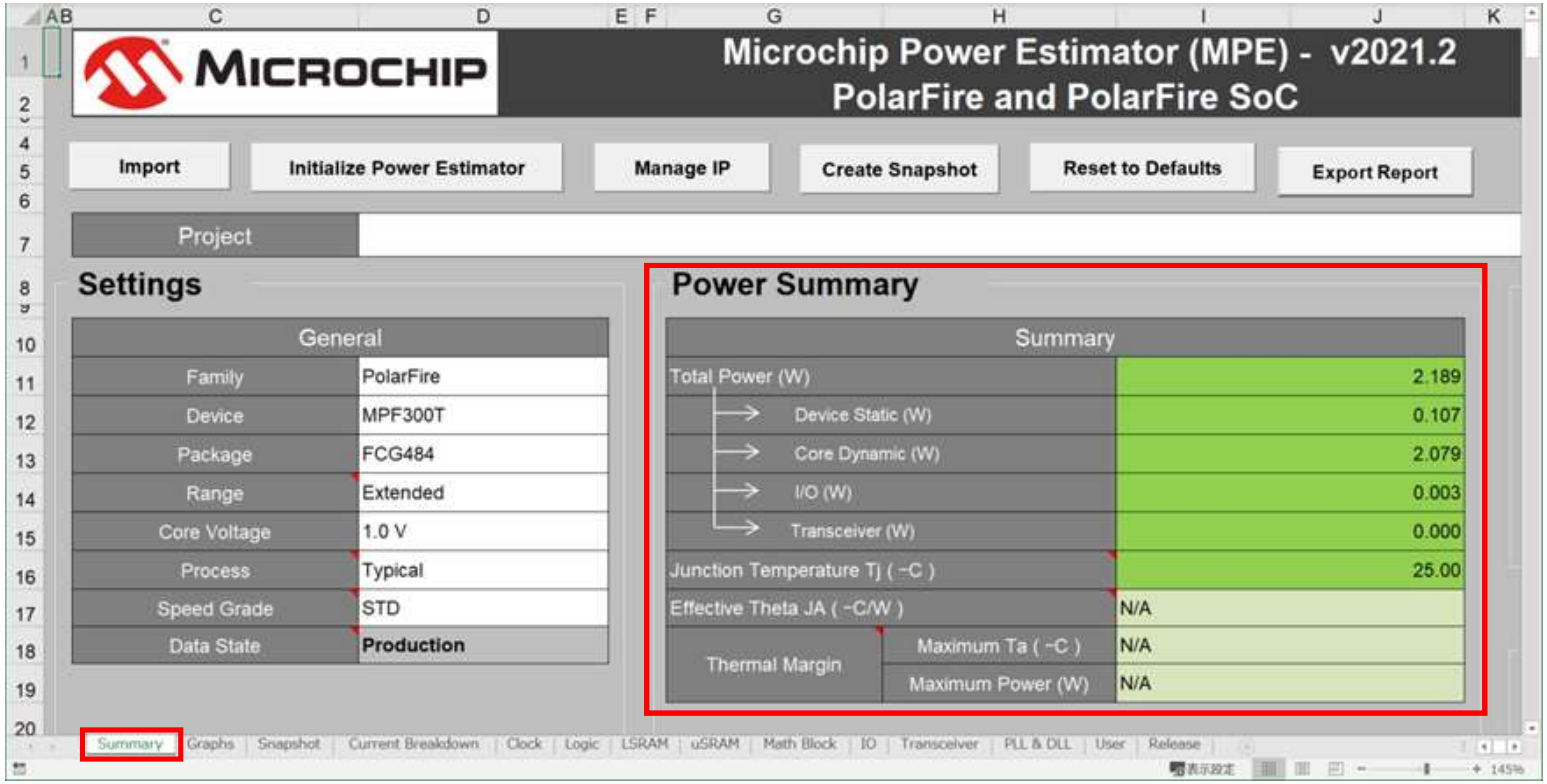
Import

- “Import power estimation results form Libero – Smart Power (*.xml)”を選択
- “Brows…”からSmartPowerよりExportしたファイルを選択



結果の確認

- “Summary”で結果を確認



履歴

● 改版

リビジョン	日付	概要
V2021_R1.0	2022年4月	新規作成