

JTAG基板設計資料

Rev.1.1

1 はじめに	P3
2 Latticeダウンロードケーブル	P4
-ダウンロードケーブル電源電圧、形状一覧	P5
- ispJTAGピン概要	P6
- pDS4102-DL2、pDS4102-DL2A (8pin)	P7
- HW7265-DL2、HW7265-DL2A (10pin)	P8
- HW7265-DL3、HW7265-DL3A (Fly-wire)	P9
- HW-USB-1A、HW-USB-2A (Fly-wire)	P10
-コネクタ寸法図 (8pin)	P11
3 CPLDのJTAG設計	P12
- CPLDのJTAG設計	P13
- CPLDのJTAG設計	P16
- CPLDのJTAG設計	P19
- CPLDのJTAG設計	P23
4 FPGAのJTAG設計	P26
- FPGAのJTAG設計	P27
- FPGAのJTAG設計	P32
- FPGAのJTAG設計	P34
- FPGAのJTAG設計	P37
-その他専用ピン	P40
6 JTAGチェーン	P42
- JTAGチェーンの注意事項	P43
- 5Vコア電源と3.3Vコア電源のJTAGチェーン例	P44
- M4Aとの混合チェーン例	P45
- 1.8Vコア電源と他のコア電源との混在チェーン例	P46
- 1.8Vコア電源のみのJTAGチェーン例	P47
7 付録	P48

- ・本資料はJTAGを使用した書き込みの方法、注意点などをまとめた基板設計資料です。デバイスの詳細に関しましては、それぞれのデータシートをご参照下さい。
- ・JTAGはIEEEで認定された、ボードテスト(バウンダリスキャン:配線の接続を検査する)ための規格です。4本の信号線でデバイスをダイジーチェーン状に接続して構成します。

Latticeダウンロードケーブル

Feature	HW-USBN-2A	HW-USB-2A	HW-USB-1A	HW-DLN-3C	HW7265-DL3, HW7265-DL3A, HW-DL-3B, HW-DL-3C	HW7265-DL2	HW7265-DL2A	PDS4102-DL2	PDS4102-DL2A
USB	X	X	X						
PC-Parallel				X	X	X	X	X	X
1.2V Support	X	X							
1.8V Support	X	X	X	X	X		X		X
2.5-5.0V Support	X	X	X	X	X	X	X	X	X
2x5 Connector	X	X	X	X	X	X	X		
1x8 Connector	X	X	X	X	X			X	X
Flywire	X	X	X	X	X				
Lead-free Construction	X			X					

チェックがついている項目に対応

ispJTAGピンは標準のIEEE1149.1TAPピンです。デバイスがパワーアップされる時、ispJTAGピンは専用のピンであり、常にアクセスできます。

TDO

テストデータ出力ピンTDOは、シリアルテスト命令とデータをシフトアウトするのに用いられます。TDOが内部回路によってドライブされていないとき、ピンはハイインピーダンス状態にあります。

TDI

テストデータ入力ピンTDIは、シリアルテスト命令とデータをシフトインするのに用いられます。TDIピンには内部プルアップ抵抗があります。内部抵抗はVccjにプルアップされています。

TMS

テストモード・セレクト・ピンTMSはTAPコントローラのテスト動作を制御します。TCKの立ち下がりエッジで、TMSがHighかLowかによって、TAPコントローラ・ステート・マシンの状態遷移が行われます。TMSピンには内部プルアップ抵抗があります。内部抵抗はVccjにプルアップされています。

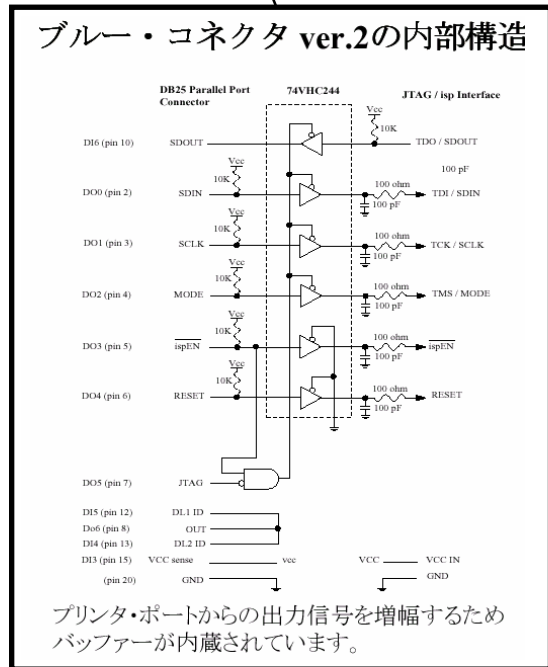
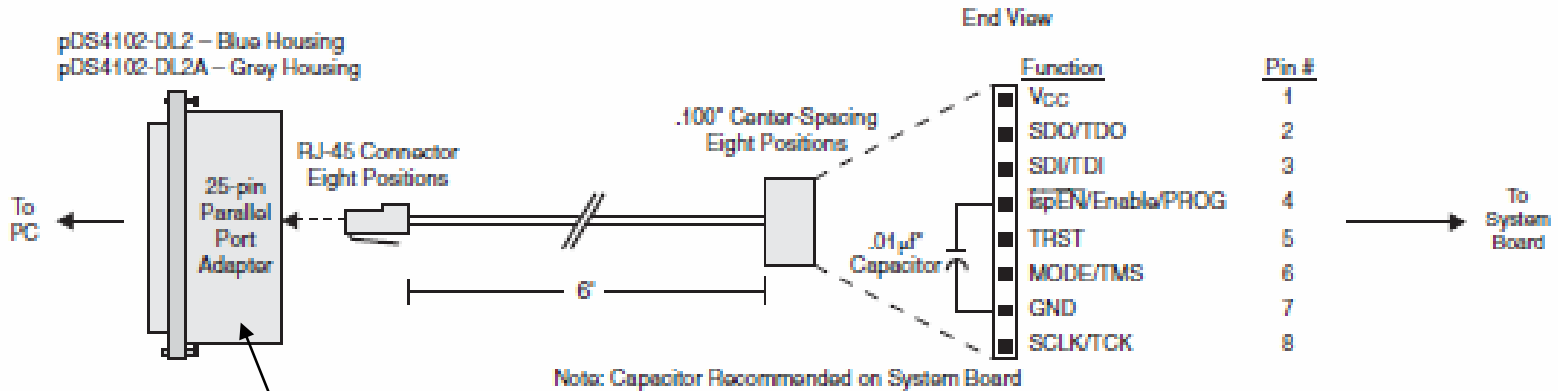
TCK

テスト・クロック・ピンTCKは、TAPコントローラを走らせ、データをおよび命令レジスタへのロード、リロードのためのクロックを提供します。TCKはHighまたはLow状態で止めることができ、デバイス・データシートで示される周波数まで動作させることができます。TCKピンはデータシートのDCパラメータ・テーブルに示される値でヒステリシスをサポートします。

Vccj

Vccjは、JTAGデバイスでチェーンを作るために、独立した電源をJTAGポートに供給します。

pDS4102-DL2, pDS4102-DL2A (8pin)



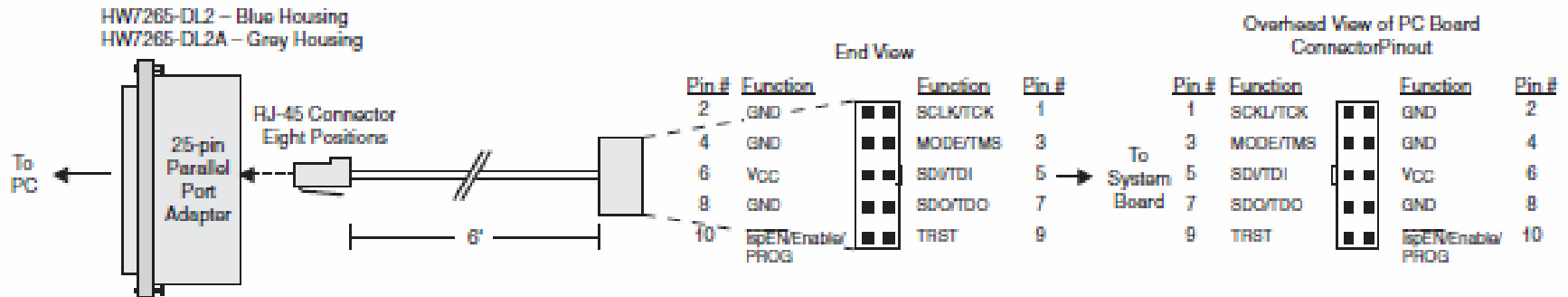
・SDO/TDO、SDI/TDI、MODE/TMS、SCLK/TCK
ISPプログラミングに使用します。

・VCC、GND

コネクタ内のバッファへの電源供給と基板への電源供給をソフトウェアより検出するために使用します。基板上的Vcc、GNDへ接続します。
過電圧を加えると内部バッファが破壊されケーブル故障の原因となります。
ご注意ください。

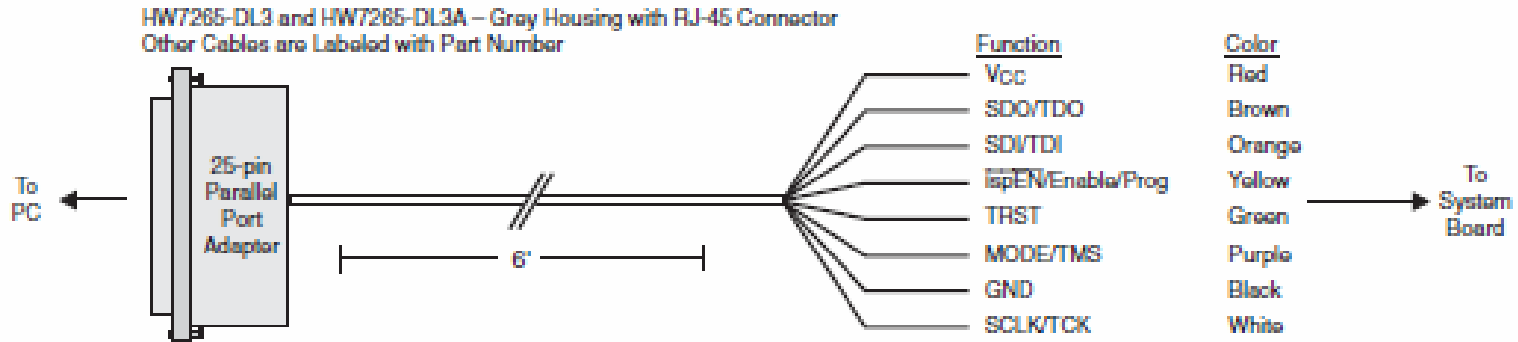
・No Connect

ISPプログラミング後にデバイスをリセットする必要がある場合のみ、デバイスのグローバル・リセット端子へ接続します。それ以外は接続しません。

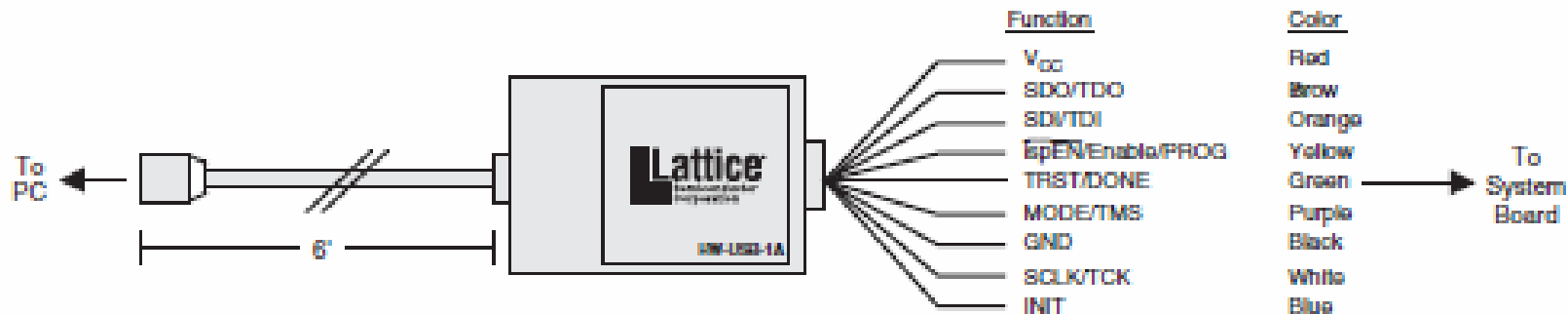


(基板実装用の推奨ヘッダの品名: 3M社 2510-5002-UG Header)

TRST, ENABLEの信号は、標準的なJTAG ISPでは使用する必要はありません。
(LatticeのISPではENABLEは必要)
MACHデバイスにTRSTとENABLEピンがある場合 (M4A-128, M4A-256) は、
ボード上で TRST はHighに、ENABLE はLowに固定します。



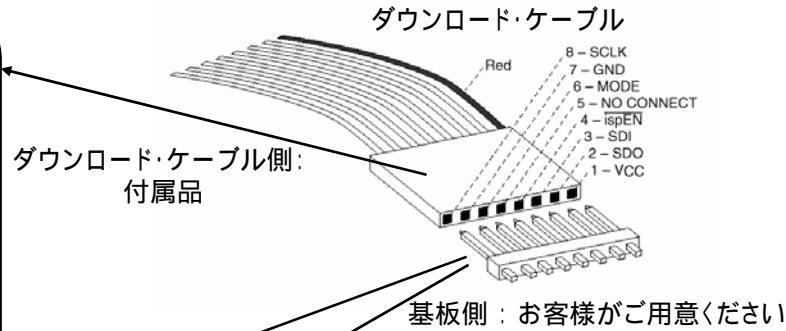
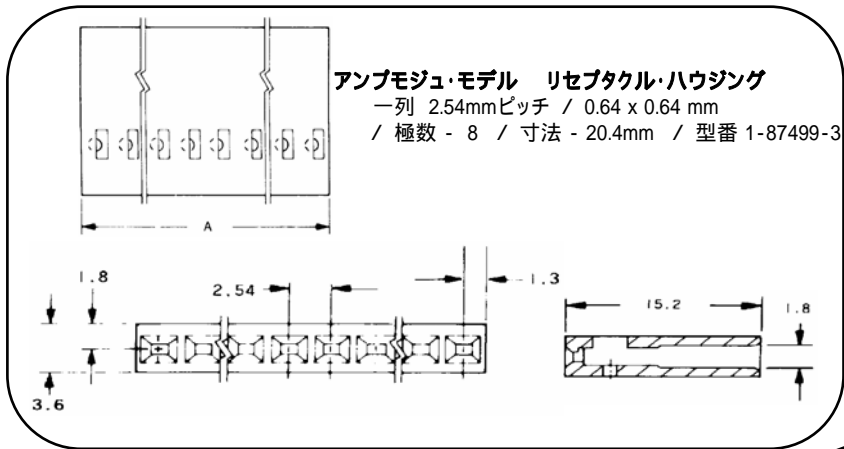
Fly-wireケーブルは従来の8ピン、10ピンに簡単にさせるようにするために変換ソケットが付属されております。
Fly-wireケーブルは基板上のピンの位置に依存することなく書き込みすることが可能です。
ソケットの穴のサイズは全て8ピンケーブルのものと同じです。



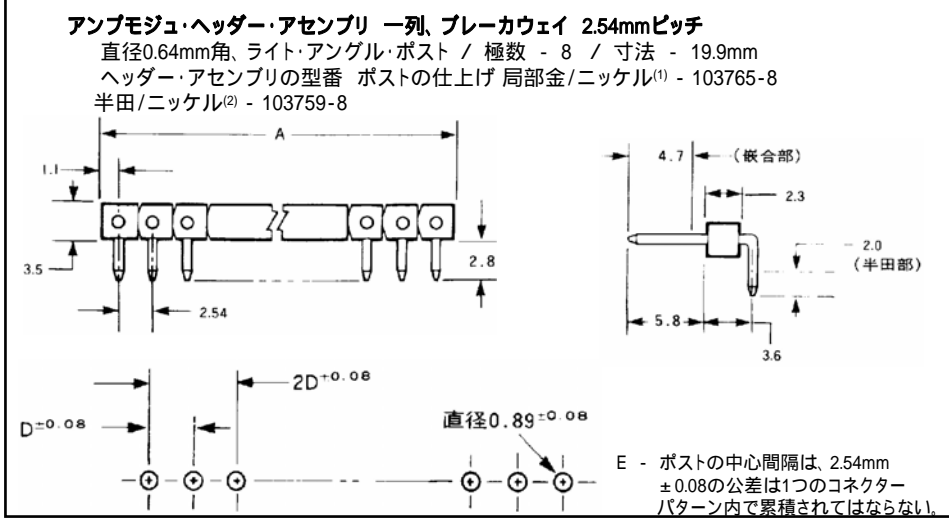
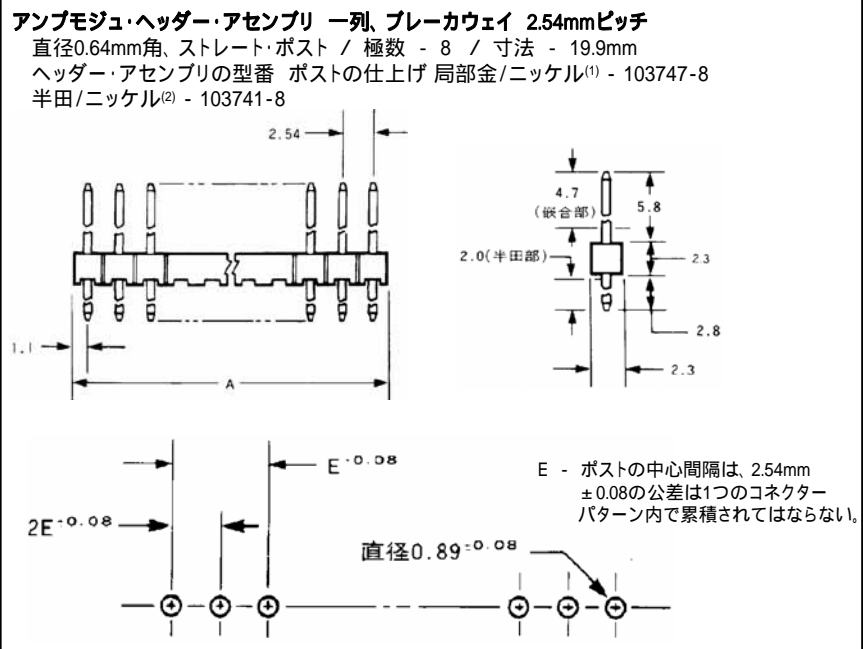
(USB対応のダウンロードケーブル)

Fly-wireケーブルは従来の8ピン、10ピンに簡単にさせるようにするために変換ソケットが付属されております。
Fly-wireケーブルは基板上のピンの位置に依存することなく書き込みすることが可能です。
ソケットの穴のサイズは全て8ピンケーブルのものと同じです。

コネクタ寸法図 (8pin)



ラティス社より特別な推奨メーカーはございません。
 ご参考までに、AMP社様の相当製品を以下にご紹介致します。なお、製品型番等は、AMP社様のカタログによるものです。



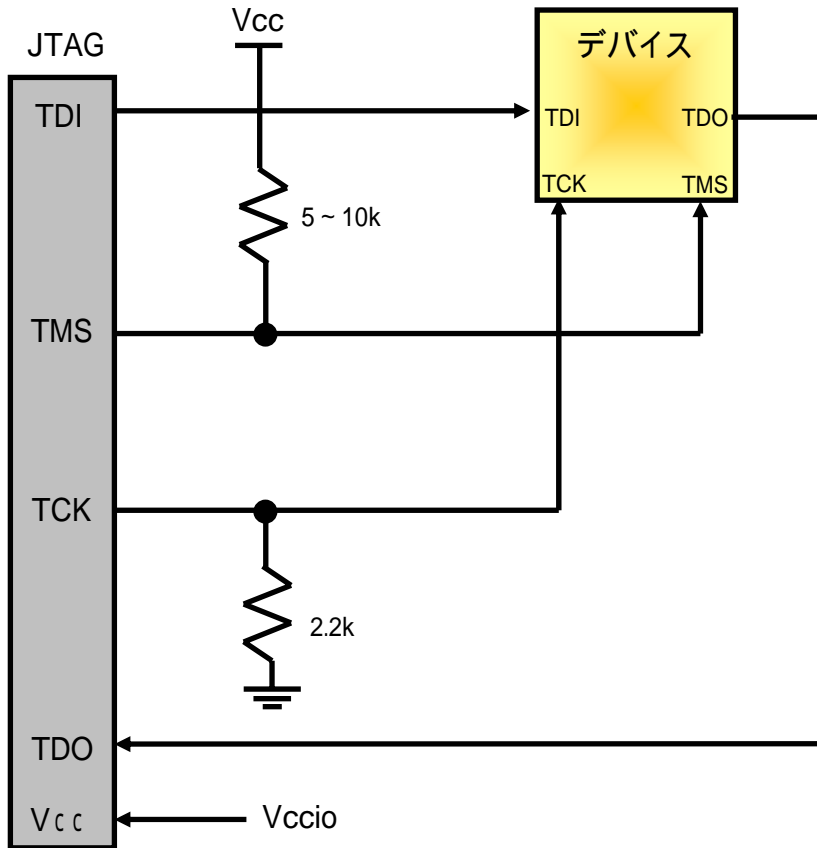
(1) 1.3 μmのニッケル下地メッキに、脚部は2.5 ~ 5.1 μmの光沢半田メッキ、嵌合部は0.4 μmの局部メッキ
 (2) 1.3 μmのニッケル下地メッキに2.5 ~ 5.1 μmの光沢半田メッキ
 備考: ヘッダーは必要な曲数に折って使用できます。

10pin、Fly-wireも同一寸法になっております。

CPLDのJTAG設計

対象デバイス

- ・ispGAL
- ・isp1000EA
- ・isp5000
- ・MACH5
- ・MACH4000



JTAGピンTMS、TCK、TDI、TDOを使用します。
TCKは内部でプルアップされていないため、不定値が出ないように**プルダウン**の処理をする必要があります。

TMSは内部でプルアップされていますが、電源投入時やノイズの影響を受けた場合プログラムモードになってしまう恐れがありますので**プルアップ**の処理を行う必要があります。

MACH4000の電源ラインの注意点

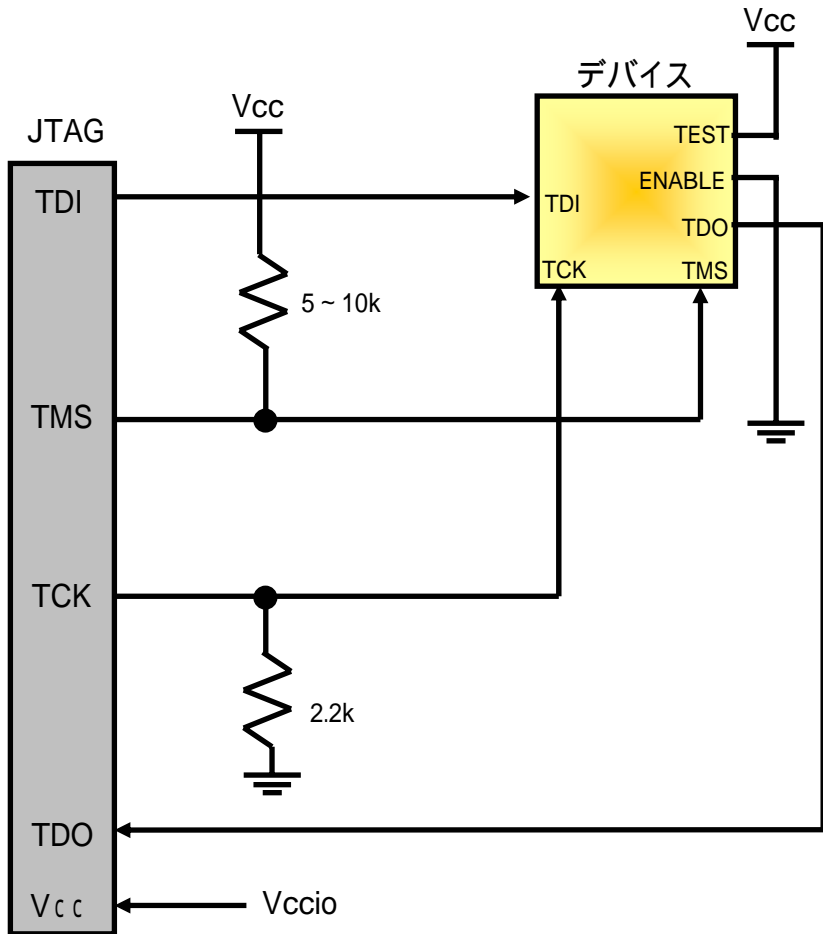
MACH4000のGND(Core)とGND(Bank0)、GND(Bank1)を共通にしないといけません。

4000シリーズのTQFPデバイスはGNDとGND0、GND1が内部で接続されていませんので、基板上で必ず繋ぐようにして下さい。

4000シリーズのBGAデバイスはGNDとGND0、GND1が内部で接続されていますので、基板上で特に処置する必要はありません。

対象デバイス

- ・MACH4
- ・M4A



JTAGピンTMS、TCK、TDI、TDOを使用します。
TEST、ENABLEピンはJTAGに使用しないため、
TESTピンはHighに、ENABLEピンはLowに固定
して下さい。

TRST,ENABLE

M4A5-128/64-10VC、M4A5-256/128-10YC と
M4A3-128/64-10VC、M4A3-256/128-10YC にのみ両端子が存在します。

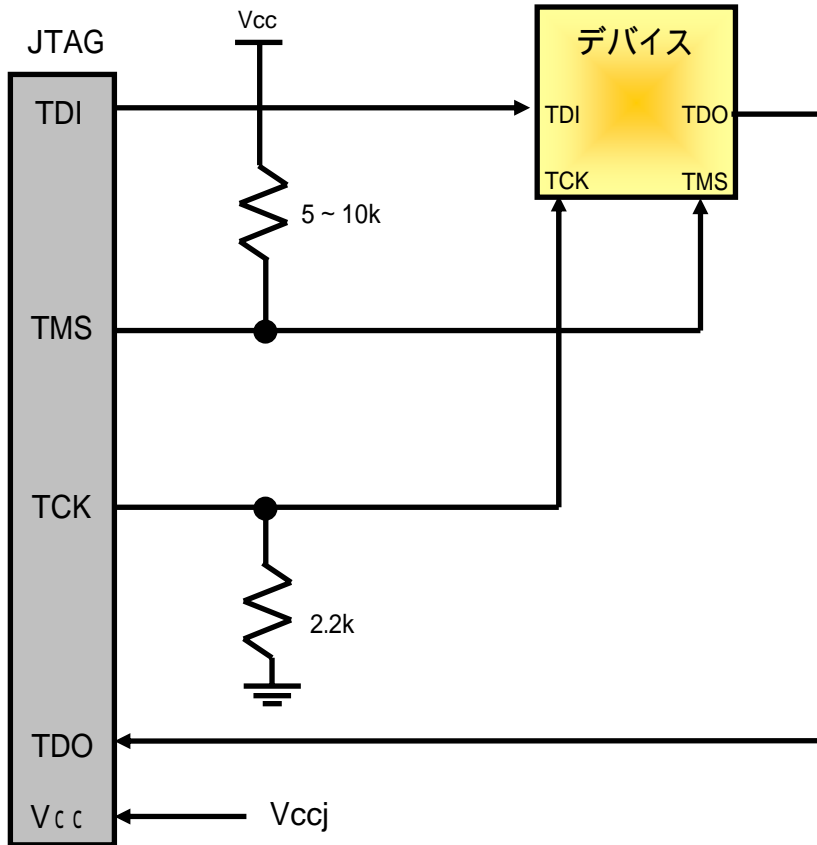
M4A5の基板設計注意点

M4A5 (5V品)は入力がTTLレベルですが、**出力がLVTTTLレベルになります。**
(詳細はデータシートをご参照してください。)

5V CMOSのICと直接繋ぐ場合、該当出力を約1K の抵抗でプルアップして
下さい。これにより、出力が5V CMOSレベルになります。

対象デバイス

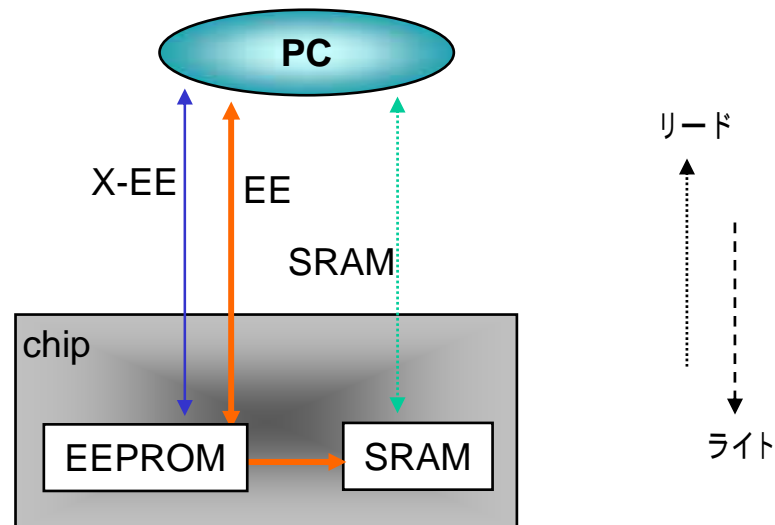
・ispXPLD



JTAGピンTMS、TCK、TDI、TDOを使用します。
VccjピンはJTAGの電源電圧専用ピンになります。
Vccjピンが存在するデバイスの場合、JTAGの
VccにはVccioではなくVccjを印加して下さい。

- ispXPシリーズは従来のCPLDと違い、EEPROMとSRAMが内蔵されています。同じJTAGチェーンを作成することにより、ツームemory又はワンメモリのみへのProgramming (Configuration) が実現可能になります。
- JTAGコマンドはダウンロード・ツールispVMより選択し、実行できます。
JTAGコマンドのイメージは次のページを参照してください。
- XPLD製品を従来のCPLD製品のように簡単に扱いたい場合
CFG0端子をHiに、/Program端子をHiに 固定します。
書き込みは JTAGコマンド“EE”で実行します。
 - EEPROMへ書き込みになります。
その後、EEPROMからSRAMへ自己コンフィグします。
- EEPROMのみをバックグラウンドで書き換え、その後SRAMへコンフィグする場合
CFG0端子をHiに固定します。
EEPROMのみへ書き込みのケース (SRAMへ影響しない、旧データ動作中)
 - /Program端子をHiにします
 - 書き込みは JTAGコマンド“X-EE”で実行します
 EEPROMからSRAMへコンフィグのケース (データのバージョンアップ)
 - /Program端子をトグルします (即ちRefreshコマンド)

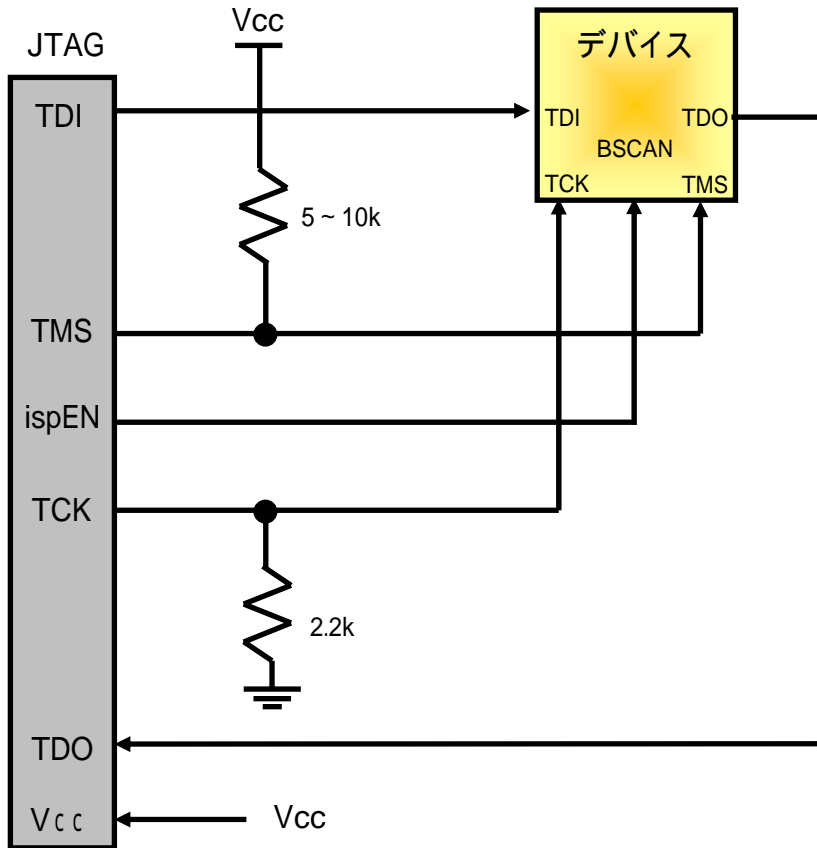
ispVM system にて XPLDデバイスへのJTAG



“EE”はEEPROMへProgram、それにSRAMへConfig、
 “X-EE”はEEPROMのみへProgram、
 “SRAM”はSRAMのみへConfig。

対象デバイス

- ・ispLSI2000
- ・ispGDX



JTAGピンTMS、TCK、TDI、TDO、BSCANを使用します。

BSCANピンはBSCANピンはJTAGのispENピンと接続し、Highの場合、JTAGピンはユーザー入力専用ピンとして使用する事が可能です。

Lowの場合、プログラムモードとなりJTAGピンを入力ピンとして使用する事は出来ません。

JTAGのVccにはデバイスのVccを印加します。

・BSCANの取り扱い

BSCAN=High

通常動作モードになりTDI/TCK/TMS/TDOはすべてDI(専用入力)ピンになります。JTAGのTAPコントローラはリセットされ、プログラミング・モードからも開放されます。

BSCAN=Low

JTAGモードになりTDI/TCK/TMS/TDOピンが有効になり、デバイスの状態(通常動作、JTAGテスト、プログラムetc.)はJTAGインストラクションで決定されます。

・BSCANをISPコネクタにつなげる場合

通常動作時にDI(入力専用)ピンを使用可能です。

BSCANはプログラム時以外はプルアップされるのでTAPがリセットされたままになります。したがってJTAGテストをしたり、他社JTAG-ISPデバイスをプログラムしたりする場合には不向きです。

ミックスト・チェーンには対応しません。

BSCANはispENラインに接続し、0.01uFのコンデンサをお付けください。

・BSCANをプルダウンする場合

通常動作時にDI(入力専用)ピンは使用不可です。

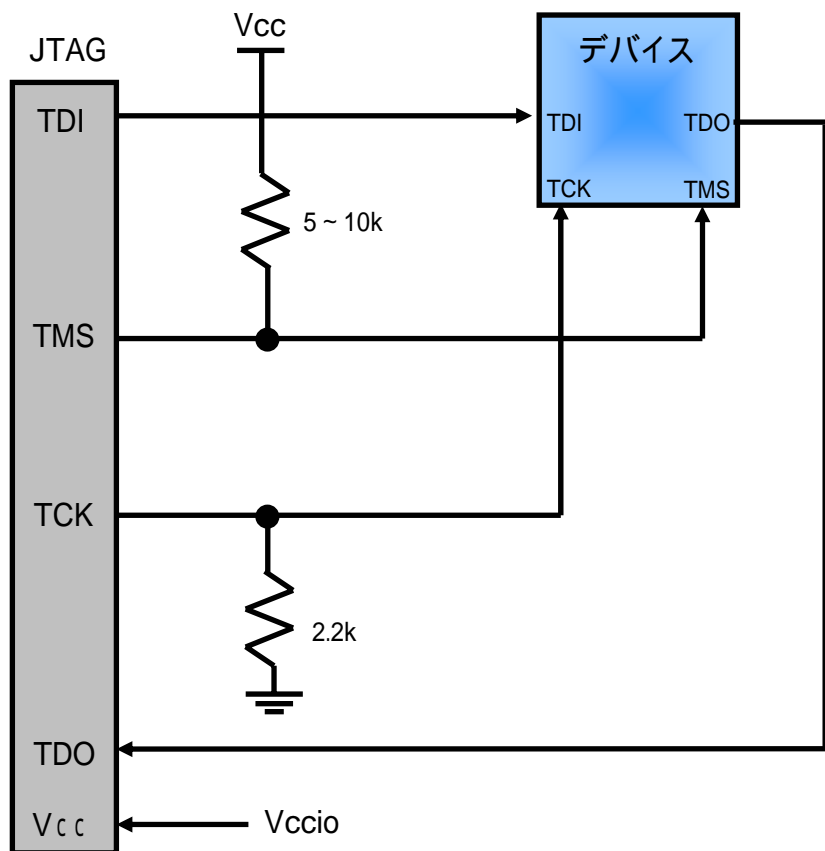
JTAGテスト、他社ISPデバイスとの共存、ミックスト・チェーンに対応します。

2.2K のプルダウン抵抗を使用してください。

FPGAのJTAG設計

対象デバイス

- ・ispXPGA
- ・MACHXO



JTAGピンTMS、TCK、TDI、TDOを使用します。
TCKは内部でプルアップされていないため、不定値が出ないように**プルダウン**の処理をする必要があります。

TMSは内部でプルアップされていますが、電源投入時にプログラムモードに入ってしまう恐れがありますので**プルアップ**の処理を行う必要があります。

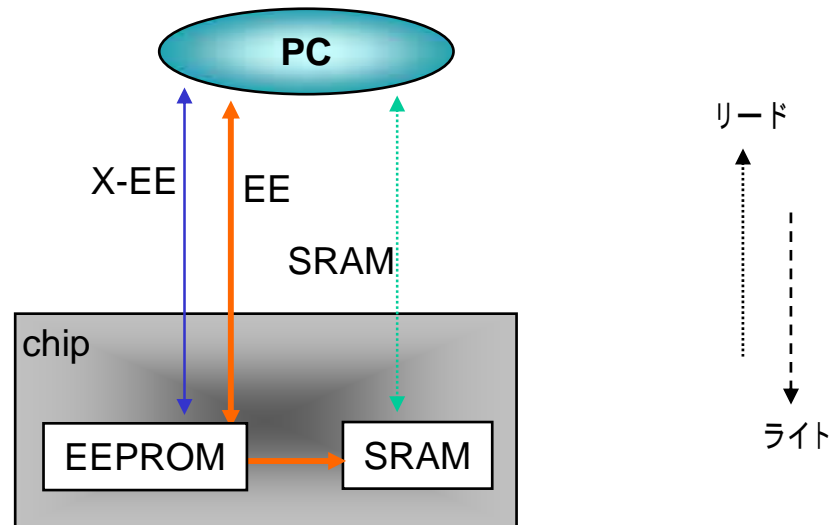
ispXPGAシリーズは従来のCPLDと違い、EEPROMとSRAMが内蔵されています。

同じJTAGチェーンを作成することにより、2つのメモリ又は1つのメモリのみへのProgramming (Configuration) が実現可能になります。

JTAGコマンドはダウンロード・ツールispVMより選択し、実行できます。

JTAGコマンドのイメージは次のページを参照して下さい。

ispVM system にて XPGAデバイスへのJTAG



“EE”はEEPROMへProgram、それにSRAMへConfig、
 “X-EE”はEEPROMのみへProgram、
 “SRAM”はSRAMのみへConfig。

JTAGのVccに関する注意点

MACH XOには複数のI/O Bankがあるため、JTAG用電源として印加するBankはMACH XOの規模によって異なります。下記の対応BankのVccioをJTAGのVccに印加して下さい。

MACH XO256 Bank1のVccioと接続

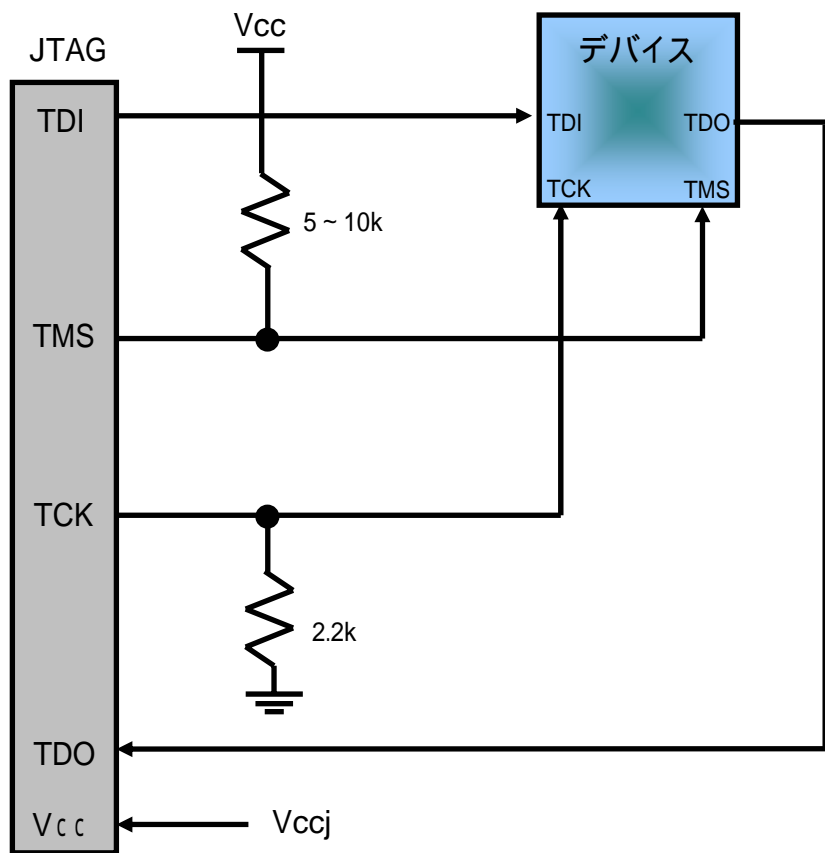
MACH XO640 Bank2のVccioと接続

MACH XO1200 Bank5のVccioと接続

MACH XO2280 Bank5のVccioと接続

対象デバイス

- ・Lattice XP



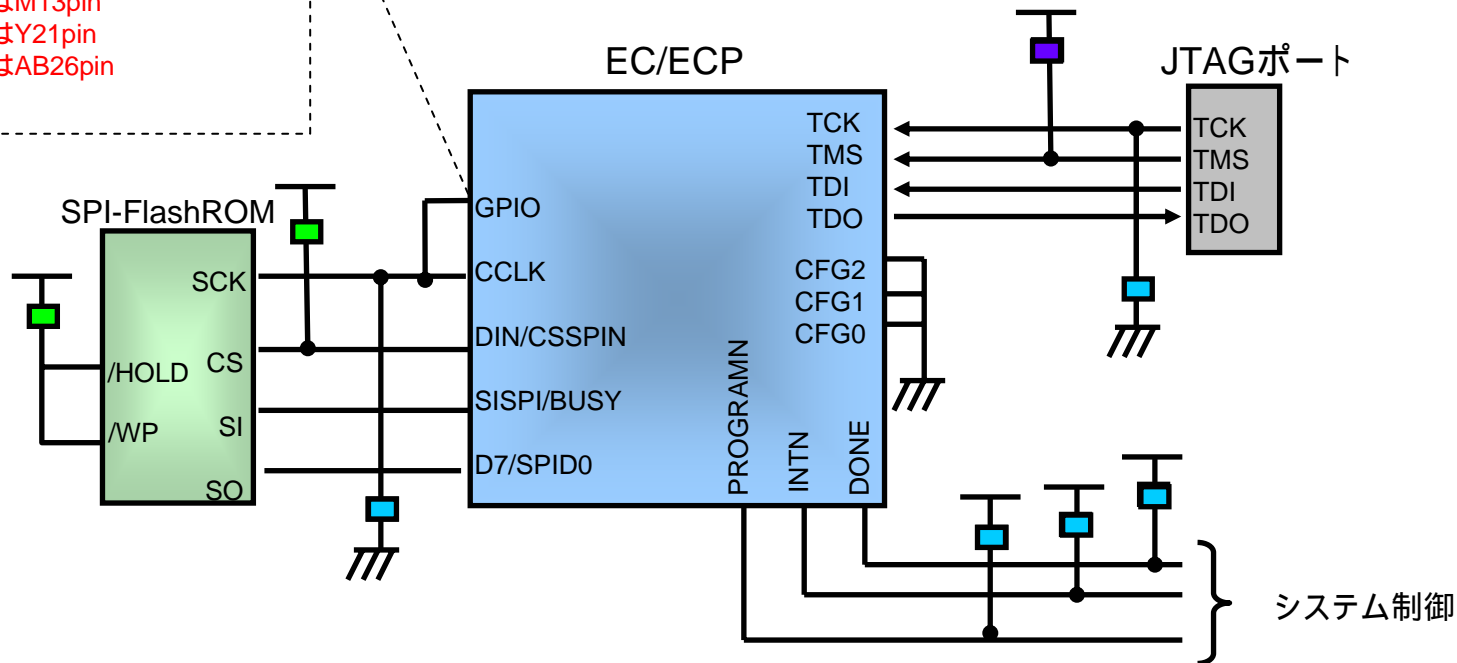
JTAGピンTMS、TCK、TDI、TDOを使用します。
TCKは内部でプルアップされていないため、不定値が出ないように**プルダウン**の処理をする必要があります。
TMSは内部でプルアップされていますが、電源投入時にプログラムモードに入ってしまう恐れがありますので**プルアップ**の処理を行う必要があります。

対象デバイス

- ・EC/ECP

GPIOは通常I/O pinをリザーブする必要あり
 100TQFPの場合は52pin
 144TQFPの場合は77pin
 208PQFPの場合は113pin
 256fpBGAの場合はM13pin
 484fpBGAの場合はY21pin
 672fpBGAの場合はAB26pin
 をリザーブする

■ 5-10k
 ■ 10k
 ■ 4.7k

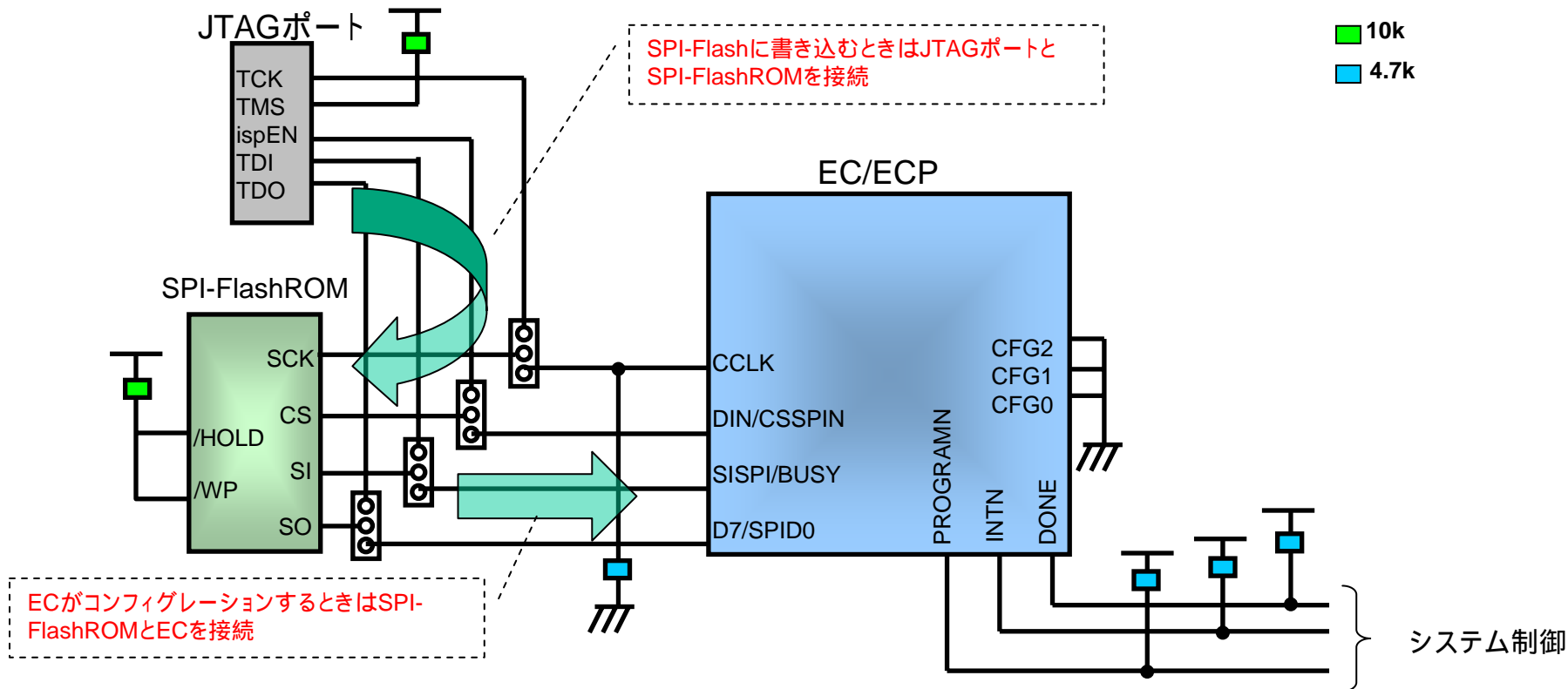


1. JTAGポートからEC経由用のソフトIPを組み込む。
2. 組み込んだソフトIPを経由してSPI-FlashROMにデータを書き込む。(1と2は同時処理)
3. 電源を再投入してコンフィグ開始。

* ソフトIPはispVMに付属。(TN1081参照)

* EC/ECPの専用ピンに関しましてはEC/ECP基板設計マニュアルをご参考下さい。

下記のようにFPGAを経由せず、SPI-FlashROMに直接書き込む事も可能です。
ジャンパスイッチを使用し、書き込み、コンフィグを切り替えます。

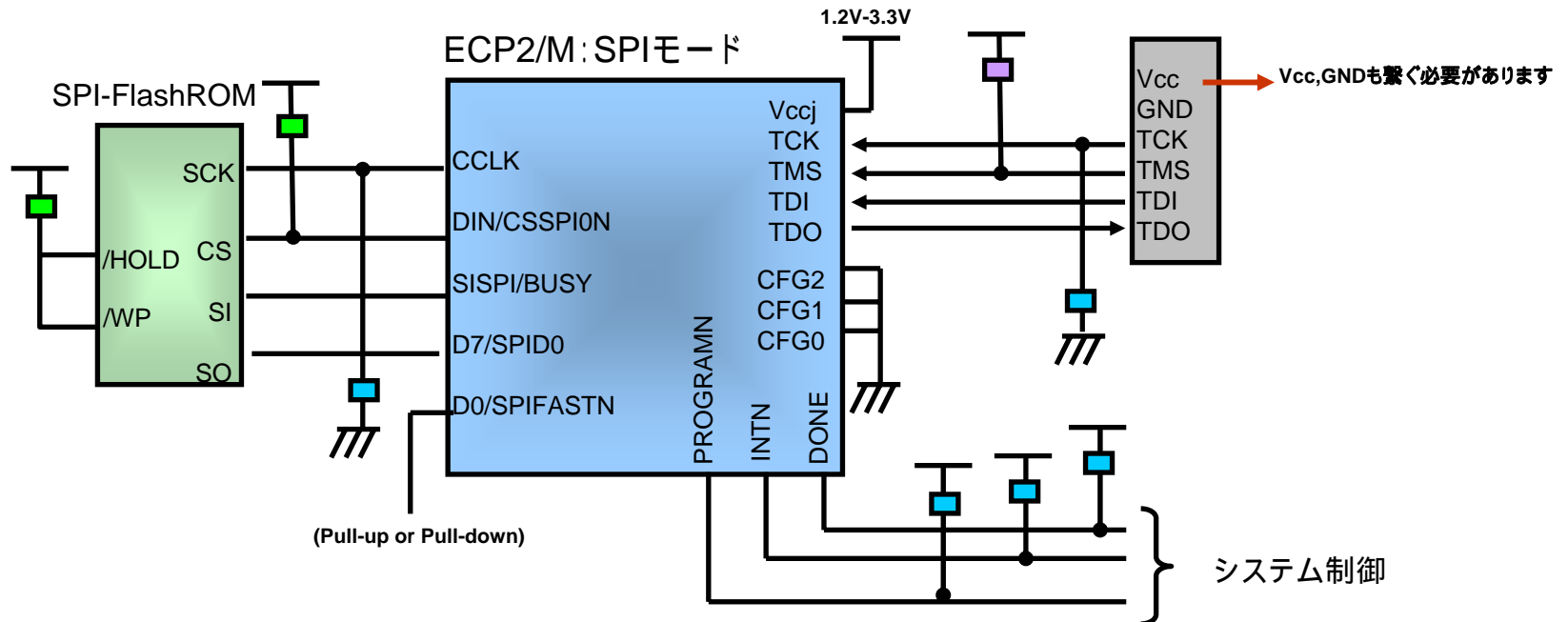


1. JTAGポートから直接SPI-FlashROMにデータを書き込む。(このときJTAGポートとSPI-FlashROMが接続)
2. ジャンパスイッチを切り替えてSPI-FlashROMとECを接続。
3. 電源を再投入してコンフィグ開始。

対象デバイス

・ECP2/M

- 5-10k
- 10k
- 4.7k



- ・DOUT信号はコンフィグレーション中出力ピンとなります。もし、このピンをUser I/Oとして使用する場合には出力ピンとして使用することを推奨します。
- ・D[0]/SPIFASTはお使いになるSPI-FLASHが高速読み出しをサポートしているかどうかを御確認頂き、Pull-down, Pull-up処理を行なってください。
- ・PROGRAMNはコンフィグ失敗時や、コンフィグレーションシーケンスから抜け出せないようなイレギュラーな現象が起こった場合にトグルすることでFPGAを初期化し、再コンフィグレーション行なうことができます。CPUに接続して管理、制御できるようにしておくことを推奨いたします。DONE, INITに関してはコンフィグレーションの状態を確認することができます。LEDを接続しておくことでデバック時にとても有効です。
- ・D[0]/SPIFASTはお使いになるSPI-FLASHが高速読み出しをサポートしているかどうかを御確認頂き、Pull-down, Pull-up処理を行なってください。

Vccjピンに関する注意点

Vccjを1.2Vに設定した場合、それらをVccと同じ電源から供給して下さい。

Vccjを3.3Vに設定した場合、それらをVccauxと同じ電源から供給して下さい。

PROGRAMN

PROGRAMNピンはプログラミング・シーケンスを起動するため用いるデバイスへの入力です。このピンに与えられる信号がHighからLowになると、デバイスはコンフィグレーション・モードに設定されます。パワーアップ時を除いてプログラミングのきっかけとするのにPROGRAMNピンを用いることができます。デバイスがJTAGを用いている場合、デバイスはJTAGモードから解放されるまで、PROGRAMNピンを無視します。

INITN

INITNピンは双方向のオープン・ドレイン制御ピンです。これはLowパルスを駆動することができると共に、Lowパルス入力を検出することができます。PROGRAMNピンがLowにされたとき、またはパワーアップ時パワーオン・リセット信号が解放されたときに、INITNピンはコンフィグレーション回路と外部PROMをリセットするためにLowにドライブされます。PROGRAMNピンがLowである間、コンフィグレーション・メモリはクリアされます。このときINITNピンはLowのままです。外部からINITNピンにLowをドライブすることで、コンフィグレーションを遅らせることが可能です。INITNピンがLowに保たれている限り、デバイスはコンフィグレーション・モードには入りません。コンフィグレーションの間、INITNピンはエラー検出ピンになります。コンフィグレーション・エラーが発生するときはいつも、それはLowにドライブされます。

DONE

DONEピンは双方向の制御ピンです。オープン・ドレインかアクティブ・ドライブ制御ピンとして構成することができます。デバイスがコンフィグレーション・モードにあるとき、または、内部DONEビットがプログラムされていないとき、DONEピンはLowになります。INITNとPROGRAMNピンがHighで、DONEビットがプログラムされると、DONEピンは解放されます。オープン・ドレインのDONEピンは外部的にLowにすることができ、そして、選択されたウェイクアップ・シーケンスによって、DONEピンが解放されるまで、デバイスは動作しません。

- * 電源立ち上がり中のDoneピンは挙動は安定しない為、Configが終了したかどうかをCPU等が認識する際は、電源が立ち上がった後にDoneピンがHighとなっていることを確認するようにして下さい。

JTAGチェーン

バッファの追加

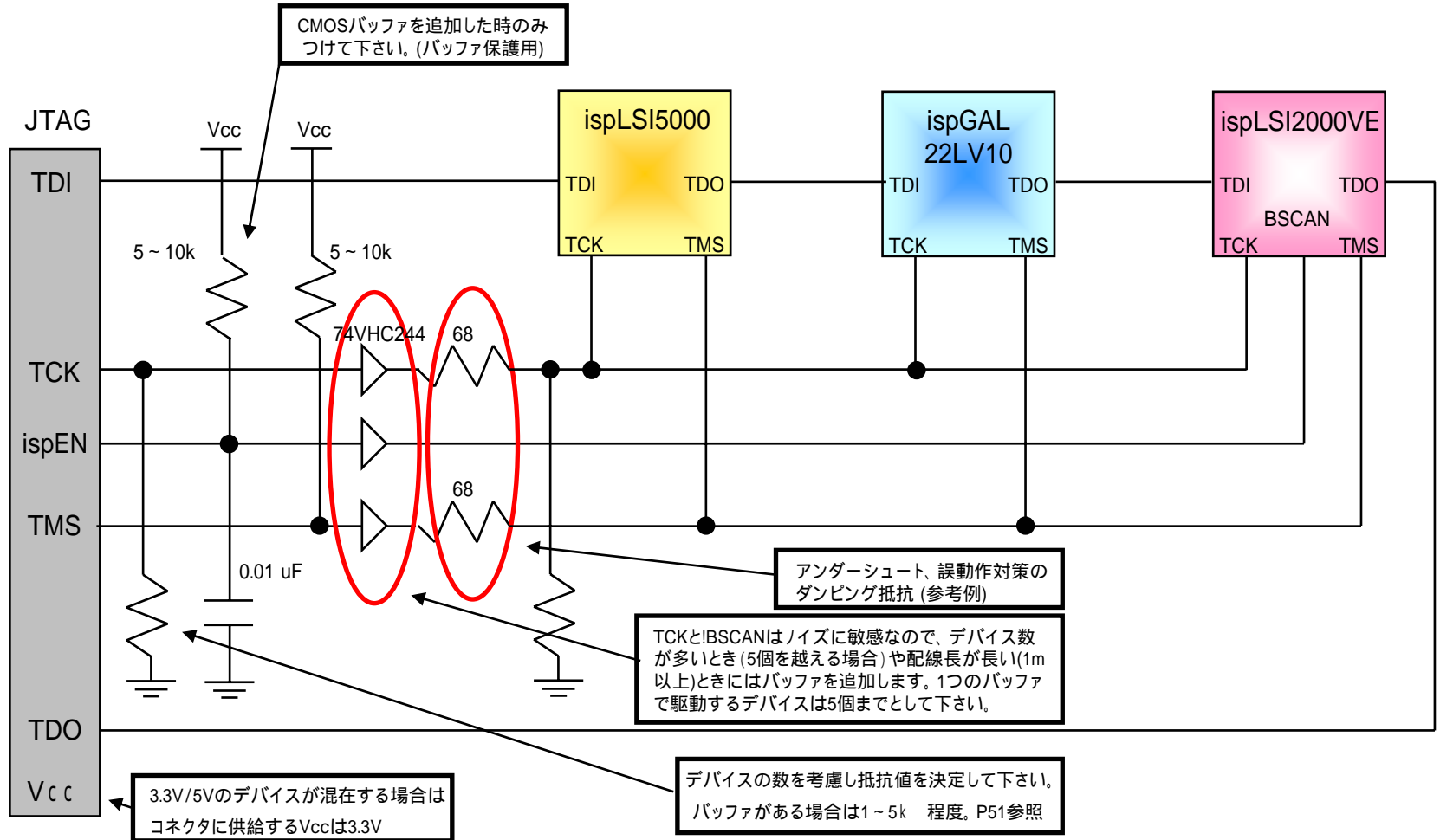
5個以上のデバイスをチェーンする場合、もしくは配線長が1mを超える場合にはTCK、TMSの信号がJTAGコネクタより遠くなるほど弱くなり、ノイズが乗ってしまう恐れがありますのでデバイス5個毎にバッファを1つ追加して下さい。

例) バッファIC VHC244など

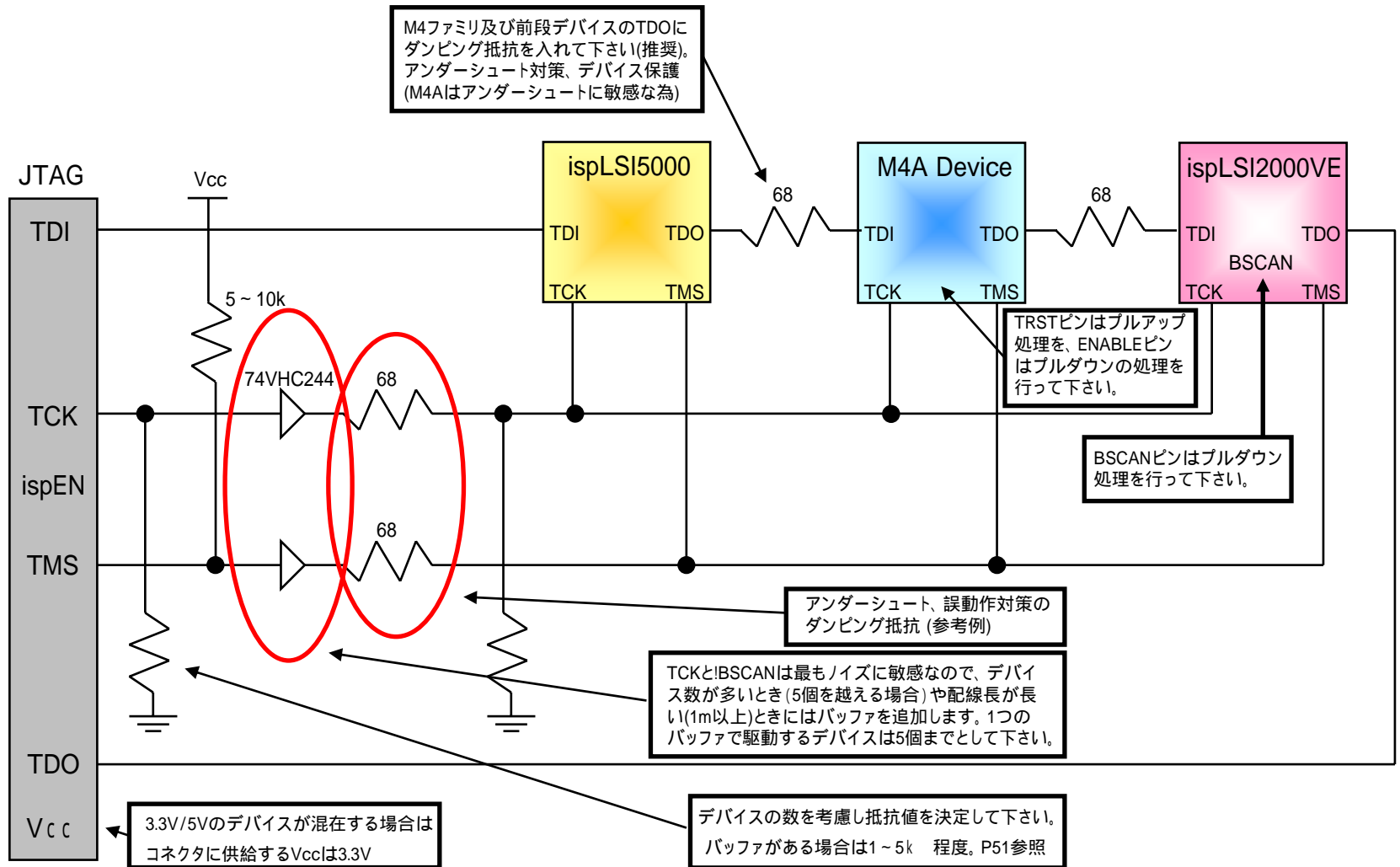
コア電圧の異なるデバイスのチェーン

コア電圧の異なるデバイスのチェーンを行う場合、コア電圧の高いデバイスにチェーンする際にはバッファを追加し、プルアップの処理を行って下さい。

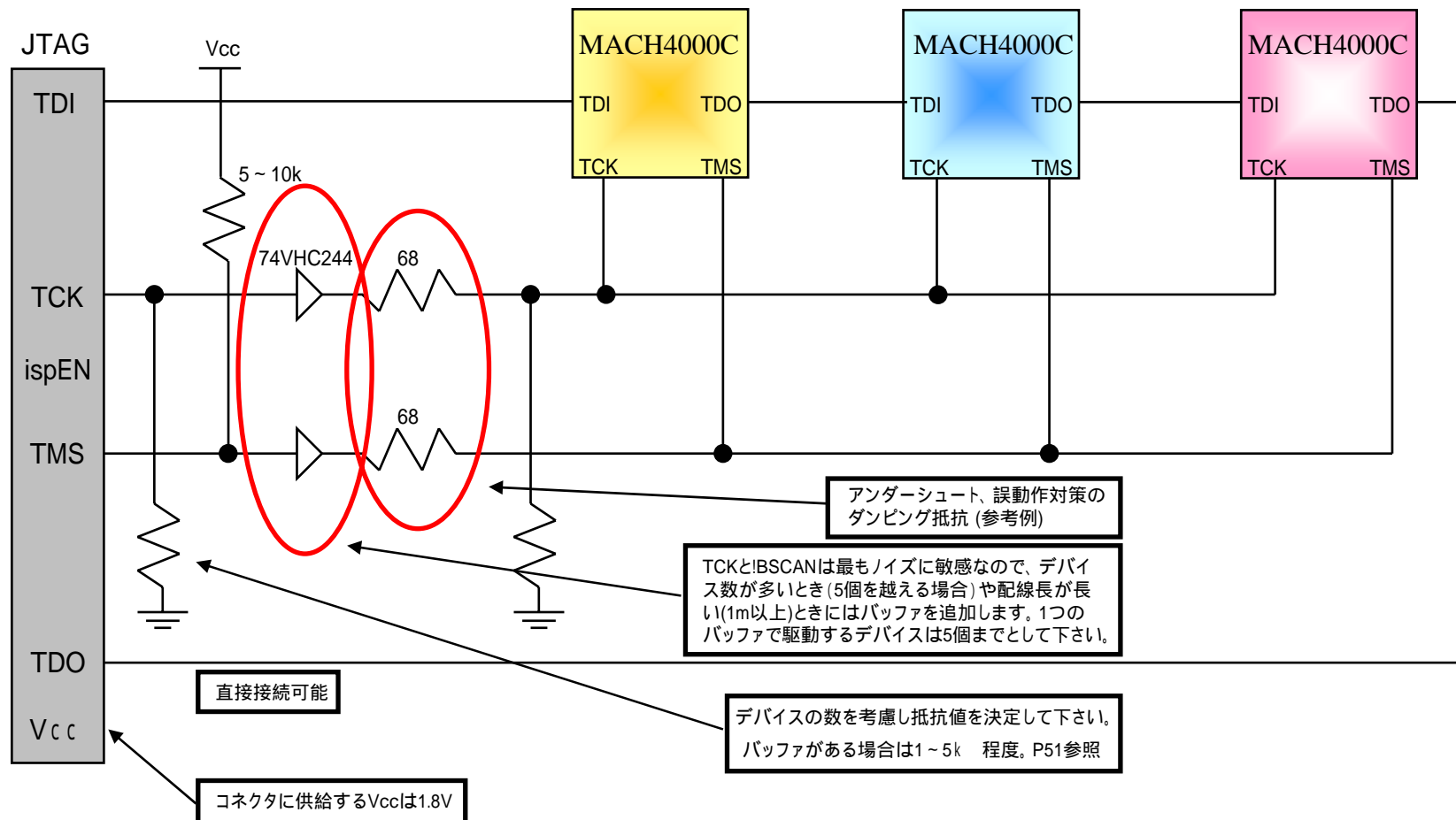
例) バッファIC LVC07Aなど



M4Aとの混合チェーン例



バッファIC VHC244のVcc
には3.3Vを供給して下さい



付録

- ダウンロード・ケーブルを通して約5個までのデバイスをドライブすることが可能です。

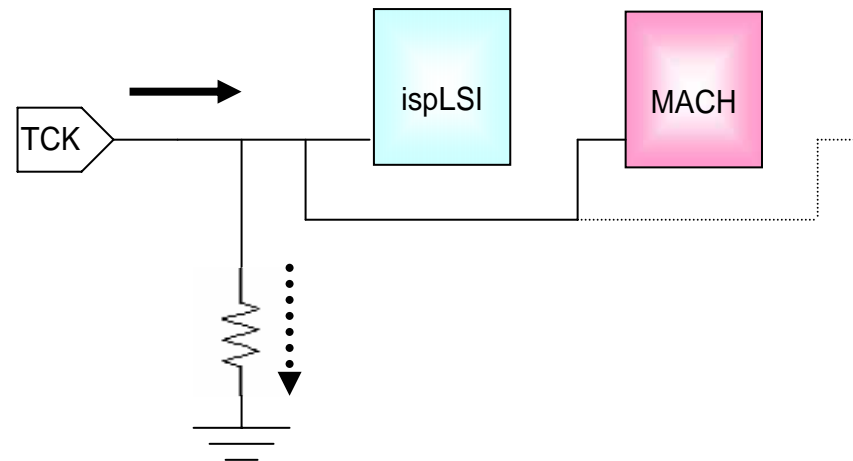
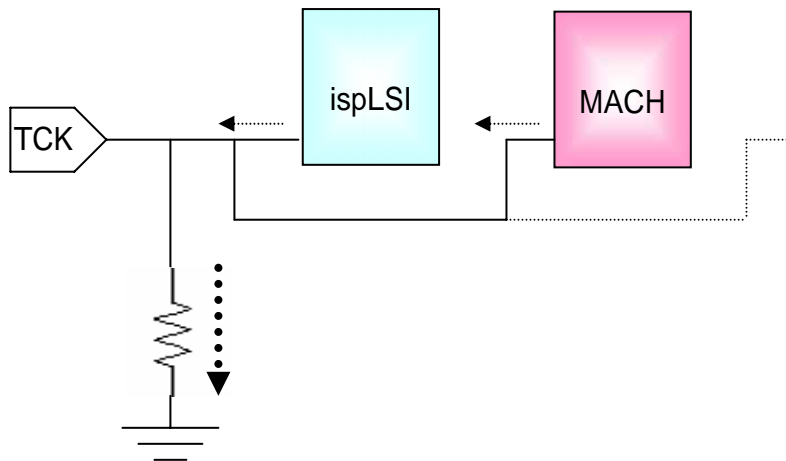
ISPブルー・コネクタの中には、CMOSバッファ(Ver1: 74HC367、Ver2: 74VHC244)が内蔵されています。MACHispケーブル(旧Vantis社製)のコネクタの中には74HC244が内蔵されています。グレーコネクタの中には74LVC07ADが内蔵されております。
- デバイス総数が約5個を超える場合は、!ispEN、MODE/TMS、SCLK/TCKの各ラインにバッファを挿入する必要があります。デバイス5個につき1つのバッファを追加して下さい。
- バッファ追加によるタイミングの問題はほとんど考慮する必要がありません。

SCLK/TCKの周波数はPCに依存し、最大でも330kHzです。(ATEは、最大1MHzに設定可能です)

ただしバッファを複数使用するような場合、タイミング・スキューを最小にするために、SCLKへの追加バッファは負荷が均等になるようパラレルに挿入してください。
- バッファを追加した場合、各デバイスの入力容量、入力リーク電流を考慮し、1バッファによるドライブ数を決定してください。

- ドライブ能力に加え、使用するバッファのエッジレートが速い場合、また配線長が長い場合にも追加バッファの検討が必要です。
- 追加するのはCMOS、TTLどちらのタイプのバッファでもかまいません。
CMOSバッファの挿入に際しては、入力部にプルアップもしくはプルダウン抵抗を各ラインに応じてお付けください
- ispMACH4000C(1.8V)が1.8V以外のコア電源のデバイスと混在のチェーンの場合はispMACH4000のTDOからの出力が1.8Vであることを考慮しなければいけません。TDIは3.3Vを受けることが可能です。
ispMACH4000CのTDOからの出力を3.3,2.5Vデバイス、あるいは3.3,2.5Vを供給している書き込み用バッファにいれる場合は74LVC07AD等のオープンドレイン出力のバッファを使用しプルアップで3.3,2.5Vまで電圧を上げてから入力するようにしてください。
- Pull-up、Pull-down 抵抗値
Pull-up の場合、抵抗値の選定は特に気にする必要はありません。電圧レベルは前段の出力(後段の入力)で決まります。抵抗値はデバイスの負荷、波形の立ち上がり等に影響します。電圧レベルには影響を与えません。
Pull-down の場合、抵抗値の計算が必要です。電圧レベルは抵抗値で決まります。詳細は次のページを参照してください。

Pull-Down 抵抗値の計算



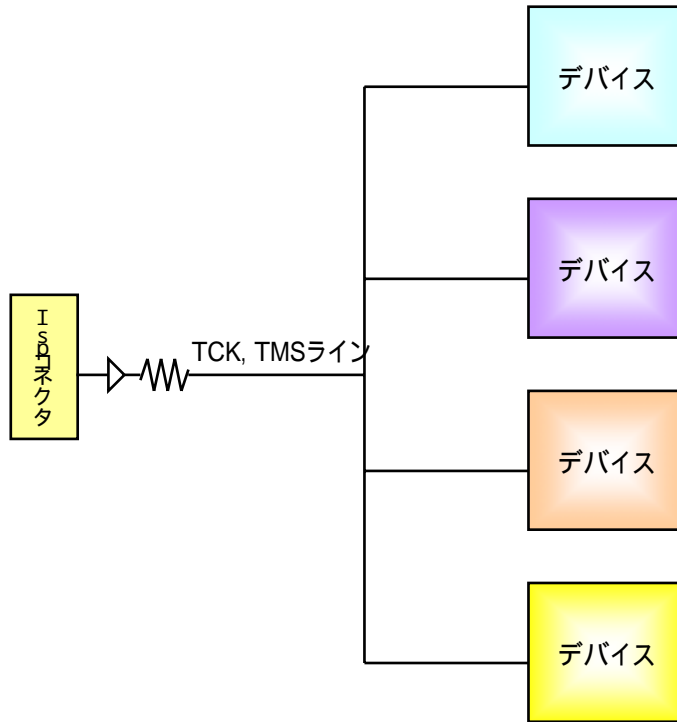
チェーンにPLD の数は n 個と想定し、
 TCKが“L”のとき、 $V_{ol}(\text{Max}) = 0.5\text{V}$
 Leak電流 = $I_{pu} = 200 \mu\text{A}$ (MACH4000の場合)
 よって、 $n \times 200 \mu\text{A} \times R \leq 0.5\text{V}$
 $R \leq 2.5/n \text{ k}$

$30 \mu\text{A}$ $I_{pu} = 200 \mu\text{A}$ ですが、 $30 \mu\text{A}$ をとると、
 $R \leq 13\text{k}$ となり、 $200 \mu\text{A}$ 流れた場合に 2.4V となり
 Lowレベルを超えてしまいます。

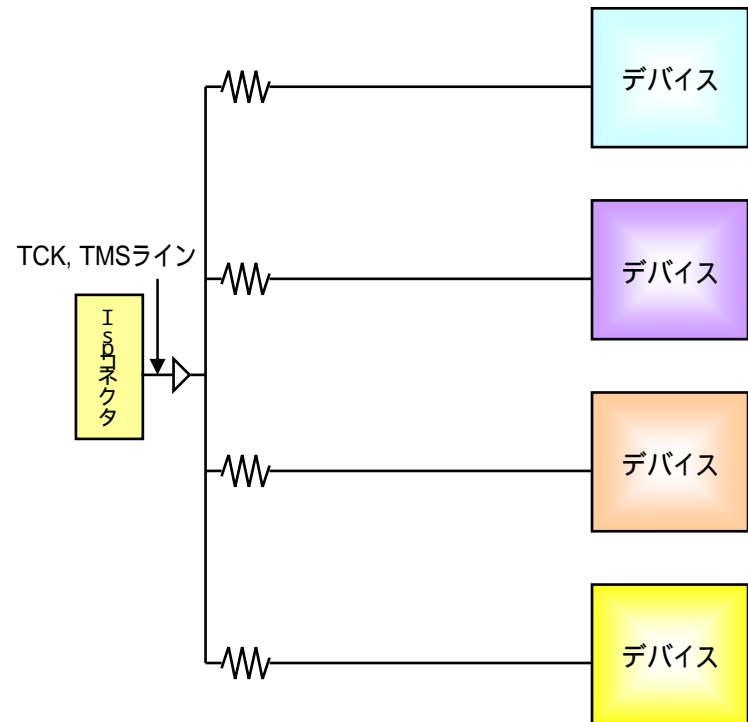
TCKが“H”のとき、 $V_{oh}(\text{Min}) = 2.4\text{V}$ 、
 ダウンロードケーブルのバッファの $I_{oh} = -4\text{mA}$
 よって、 $4\text{mA} \times R \leq 2.4\text{V}$
 $R \leq 0.6 \text{ k}$

-4mA $I_{oh} = -50 \mu\text{A}$ ですが、 $-50 \mu\text{A}$ をとると、
 $R \leq 48\text{k}$ となり、 2.4V では $50 \mu\text{A}$ 以上ドライブできず、
 チェイン構成が不可能になります。

総合すると、
 0.6 k $R \leq 2.5/uk$ となります



例1 ダンピング抵抗1個の場合



例2 各デバイス毎に抵抗を付加する場合

本資料の参考例では例1を紹介しておりますが、基板上の条件によって、例2の様に各デバイス毎に1つの抵抗を付加することも可能です。但し、いずれの場合においても、バッファ出口近傍にダンピング抵抗を付加する必要があります。

- ラティスISPにおいてはSCLKと!ispENが、ispJTAGにおいてはTCKと!BSCANは最も重要な信号です。

SCLK/TCK信号にリングングが発生した場合、データをダブルクロックしてしまう可能性があります

!ispENや!BSCAN信号はプログラミング中、常にLOWに固定されている必要があります。途中で!ispENや!BSACNがHIGHになると、ステート・マシンは強制的にリセットされ、プログラミング・エラーとなります

これら信号の伝送線効果を最小限にするよう、ボードのレイアウトを行なう必要があります
往復の伝播遅延がエッジ・レート(T_r)を超える場合、その信号ラインを伝送線路として扱う必要があります

$$T_r < 2 \times T_{pd} \quad (1)$$

比誘電率(E_r)の材質における信号速度は、 $C/(E_r)^{1/2}$ です。これにより、配線長(L)における伝播遅延は、

$$T_{pd} = L \times (E_r)^{1/2} \times (1/C) \quad (2) \quad (C = 3 \times 10^8 \text{ m/sec})$$

(1)及び(2)から

$$L > 0.5 \times T_r \times C \times (E_r)^{-1/2}$$

これより、配線長が $0.5 \times T_r \times C \times (E_r)^{-1/2}$ を超える場合、取り扱いには注意が必要です

バッファの T_r が、5nsで(ほとんどのバッファの T_r は5ns以上)、PCBの比誘電率が4.8(FR4)である場合、 $L > 342 \text{ cm}$ となります。かなりのマージンを考慮し、配線長が100cm以下であれば、通常伝送線路として扱う必要はありません

配線長が比較的長い場合は、バッファ挿入また終端等の処置を検討してください

ISPに関連する特殊ピンの扱い

ほとんどのISPデバイスはSDI/SDO/SCLK/MODEピンや TDI/TDO/TCK/TMSピンに加えて特別なピンを使ってプログラミングやJTAGテストを制御しています。これらのピンの基板上での処理方法についてのガイドラインを表に示します。

5V デバイス	特殊ピン	LSC ISPチェーン中で	ispJTAGチェーン中で	ミックスド・チェーン中で
ispGDX/A	BSCAN/!ispEN	ISPコネクタ	フローティングまたはプルアップ	フローティングまたはプルアップ
2kE	!BSCAN	配置不可	ISPコネクタまたはプルダウン*	プルダウン
8k	BSCAN/!ispEN	ISPコネクタ	フローティング	フローティング
ispMACH4A5	TRST,ENABLE	配置不可	TRSTはVccへ、ENABLEはGNDへ	TRSTはVccへ、ENABLEはGNDへ
3.3V デバイス	特殊ピン	LSC ISPチェーン中で	ispJTAGチェーン中で	ミックスド・チェーン中で
ispGDXV/A	EPEN	配置不可	フローティングまたはプルアップ	フローティングまたはプルアップ
2kVE	!BSCAN	配置不可	ISPコネクタまたはプルダウン**	プルダウン
ispMACH4A3	TRST,ENABLE	配置不可	TRSTはVccへ、ENABLEはGNDへ	TRSTはVccへ、ENABLEはGNDへ
2.5V デバイス	特殊ピン	LSC ISPチェーン中で	ispJTAGチェーン中で	ミックスド・チェーン中で
2kVL	!BSCAN	配置不可	ISPコネクタまたはプルダウン	プルダウン
1.8V デバイス	特殊ピン	LSC ISPチェーン中で	ispJTAGチェーン中で	ミックスド・チェーン中で
1.5V デバイス	特殊ピン	LSC ISPチェーン中で	ispJTAGチェーン中で	ミックスド・チェーン中で

- * マルチプレクスされたDIピンを使用する場合は ISPコネクタにつなげ、JTAGテスト(2kE/2kVLはJTAGテストに対応していませんがJTAG準拠のインターフェースをもっておりBYPASS命令をサポートします)をおこなう場合はプルダウンしてください。
- ** マルチプレクスされたDIピンを使用する場合は ISPコネクタにつなげ、JTAGテスト(2kVEはJTAGテストに対応しています)をおこなう場合はプルダウンしてください。

- ・未使用ピンはハイ・インピーダンス状態です。ただし内蔵の約20k-100k のプルアップ抵抗により、プルアップorバスホールドorプルダウンされています。
- ・未使用ピンの処理は、Vcc、GNDに接続、またはフローティング(内部的にプルアップされている) いずれも可能です。
 ただし、!ispEN、!BSCAN、EPENなどの特殊ピンと、TRST、TOE,ENABLEなどのシステム・ピンなどはデータシートを参照し、NC(プルアップ)またはVcc,GNDに接続してください。
- ・未使用ピンに配線すると、内部バッファが発振する可能性があります。
 未使用ピンに1.5V近辺の電圧(TTLのスレショルド・レベル)が印加されると、mAオーダの消費電流の増加が生じます。
 内部的にヒューズ・マップはオープンになっているため、GLBに直接接続はされていませんが、未使用ピンを基板上の配線に接続する場合、クロストーク等によりノイズがのり、内部バッファが発振する可能性があります。
- ・NCピンはどこにもつながらずフローティング状態にしてください。

ダウンロード・ケーブルの延長

PCからのデータ・ダウンロードは専用ケーブルをご使用ください。信頼性の問題から、ダウンロード・ケーブルを延長してご使用しないでください。

ブルーorグレーのISPコネクタの平行ポートへの接続

ダウンロード・ケーブルの水色(灰色)コネクタはPCの平行ポートに接続してください。セキュリティ・ブロックなどの後ろにコネクタを接続すると、プログラムが正常におこなわれない可能性があります。

ispENピンの処理

LatticeのISP方式の ispLSIIはispENピンにLowが供給されるとプログラミング・モードになります。ispLSIIは全ピンにプルアップが内蔵されていますので、ispENピンに対して特別な処理は必要ありません。可能であれば外部で4.7k～10k でプルアップされることを推奨致します。

プログラミング時のデバイス状態

プログラミング時にispLSIの全ピンの出力段はHi-Z状態になりますが、書き込みピンの入力段は内部プルアップ抵抗(約 20k～100k)によりプルアップされます。従いまして、CMOSデバイスのインターフェースにおいても基板上の処理は必要ありません。またM4Aシリーズは書き込み時のI/O状態がツールispVM上で設定できます。デフォルトはHi-Zです。

以上で **JTAG基板設計時資料** は終了です。

より詳細なお問合せ、ご質問等に関しましては、技術サポート貴社担当FAE
または下記技術サポート窓口までお気軽にお問い合わせ下さい。

株式会社 マクニカ テクスターカンパニー ラティス製品 技術サポート窓口
 電話 045-470-9841/FAX 045-470-9842
 Email lattice@macnica.co.jp
 URL <http://www.tecstar.macnica.co.jp/contact/index.html>

