

インテル® Agilex™ F シリーズ FPGA PCI Express P-Tile とインテル® CPU 搭載 Desktop PC との Gen4 接続について

macnica

株式会社マクニカ アルティマカンパニー

Rev.1

Agenda

- **インテル® Agilex™ F シリーズ FPGA トランシーバー・タイル概要**
- **P タイルのトランシーバー・アーキテクチャー**
- **インテル® Agilex™ F シリーズ FPGA 開発キットの実機動作**
 - Design Example の生成
 - PCIe Gen4 リンクアップの確認
 - ドライバー・ソフトウェアを使用した DMA 転送の実行
- **サマリー**

インテル® Agilex™ F シリーズ FPGA

トランシーバー・タイル概要

MACNICA

インテル® Agilex™ F シリーズ FPGA トランシーバー・タイル概要

● トランシーバー・タイルの配置と機能

- トランシーバー・タイルはデバイスのサイドバンクに配置

- ① 2 P タイル + 1 E タイル

56 トランシーバーチャンネル搭載

型番 : AGF 022 / AGF 027

- ② 1 P タイル + 1 E タイル

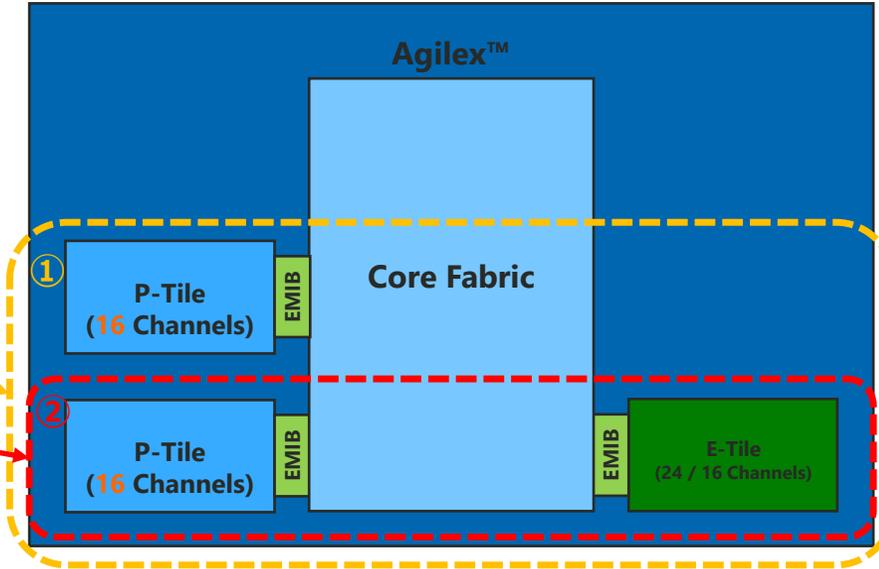
32 トランシーバーチャンネル搭載

型番 : AGF 012 / AGF 014

- EMIB でコア・ファブリックとトランシーバー・タイルを接続

- EMIB (Embedded Multi-die Interconnect Bridge)

- 各種タイルの機能概要

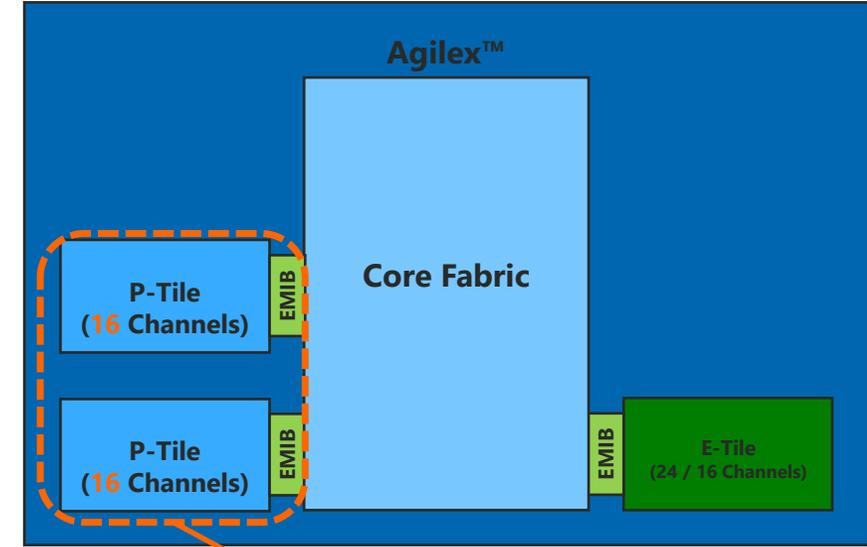


トランシーバー・タイル	E タイル	P タイル
チップ間伝送 最大データレート	12 x 57.8G PAM4 24 x 28.9G NRZ	16 x 16G NRZ
ハード IP	10/25/100GE MAC, PHY, KR KP, RS-FEC	PCIe Gen4 x16 , EP/RP 8 PF/2K VF SR-IOV, VirtIO
消費電力比率 (H タイルを1とする)	0.6	0.7

インテル® Agilex™ F シリーズ FPGA トランシーバー・タイル概要

● トランシーバー・タイルの配置と機能

- トランシーバー・タイルはデバイスのサイドバンクに配置
 - ① 2 P タイル + 1 E タイル
56 トランシーバーチャンネル搭載
型番 : AGF 022 / AGF 027
 - ② 1 P タイル + 1 E タイル
32 トランシーバーチャンネル搭載
型番 : AGF 012 / AGF 014
- EMIB でコア・ファブリックとトランシーバー・タイルを接続
 - EMIB (Embedded Multi-die Interconnect Bridge)
- 各種タイルの機能概要

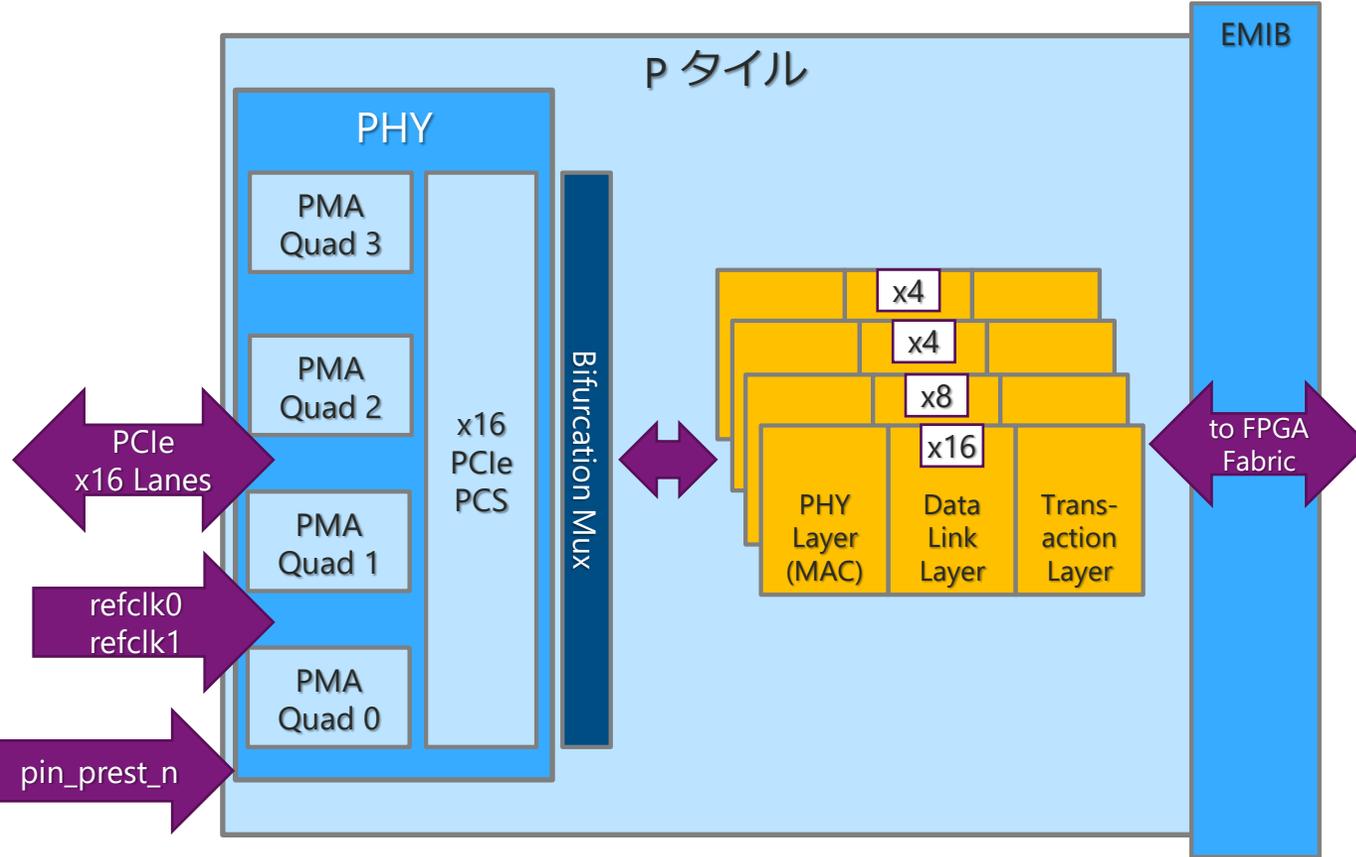


トランシーバー・タイル	E タイル	P タイル
チップ間伝送 最大データレート	12 x 57.8G PAM4 24 x 28.9G NRZ	16 x 16G NRZ
ハード IP	10/25/100GE MAC, PHY, KR KP, RS-FEC	PCIe Gen4 x16 , EP/RP 8 PF/2K VF SR-IOV, VirtIO
消費電力比率 (H タイルを1とする)	0.6	0.7

P タイルのトランシーバー・ アーキテクチャー

MACNICA

P タイルのトランシーバー・アーキテクチャー



- **詳細は P タイル : PCIe User Guide を参照**

- [Avalon-Streaming \(ST\)](#)
- [Avalon-Memory Mapped \(MM\)](#)

- **PCIe のプロトコル・スタックを全て内包**

- TL (Transaction Layer)
- DLL (Data Link Layer)
- PL (Physical Layer / MAC)

- **複数の構成をサポート**

- Root Port (RP) : ルート・ポート Endpoint (EP) : エンドポイント
 - Gen4/Gen3 x16 (1 つ)
- Port Bifurcation (ポート分岐) サポート
 - Gen4/Gen3 x8 (2 つ) : EP Only
 - Gen4/Gen3 x4 (4 つ) : RP Only

- **PCI-SIG Base Specification に準拠**

- PCIe Gen4 Base Spec, Rev 4.0, Ver 1.0
- PIPE Spec for PCIe, Ver 4.4.1
- PCIe Gen3 Base Spec, Rev 3.1

インテル® Agilex™ F シリーズ FPGA 開発キットの実機動作

MACNICA

Design Example の生成

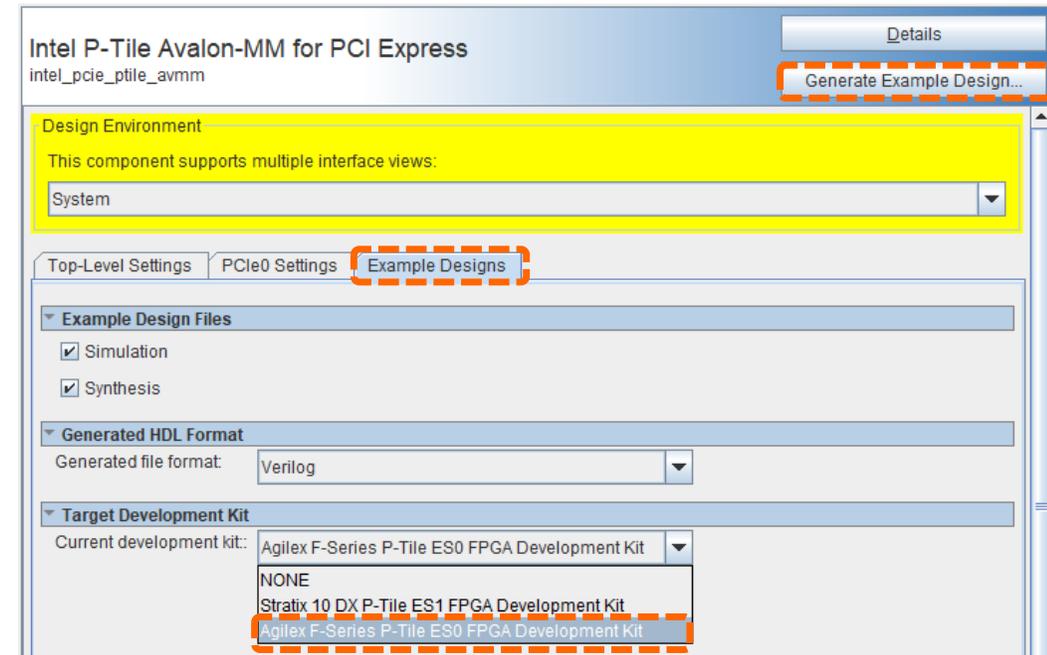
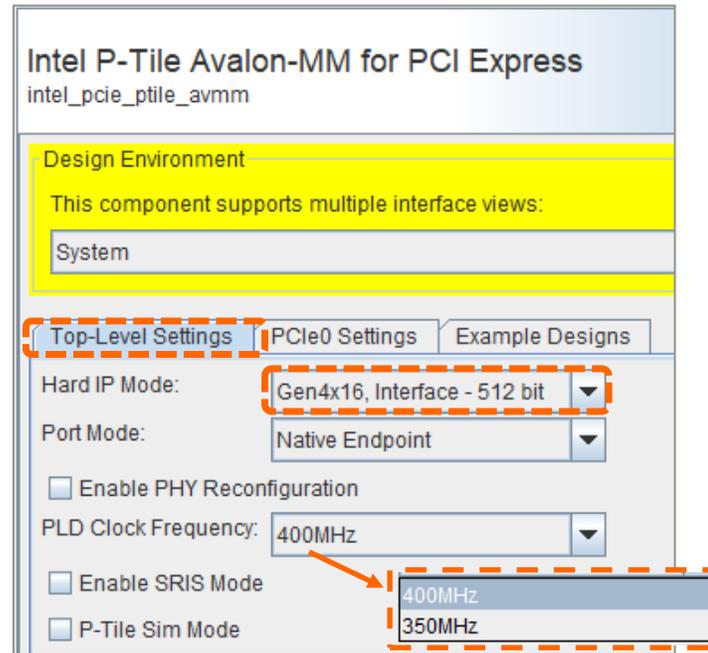
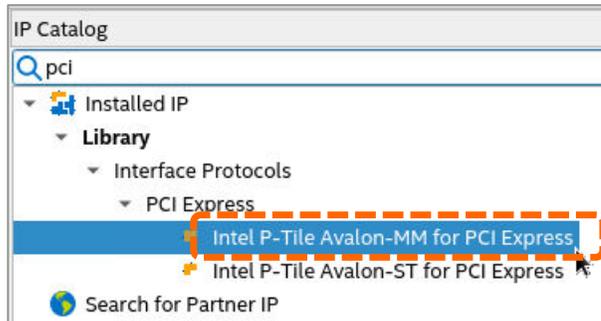
● 使用ツール

- Intel® Quartus® Prime Version 20.4 Pro Edition + Patch 0.11

● Tools メニュー > IP Catalog

- “Intel P-Tile Avalon-MM for PCI Express” を選択

- 手順の詳細については、[Design Example User Guide](#) や [弊社技術コンテンツ](#) をご参照ください！



※ 将来の Tool Version では P-Tile Avalon-MM for PCIe は選択することができません。今後は Multi-Channel DMA をご利用ください。

PCIe Gen4 リンクアップの確認・検証環境

インテル® Agilex™ F シリーズ
FPGA 開発キット



PCIe Slot : 75W
AUX 2x4 : 150W

Total : 225W

PC Spec

OS : CentOS 8.5.2111
CPU : Core i9-11900
MB : ASUS Z590M-PLUS

PCIe Gen4 リンクアップの確認・手順

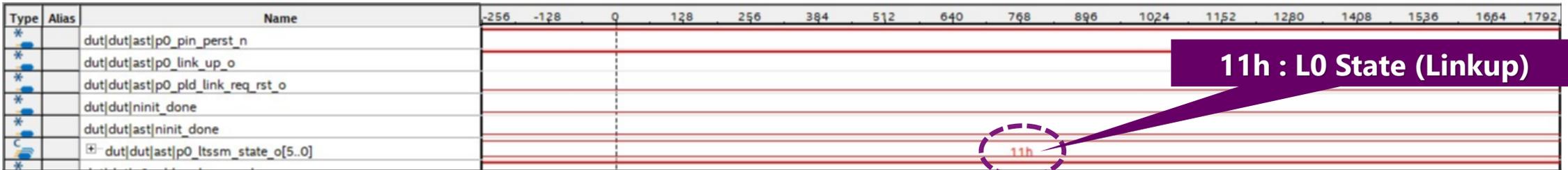
1. 開発キットを挿入して PC を起動後、プログラミング・ファイル (.sof) を書き込む

- AUX Power が供給されていないと起動できませんのでご注意ください

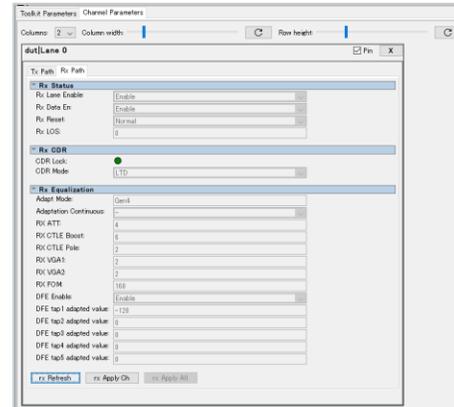
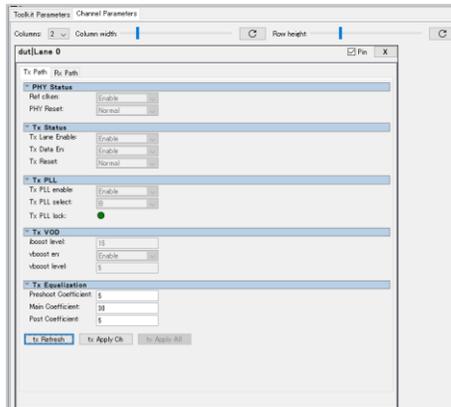
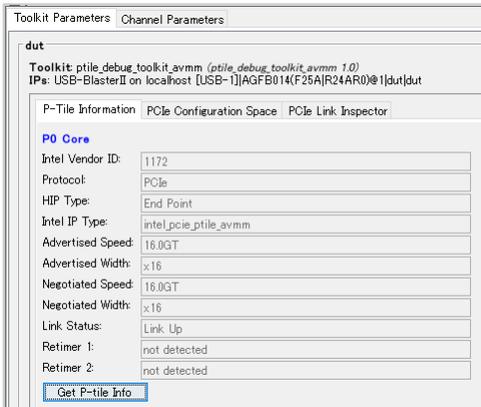
2. PC に PCIe デバイスを認識させるため、PC の再起動を実施

- PCIe Slot には電源が供給され続けるため、デザインは消えません

3. Signal Tap を利用し、デザインが動作していることを確認



- [P-Tile Debug Toolkit](#) を利用し、PCIe のリンクアップ状況や、PLL のステータス、チャンネルごとのアナログ・パラメータの設定を確認することも可能です。詳細は [弊社技術コンテンツ](#) をご参照ください！



インテル® Agilex™ F シリーズ FPGA & SoC の PCI Express のデバッグツールである「P-Tile Debug Toolkit」と Gen4 (16 Gbps) での実機動作をご紹介します。
基板にはんだ付けした差動プローブにより動作中の Eye Pattern も測定しておりますので、是非結果をご覧ください。

PCIe Gen4 リンクアップの確認・手順 ②

4. Linux OS が起動したらターミナルを立ち上げ、“lspci” コマンドを実行

- ここでは lspci のオプションを利用し、より詳細な PCIe Configuration Register の情報を取得しています

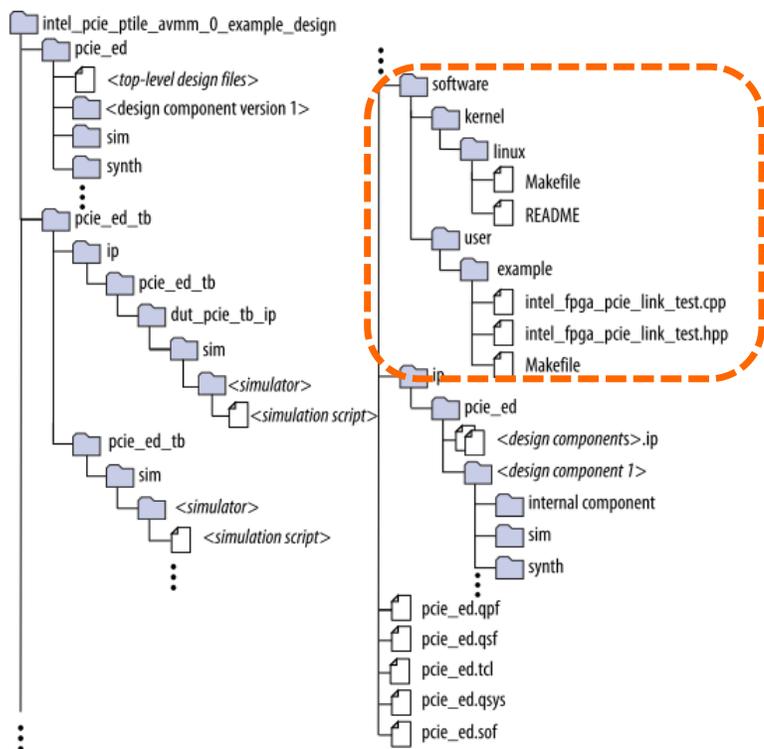
```
[alt_pcie@altima ~]$ sudo lspci -d 1172:0000 -vvv -xxx
[sudo] alt_pcie のパスワード:
01:00.0 Unassigned class [ff00]: Altera Corporation Device 0000 (rev 01)
Control: I/O- Mem+ BusMaster+ SpecCycle- MemWINV- VGASnoop- ParErr- Stepping- SERR- FastB2B- DisINTx-
Status: Cap+ 66MHz- 0PF- 5+TP- P- Err- SVS1- 64bit- 5+Stall- T- AuxBDF- 0- PHY- 66MHz- 0- PERR- TN-
Latency: 0, Cache Line Size: 64 bytes, Derratum- Disabled, Error Reporting Capability: 0x00000000
Region 0: Memory at 0x00000000 (64-bit, prefetchable) [size=64K]
Region 1: Memory at 0x00000000 (64-bit, prefetchable) [size=64K]
Region 2: Memory at 0x00000000 (64-bit, prefetchable) [size=64K]
Region 4: Memory at 0x00000000 (64-bit, prefetchable) [size=64K]
Capabilities: [40] Power Management version 3
Flags: PMEClk- DSI- D1- D2- AuxCurrent=0mA PME(D0+,D1-,D2-,D3hot+,D3cold-)
Status: D0 NoSoftRst+ PME-Enable- DSel=0 DScale=0 PME-
Capabilities: [70] Express (v2) Endpoint, MSI 00
DevCap: MaxPayload 512 bytes, PhantFunc 0, Latency L0s <64ns, L1 <1us
ExtTag+ AttnBtn- AttnInd- PwrInd- RBE+ FLReset- SlotPowerLimit 75.000W
DevCtl: CorrErr- NonFatalErr- FatalErr- UnsupReq-
RlxdOrd+ ExtTag+ PhantFunc- AuxPwr- NoSnoop+
MaxPayload 256 bytes, MaxReadReq 512 bytes
DevSta: CorrErr+ NonFatalErr- FatalErr- UnsupReq+ AuxPwr- TransPnd-
LnkCap: Port #1, Speed 16GT/s, Width x16, ASPM not supported
ClockPM- Surprise- LLActRep- BwNot- ASPMOptComp+
LnkCtl: ASPM Disabled; RCB 64 bytes, Disabled- CommClk+
ExtSynch- ClockPM- AutWidDis- BWInt- AutBWInt-
LnkSta: Speed 16GT/s (ok), Width x16 (ok)
TrnSfr- TrnErr- SlotCLK- DLActive- BWMgmt- ABWMgmt-
DevCap2: Completion Timeout: Range ABCD, TimeoutDis+ NROPrPrP- LTR+
10BitTagComp+ 10BitTagReq+ OBFF Not Supported, ExtFmt+ EETLPPrefix+, MaxEETLPPrefixes 1
EmergencyPowerReduction Not Supported, EmergencyPowerReductionInit-
FRS- TPHComp+ ExtTPHComp-
MemO-C- 00h+ 64bit+ 128bit+
LnkCtl2: Target Link Speed: 16GT/s, EnterModifiedCompliance- ComplianceSOS-
Compliance De-emphasis: -6dB
LnkSta2: Current De-emphasis Level: -6dB, EqualizationComplete+ EqualizationPhase1+
EqualizationPhase2+ EqualizationPhase3+ LinkEqualizationRequest-
Retimer- 2Retimers- CrosslinkRes: Upstream Port
```

5. LnkSta (Link Status Register) より、Gen4 (16 GT/s), x16 でのリンクアップを確認

ドライバー・ソフトウェアを使用した DMA 転送の実行

- **Design Example** には **Linux Kernel Driver** および **Example Application** が含まれる

- “software” フォルダが生成されており、この中に必要なファイルが格納されています
- インストールの手順、アプリケーションの実行方法については [User Guide](#)、および [弊社技術コンテンツ](#) でご確認ください！



Operations	Required BAR	Supported by P-Tile Avalon-MM PCIe Design Example
0: Link test - 100 writes and reads	2	Yes
1: Write memory space	2	Yes
2: Read memory space	2	Yes
3: Write configuration space	N/A	Yes
4: Read configuration space	N/A	Yes
5: Change BAR	N/A	Yes
6: Change device	N/A	Yes
7: Enable SR-IOV	N/A	No
8: Do a link test for every enabled virtual function belonging to the current device	N/A	No
9: Perform DMA	0	Yes
10: Quit program	N/A	Yes

インテル® Agilex™ F シリーズ FPGA & SoC
PCI Express
Gen3 x16
DMA 転送
デモンストレーション

インテル® Agilex™ F シリーズ FPGA & SoC のトランシーバー・タイルの概要および PCI Express プロトコルで使用する P タイルのトランシーバー・アーキテクチャーをご説明します。
また、実際にインテル® Agilex™ F シリーズ FPGA 開発キットを使用した PCIe DMA 転送の実行結果をご紹介します。

ドライバー・ソフトウェアを使用した DMA 転送の実行 ②

● DMA 転送の測定結果

```
.....
Current DMA configurations
Run Read (card->system) ? 1
Run Write (system->card) ? 1
Run Simultaneous ? 1
Number of dwords/desc : 2048
Number of descriptors : 128
Total length of transfer : 1e+03 KiB

Current run #: 100
Current time : Fri Nov 26 18:29:59 2021

DMA throughputs, in GB/s (10^9B/s)
Current Read Throughput : 19.78
Average Read Throughput : 17.79
Current Write Throughput : 18.40
Average Write Throughput : 16.29
Current Simul Throughput : 28.34
Average Simul Throughput : 25.61
.....
.....
Current DMA configuration
Run Read (card->system) : 1
Run Write (system->card) : 1
Run Simultaneous : 1
Number of dwords/desc : 2048
Number of descriptors : 128
Total length of transfer : 1e+03 KiB
.....
0: Run DMA
1: Toggle read DMA
2: Toggle write DMA
3: Toggle simultaneous DMA
4: Set the number of dwords per descriptor
5: Set the number of descriptors per DMA
6: Return to main menu
.....
> |
```

Current Read Throughput	: 19.78
Average Read Throughput	: 17.79
Current Write Throughput	: 18.40
Average Write Throughput	: 16.29
Current Simul Throughput	: 28.34
Average Simul Throughput	: 25.61

● DMA の構成について

- 2048 DW x 128 desc \doteq **1 MB** のデータ転送
- Run 回数は **100 回**
- Read : Agilex™ \Rightarrow PC Memory (**Memory Write**)
- Write : PC Memory \Rightarrow Agilex™ (**Memory Read**)

● スループットについて

- 理論値の計算
 - Gen4 (16 Gbps) x 16 Lane \doteq **31.51 GB/s**
- 測定値
 - Read (MWr) : **19.78 GB/s (62.8 %)**
 - Write (MRd) : **18.40 GB/s (58.4 %)**

Note :
測定したスループットは HOST 側の PC 性能にも依存します。
また、Gen4 x16 Mode では、512-bit, 500 MHz でユーザー回路とインターフェースをとる必要がありますが、本 Design Example は Tool の制約上、400 MHz での動作に制限されています。このため、本来の性能より 2 割程度減少した結果が得られています。今後の Tool Version や、Multi-Channel DMA IP 等を利用して本来の性能を得ることができるようになります。

サマリー

MACNICA

サマリー

- **インテル® Agilex™ F シリーズ FPGA トランシーバー : P タイル**
 - PCI Express Gen3/Gen4 x16 に対応
 - PCI-SIG Base Specification Rev4.0 に完全準拠
 - インテグレーターズ・リストにも掲載済み
- **開発キットと Design Example で初期の評価を簡単に実施**
 - IP 設定で Design Example を生成し、開発キットで動作確認
 - Linux 用のドライバー・ソフトウェア付属
 - Link test や DMA 転送テストが実行可能
- **Gen4 (16 GT/s) でもリンク・パートナーとの安定した通信が可能**
 - インテル® CPU との接続性も確認済

最後に

● アンケートへのご協力をお願い

- 本資料に関するご質問や打ち合わせをご希望の方は、下記 QR コードからアンケートへご回答をお願い致します



個人情報の利用について必須

お客様に入力していただいた氏名・住所・電話番号・メールアドレス等の個人情報は今後、マクニカ・富士エレホールディングス株式会社およびグループ会社（以下当社）において、当社が出展または主催する展示会・セミナーのご案内、当社が提供する商品・サービスに関するご案内など各種情報のご提供、及び当社営業部門からのご連絡などを目的として利用させていただきます。当社は、ご提供いただいた個人情報を、法令に基づく命令などを除いて、あらかじめお客様の同意を得ないで第三者に提供することはありません。

macnica