Intel Agilex[®] 7 FPGA における PCIe Gen4 x16 Performance Design 実機動作デモンストレーション

MACNICA

株式会社マクニカ アルティマカンパニー

© Macnica, Inc.

Agenda

- 1. Intel Agilex[®] 7 FPGA F シリーズについて
 - 。 トランシーバー・タイル概要
 - Pタイルのトランシーバー・アーキテクチャー
- 2. Intel Agilex[®] 7 FPGA F シリーズ開発キットでの Performance Design 実機動作について
 - 。 評価環境
 - 。 Design Example の生成
 - 。 PCle Link & チャネル・ステータスの確認
 - サンプルドライバー/ソフトウェアを使用した
 DMA 転送の実行
- 3. サマリー

Intel Agilex[®] 7 FPGA F シリーズについて



トランシーバー・タイル概要

● トランシーバー・タイルの配置と機能



。 各種タイルの機能概要

トランシーバー・タイル	E タイル	P タイル
最大データレート	12 x 57.8 G PAM4 24 x 28.9 G NRZ	16 x 16G NRZ
ノード IP	10/25/100 GbE MAC PCS and KR/KP RS-FEC	PCIe Gen4 x16 , EP/RP 8 PF/2K VF SR-IOV, VirtIO
消費電力比率 (H タイル* を 1 とする)	0.6	0.7

*: H タイルはインテル® Stratix® 10 FPGA でサポートされる汎用タイル

P タイルのトランシーバー・アーキテクチャー



- 詳細は P タイル : PCle User Guide を参照
 - Avalon-Streaming (ST)
 - Avalon-Streaming Design Example User Guide

PCI-SIG Base Specification に準拠

- PCIe Gen4 Base Spec, Rev 4.0, Ver 1.0
- PIPE Spec for PCIe, Ver 4.4.1
- PCle Gen3 Base Spec, Rev 3.1

Intel Agilex[®] 7 FPGA F シリーズ開発キットでの Performance Design 実機動作について



評価環境

- ・ ハードウェア
 - 。 Intel Agilex[®] 7 FPGA F シリーズ開発キット (AGFB014R24B2E2V)
 - HOST PC (PCIe Gen4 x16 Slot)
 - MB : PRIME Z790-P (ASUS)
 - CPU : インテル[®] Core[™] i7-13700K (第 13 世代)
 - Memory : 128 GB
 - OS : AlmaLinux 8.7 (Kernel Version : 4.18.0-425.3.1)

・ ソフトウェア

- Intel[®] Quartus[®] Prime Pro Edition Version 22.4
- Generate Example Design : PERFORMANCE_DESIGN
 - .sof ファイル
 - Driver/Software





Design Example の生成

- Tools メニュー > IP Catalog
 - 。 "P-Tile Avalon Streaming Intel FPGA IP for PCI Express"を選択
 - 。 各種パラメーターを設定
 - Gen4x16, Native Endpoint, 500MHz, Enable Ptile Debug Toolkit : ON
 - Agilex F-Series P-Tile Production FPGA Development Kit, PERFORMANCE_DESIGN
 - ▶ 手順の詳細については、<u>Design Example User Guide</u>や<u>弊社技術コンテンツ</u>もご参考ください



インテル® Agilex™ F シリーズ FPGA & SoC の PCI Express のデバッグツールである「P-Tile Debug Toolkit」と Gen4 (16 Gbps) での実機動作をご紹 介します。

基板上にはんだ付けした差動プローブにより動作 中の Eye Pattern も測定しておりますので、是非 結果をご覧ください。

Filter 🔀 📩 IP Catalog 🕮 🗕 🖬	
P Board	
🔍 pciel 🗙 🔇	
Project	ì
🚽 💻 New Component	
P− Systems	
pcie_ed	
pcie_ed_tb	
Library	
P− Interface Protocols	
PCI Express	
Intel P-Tile Switch for PCI Express	
P-Tile Avalon Streaming Intel FPGA IP for PCI Express	
P-Tile Multichannel DMA Intel FPGA IP for PCI Express	
 PCIe AXI Arbiter Fabric 	

D. Tile, Australian Officiamin a linkel EDOA ID for DOL					
intel_pcie_ptile_ast				<u>D</u> etails	
	P-Tile Avalon Streaming Intel FPGA IP for PCI Express				
Design Environment	intel_pcie_ptile_ast				
This component supports multiple interface views:					
System	Design Envi	ronment		La construction de la constructi	
	This compo	nent supports multiple interface views:			
Top-Level Settings PCIe0 Settings Example Designs	System				
Hard IP Mode: Gen4x16, Interface - 512 bit	Top-Level S	Settings PCle0 Settings Example Designs			
Enable TLP-Bypass Mode					
Port Mode: Native Endpoint	* Example Design Files				
Enable PHY Reconfiguration	Simula	ation			
	🗹 Synth	esis			
PLD Clock Frequency: 500MHz	T Generat	ed HDL Format	-		
Enable SRIS Mode	Generated	l file format:	Verilog		
P-Tile Sim Mode	👅 Target 🛙	evelopment Kit			
□ Enable CVP (Intel VSEC)	Current de	evelopment kit:	Agilex F-Series P-Tile Production FPC	A Development Kit 🔽	
	Current	ly Selected Example Design			
	Based on	parameterization, the generated example design will be:	PERFORMANCE_DESIGN		

補足: PERFORMANCE_DESIGN について



Performance Design は、PCle Hard IP + Reset Release IP + DMA 回路を含んで生成されます。 ターゲットとする開発キットを選択することで、コンパイルに必要なプロジェクト・ファイル (.qpf) や、ピン配置および I/O 設定等が含まれたセッティング・ファイル (.qsf) も含まれま すので、そのままコンパイルを実施するだけでも選択した開発キット向けのプログラミン グ・ファイル (.sof) を生成可能です。

必要に応じて Signal TAP (.stp) や Debug Toolkit (DTK) などのデバッグ機能を追加することも可能です。



Pr	Project Navigator				or		Hierarchy Tab			
	Instance				tand	ce	Entity	Ms needed [=A-B+	1s used in final pla
A	5	Agile	ex:	AGF	FBO	14R24B2E2V				
-	, 8	v P	ocie	e_ec	, n			21211.7 (24	4.0)	26752.0 (0.5)
		۱.		aut	o_fa	ıb_0 📫	alt_sld_fab_0	8645.5 (0.5)	10965.1 (0.5)
		۲.		dut			pcie ed dut	4058.2 (0.0)		5116.6 (0.0)
		- 4		per	fO		pcie_ed_perf0	8483.9 (0.0))	10669.8 (0.0)
		,	÷ !	sv SV	per	fO	pioperf_user_app_top	8483.9 (80.	2)	10669.8 (96.2)
					abc SV	adapter	pioperf_multitlp_adapter	1921.2 (192	21.2)	2531.2 (2531.2)
				۶.	alor SV	diverter	pioperf_rx_diverter	1041.9 (104	41.9)	1268.0 (1268.0)
			1	۲.	abc SV	dma_top	pioperf_dma_top	2917.3 (48.	2)	3406.1 (57.2)
					abt SV	rx	pioperf_rx_intf	452.7 (452.)	7)	579.3 (579.3)
				۱.	abc SV	tx	pioperf_tx_intf	2070.8 (0.0))	2788.9 (0.0)
		۶,		res	etip		pcie_ed_resetIP			

PCle Link & チャネル・ステータスの確認

- 1. 開発キットを挿入して PC を起動後、プログラミング・ファイル (.sof) を書き込む
 - ➢ AUX Power が供給されていないと HOST PC は起動しない

2. PC に PCIe デバイスを認識 (Enumeration : 列挙) させるため、PC の再起動を実施

- ▶ PCle Slot への電源供給は遮断されず、.sof ファイルはアクティブのまま
- 3. Signal Tap を利用し、デザインが動作 (Linkup) していることを確認

Туре	Alias	Name	-256	-128	. 9	, 12	8	256	384	512	640	768	896	1024	1152	1280	1408	15,36	1664	1792
*		dut dut ast p0_pin_perst_n																		
*		dut dut ast p0_link_up_o													11	h : L0	Stat	e (Lir	nkup	5
*		dut dut ast p0_pld_link_req_rst_o																· (/
*		dut dut ninit_done																		
*		dut dut ast ninit_done				<u> </u>														
		─dut dut ast p0_ltssm_state_o[50]										11h								
*																				

<u>P-Tile Debug Toolkit</u>を利用し、PCIe のリンクアップ状況の詳細や、PLL のステータス, チャネルごとの アナログ・パラメーターの設定を確認することも可能。<u>弊社技術コンテンツ</u>もご参考ください



基板上にはんだ付けした差動プローブにより動作 中の Eye Pattern も測定しておりますので、是非 結果をご覧ください。

PCle Link & チャネル・ステータスの確認 ②

4. Linux OS が起動したらターミナルを立ち上げ、"Ispci" コマンドを実行

▶ ここでは Ispci のオプションを利用し、より詳細な PCIe Configuration Register の情報を取得



5. LnkSta (Link Status Register) より、Gen4 (16 GT/s), x16 でのリンクアップを確認

サンプルドライバー/ソフトウェアを使用した DMA 転送の実行

- Design Example には Linux Kernel Driver および Example Application が含まれる
 - 。 "software" フォルダ内 必要なファイルが格納済み
 - インストールの手順、アプリケーションの実行方法については <u>Design Example User Guide</u>を参照



Operations	Required	Supported by P-Tile Avalon Streaming IP for PCIe Design Examples						
	DAK	PIO	SR-IOV	Performance				
0: Link test - 100 writes and reads	0	Yes	Yes	No				
1: Write memory space	0	Yes	Yes	No				
2: Read memory space	0	Yes	Yes	No				
3: Write configuration space	N/A	No	No	No				
4: Read configuration space	N/A	No	No	No				
5: Change BAR	N/A	Yes	Yes	No				
6: Change device	N/A	Yes	Yes	No				
7: Enable SR-IOV	N/A	No	Yes	No				
8: Do a link test for every enabled virtual function belonging to the current device	N/A	No	Yes	No				
9: Perform DMA for Throughput	N/A	No	No	Yes				

Note :

生成されたソフトウェア/ドライバーについて、インストールやアプリケーションの実行の際 に、ご使用の OS 環境に依存してバーション間の差分を埋める作業などが発生しますので、 Linux に詳しい方などと作業頂ければと思います。

なお、今回作成した Performance Design で実行できるオペレーションは一番右の "Performance" 列で示されるように、"Perform DMA for Throughput"となります。

サンプルドライバー/ソフトウェアを使用した DMA 転送の実行 ②

● DMA 転送の結果

ink test – 100 writes and reads. 1: Write memory space Read memory space 3: Write configuration space Read configuration space 5: Change BAR for PIO Change device 7: Enable SRIOV 8: Do a link test for every enabled virtual function belonging to the current device 9: Perform DMA for Throughput Quit program Enter number of loop (between 1-1000; 1 second per loop): Enter type of operation (0 for write,1 for read and 2 for simultaneous write and read): Choose payload size: 64B 128B 256B 512B

DMA READ & WRITE

PERF	WRITE GB/s:	25.7321
PERF	READ GB/s:	23.1421
PERF	WRITE GB/s:	26.0571
PERF	READ GB/s:	23.3937
PERF	WRITE GB/s:	26.4031
PERF	READ GB/s:	23.6768
PERF	WRITE GB/s:	26.3717
PERF	READ GB/s:	23.6559
PERF	WRITE GB/s:	26.4136
PERF	READ GB/s:	23.6873

● DMA 設定項目

- Perform DMA Throughput (9)
- ◎ Loop 回数 : **5 (5)**
- DMA Type : Simultaneous Write & Read (2)
 - Write (0) : Memory Write (Device to HOST)
 - Read (1) : Memory Read (HOST to Device)
- Payload Size : 256 Byte (3)
- スループット測定結果
 - Write (MWr) : 26.4136 GB/s (83.8 %)
 - Read (MRd): 23.6873 GB/s (75.2 %)

Note :

© Macnica, Inc.

理論値の算出 ⇒ Gen4 (16 Gbps) x 16 Lane x 128b130b ≒ 31.51 GB/s

本デザインは理論値の80%程度の性能を得ることを目的としています。RTLソースを編集 しユーザーデザインへ流用することも可能ですが、更なる効率や柔軟な転送を求める場合 には、オリジナルの回路を用意する、3rd-party 製のDMAIPを利用することを推奨します。







サマリー

• Intel Agilex[®] 7 FPGA F シリーズ : P タイル

- 。 PCI Express Gen3/Gen4 x16 に対応
- 。 PCI-SIG Base Specification Rev4.0 に完全準拠
 - インテグレーターズ・リストにも掲載済み

開発キットと Design Example で初期の評価を簡単に実施

- Design Example を生成し、開発キットと HOST PC との Linkup をチェック
 - Debug Toolkit を利用して各種テータス詳細を確認
- 。 Linux OS 用のサンプルドライバー/ソフトウェア付属
 - DMA 転送テストが実行可能
- Gen4 (16 GT/s) でもリンク・パートナーとの安定した通信が可能
 - 。 複数のインテル[®] CPU との接続性も確認済

MACNICA

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。

2. 本資料は予告なく変更することがあります。

3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。

5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。