



MACNICA

Identify

技術統括部

2020年4月

V1.0

Libero SoC v12.3

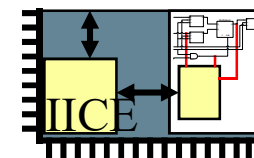
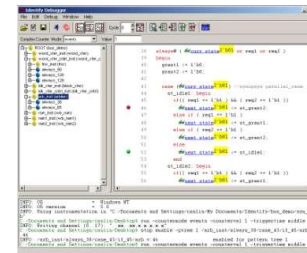
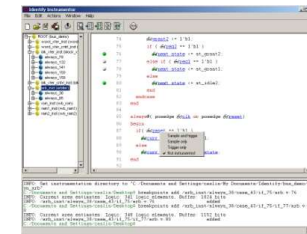
Confidential

Identify

- Synopsys社のRTLソース・レベル・ハードウェア・デバッグ
 - フル・スピードでターゲット・システムの内部可視性を提供
 - データ・パスと制御パスでトリガ
 - RTLソース・コードから直接デザインの観測とデバッグ
 - スタANDARD・ウェブフォームでデータを表示
- 論理合成前にHDLレベルでデバッグ・ロジックとサンプリング・バッファを挿入
- オンチップ・サンプル・バッファでの連続キャプチャ
- キャプチャを制御するための、複雑なトリガ条件を設定
- JTAGコントローラを介して Instrumentor 済みのデザインに接続

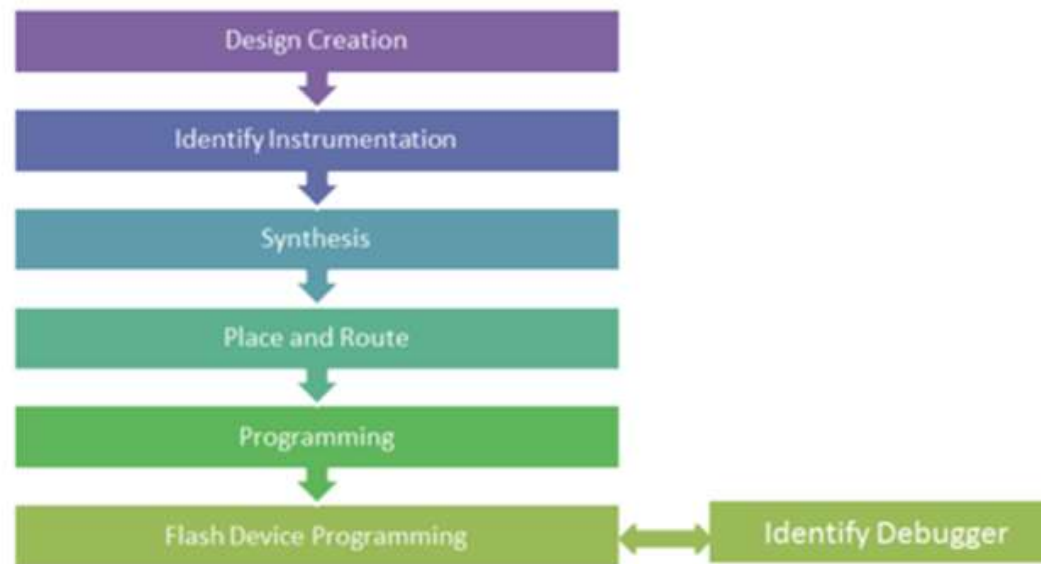
Identify

- Identify Instrumentor (アイデンティファイ・インストゥルメンター)
 - デザインにロジックを挿入しコンパイル
- Identify Debugger (アイデンティファイ・デバッガ)
 - FPGAと通信
 - トリガの設定
 - データ表示
- IICE (Intelligent In Circuit Emulator)
 - Identify により挿入されたデバッグ・ロジック
 - オンチップ・ロジック・アナライザのように動作
 - トリガ・ロジック
 - データ・ストレージ・バッファ



Identify

- Identify デバッグ・フロー

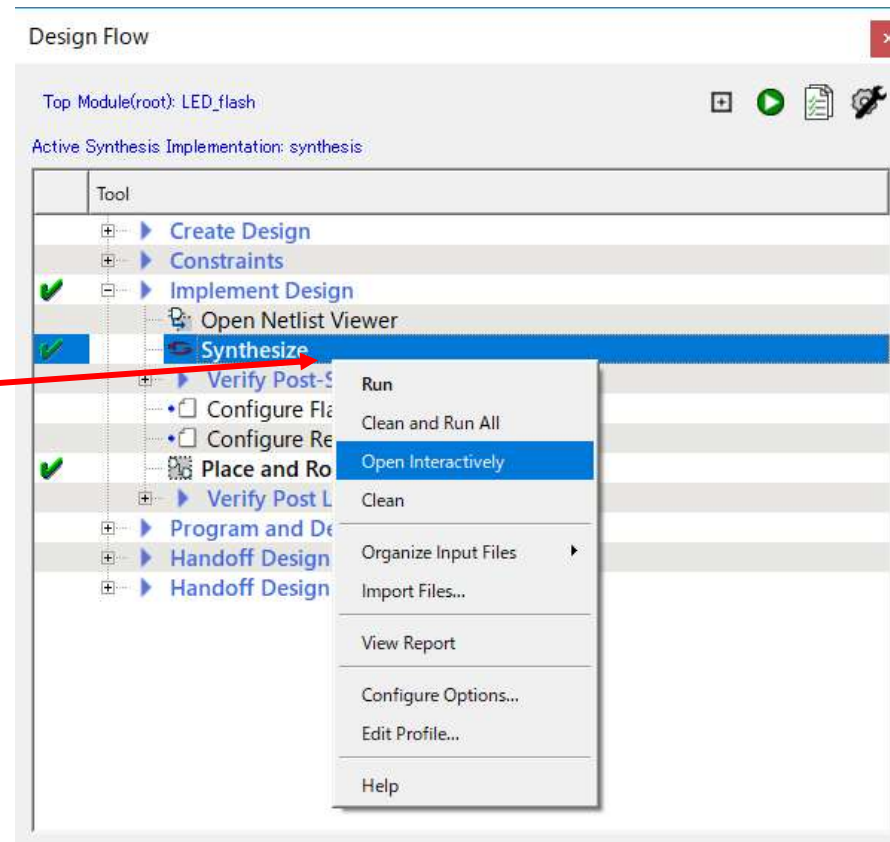
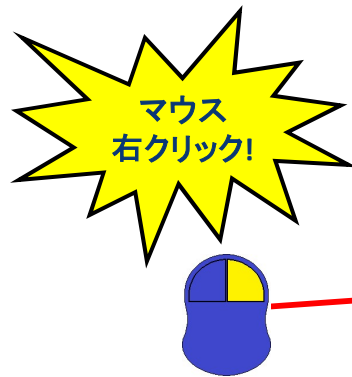


Identify

- PCと基板(デバイス)がFP4/FP5で接続されている。
- 基板の電源ONを忘れずに！！

Synplify Proの起動

- Libero SoC のDesign Flowタブ“Implement Design” => “Synthesize” をマウス右クリック => “Open Interactively” を選択
- Synplify Proを起動



Identify の設定

- Synplify ProのProject Filesタブ“Synthesis”を選択し、“Options” => “Configure Identify Launch...”を選択

The screenshot shows the Synplify Pro software interface. The 'Options' menu is open, and the 'Configure Identify Launch...' option is highlighted. The main window displays the 'Project Settings' and 'Run Status' sections.

Project Settings

Project Name	LED_flash_syn	Device Name	synthesis: Microsemi IGLOO2 : M2GL010
Implementation Name	synthesis	Top Module	LED_flash
Retiming	0	Resource Sharing	1
Fanout Guide	10000	Disable I/O Insertion	0
Disable Sequential Optimizations	0	FSM Compiler	1

Run Status

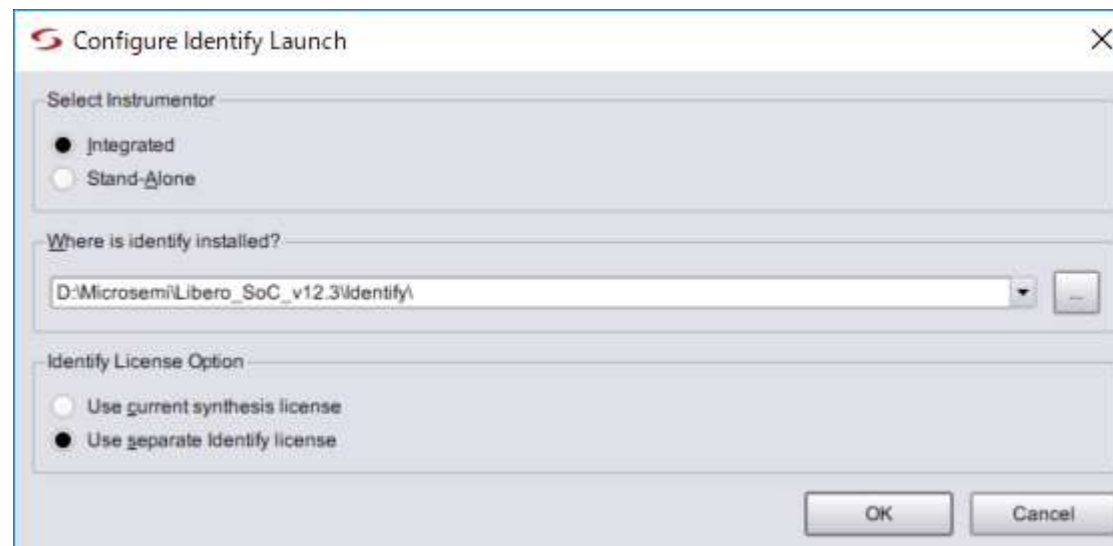
Job Name	Status	U	A	W	CPU Time	Real Time	Memory	Date/Time
Compile Input (compiler)	Complete	16	0	0	-	00m:01s	-	2020/03/12 9:09:46
Premap (premap)	out-of-date	9	0	0	0m:00s	0m:00s	134MB	2020/03/12 9:09:48
Map & Optimize (fpga_mapper)	out-of-date	14	1	0	0m:00s	0m:01s	134MB	2020/03/12 9:09:49

Area Summary

```
run_tcl -fg LED_flash_syn.tcl
auto_infer_blackbox is not supported in current product.
TCL script complete: "LED_flash_syn.tcl"
```

Identify の設定

- Configure Identify Launch
 - “Integrated”を選択
 - Identify のインストール・フォルダ
 - “Use separate Identify license” を選択
- 設定確認後“OK”を選択



Identify の設定

- Synplify ProのProject Filesタブ“synthesis”をマウス右クリック、 “New Identify Implementation...”を選択

マウス 右クリック!

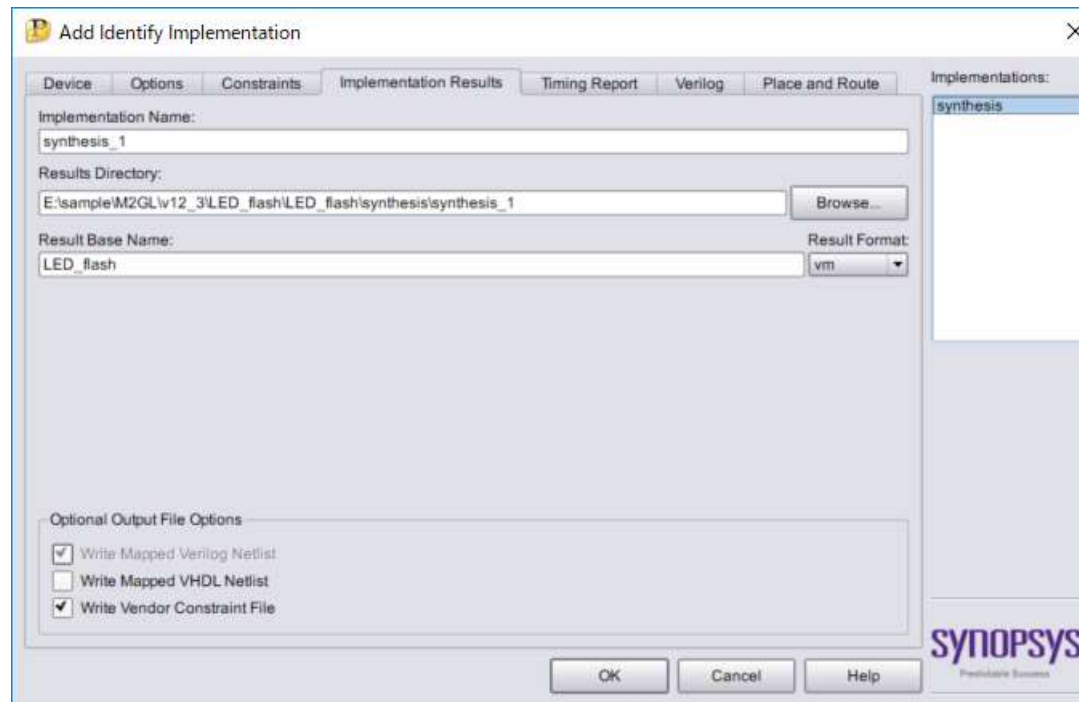
Project Settings			
Project Name	LED_flash_syn	Device Name	synthesis: Microsemi IGLOO2 : M2GL010
Implementation Name	synthesis	Top Module	LED_flash
Retiming	0	Resource Sharing	1
Fanout Guide	10000	Disable I/O Insertion	0
Disable Sequential Optimizations	0	FSM Compiler	1

Run Status							
Job Name	Status	U	A	CPU Time	Real Time	Memory	Date/Time
Compile Input (compiler)	Complete	15	0	0	00m:01s	-	2020/03/12 9:09:46
Premap (premap)	out-of-date	9	0	0	0m:00s	134MB	2020/03/12 9:09:46
Map & Optimize (fpga_mapper)	out-of-date	14	1	0	0m:01s	134MB	2020/03/12 9:09:49

```
run_tcl -fg LED_flash_syn.tcl
auto_infer_blackbox is not supported in current product.
TCL script complete: "LED_flash_syn.tcl"
```

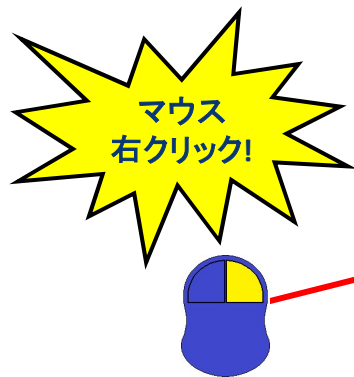
Identify の設定

- Add Identify Implementation
 - Implementation Name: **synthesis_1**
 - Results Directory: 格納フォルダ
 - Result Base Name: プロジェクト名
- 設定確認後“OK”を選択



Identify Instrumentor の設定

- Synplify ProのProject Filesタブ“**synthesis_1**”をマウス右クリック、“Identify Instrumentor”を選択



Synplify Pro (R) O-2018.09M-SP1-1 - [E:\sample\M2GL\v12_3\LED_flash\LED_flash\synthesis\LED_flash_syn.prj *]

File Edit View Project Run Analysis HDL-Analyst Options Window Web Help

Run Synplify Pro® Ready

Project Files Design Hierarchy

Microsemi IGLOO2 : M2GL010 : VF400 : STD

LED_flash_syn] - E:\sample\M2GL\v12_3\LED_flash\LED_flash\synthesis\LED

Verilog
Logic Constraints (FDC)
synthesis_1

Implementation Options...
Change Implementation Name...
Hierarchical Project Options...
Add Sub-Project Implementations...
Sub-Project Parameter Sync...
Copy Implementation...
Remove Implementation... DEL
New Identify Implementation...
Identify Instrumentor
Launch Identify Debugger
RTL View
Technology View
Add Place & Route...
Run FB
Project View Options...

Project Status Implementation Directory Process View

Project Settings

Project Name	LED_flash_syn	Device Name	synthesis: Microsemi IGLOO2 : M2GL010
Implementation Name	synthesis	Top Module	LED_flash
Retiming	0	Resource Sharing	1
Fanout Guide	10000	Disable I/O Insertion	0
Disable Sequential Optimizations	0	FSM Compiler	1

Run Status

Job Name	Status	CPU Time	Real Time	Memory	Date/Time
Compile Input	out-of-date				
Premap	out-of-date				
Map & Optimize	out-of-date				

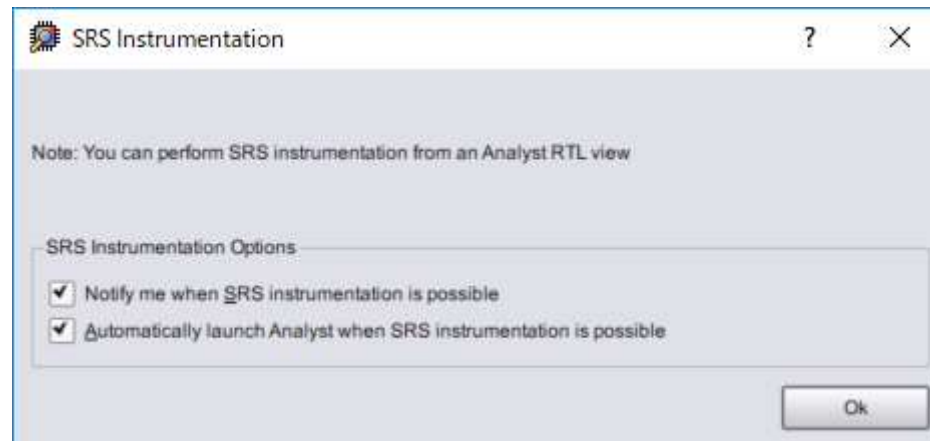
run_tcl -fg LED_flash_syn.tcl
auto_infer_blackbox is not supported in current product.
TCL script complete: "LED_flash_syn.tcl"
impl -add E:\sample\M2GL\v12_3\LED_flash\LED_flash\synthesis\synthesis_1_synthesis
Copied E:\sample\M2GL\v12_3\LED_flash\LED_flash\synthesis\LED_flash.srs to E:\sample\M2GL\v12_3\LED_flash\LED_flash\synthesis\synthesis_1\LED_flash.srs
set_option -write_verilog 1

TCL Script Messages

synthesis_1

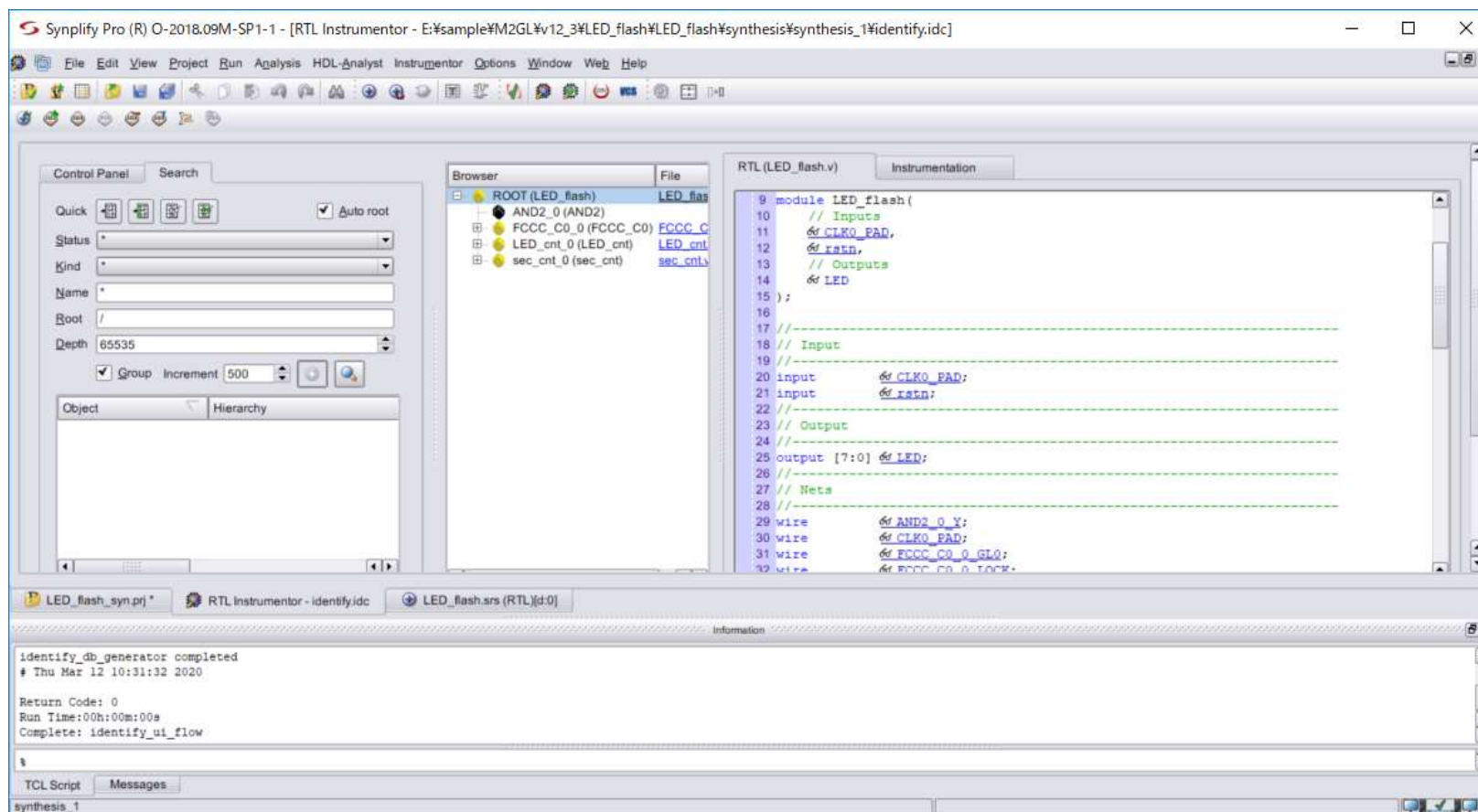
Identify Instrumentor の設定

- SRS Instrumentation
 - Notify me when SRS instrumentation is possible
 - Automatically launch Analyst when SRS instrumentation is possible
- チェックを確認後“OK”を選択



Identify Instrumentor の起動

- Instrumentor 初期画面

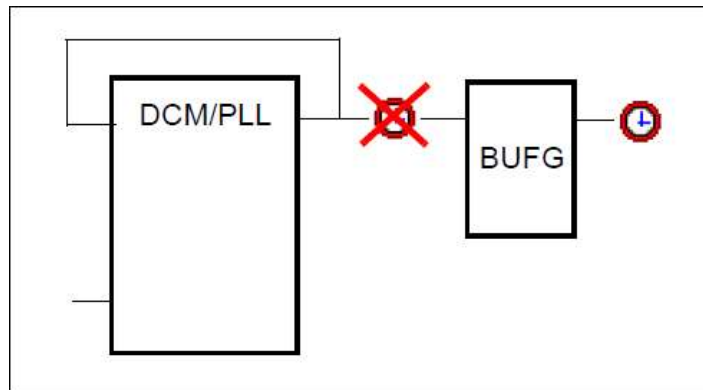


Identify Instrumentor の設定





- Watchpoint と Breakpoint
- Watchpoint はデザイン内の信号の状態でもトリガを生成
 - 信号の値でもトリガまたはある値から別の値への信号の遷移でもトリガ
- Breakpoint はフローでもトリガを生成
 - if, else, case 文
 - Breakpoint は、1つ以上のif ~ elseまたはcase 文の条件式に特定の値がある場合にトリガ
- Identify Instrumentor で設定された Watchpoint と Breakpoint のみが、Identify Debugger でトリガとして有効

Identify Instrumentor の設定

- 注) CCC(PLL)の出力ネットをSample Clock に設定不可
 - 例) “FCCC_C0_0_GL0 ”など



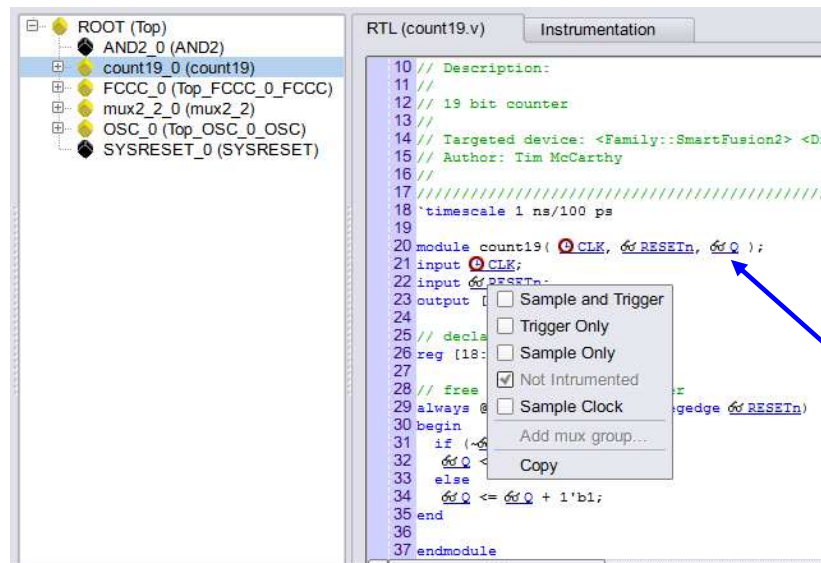
- Always文のposedge “clk”を設定

```
54
55     always @(posedge  clk or negedge  clr)
56     begin
57     if ( clr == 1 b0)
58          current state = s_RESET: /* 4'b0000 */
59     else begin
```

Sample Clock Icon

Identify Instrumentor の設定

■ Watchpoint の設定



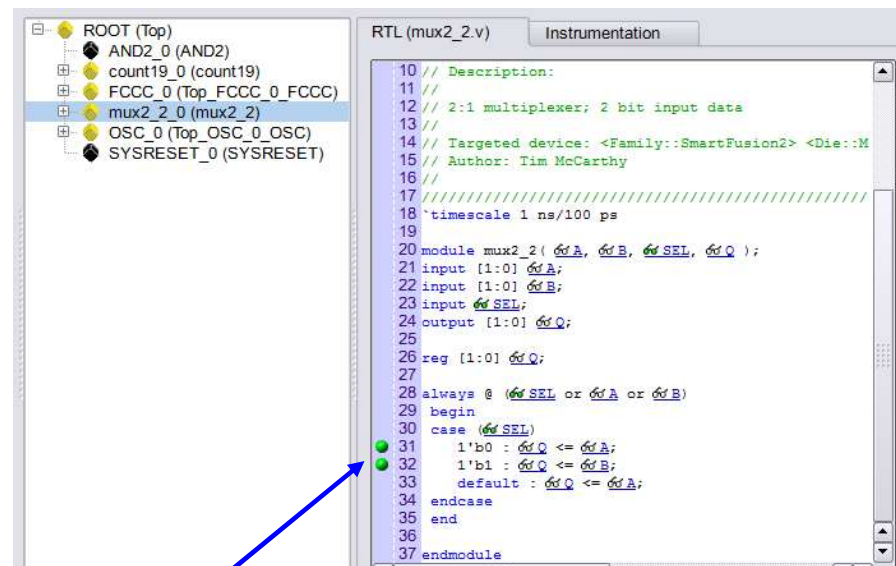
メガネをクリックして:

- Sample and Trigger
- Trigger Only
- Sample Only
- Sample Clock

を選択

Identify Instrumentor の設定

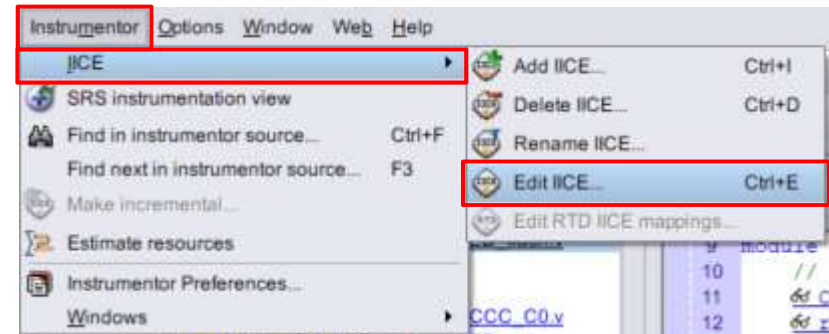
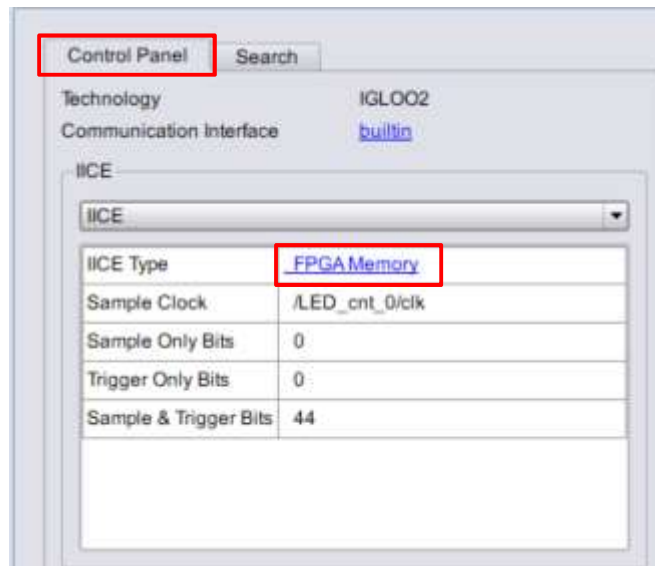
- Breakpoint の設定




行番号の横をクリックし、デバッグ用の
Breakpoint を追加

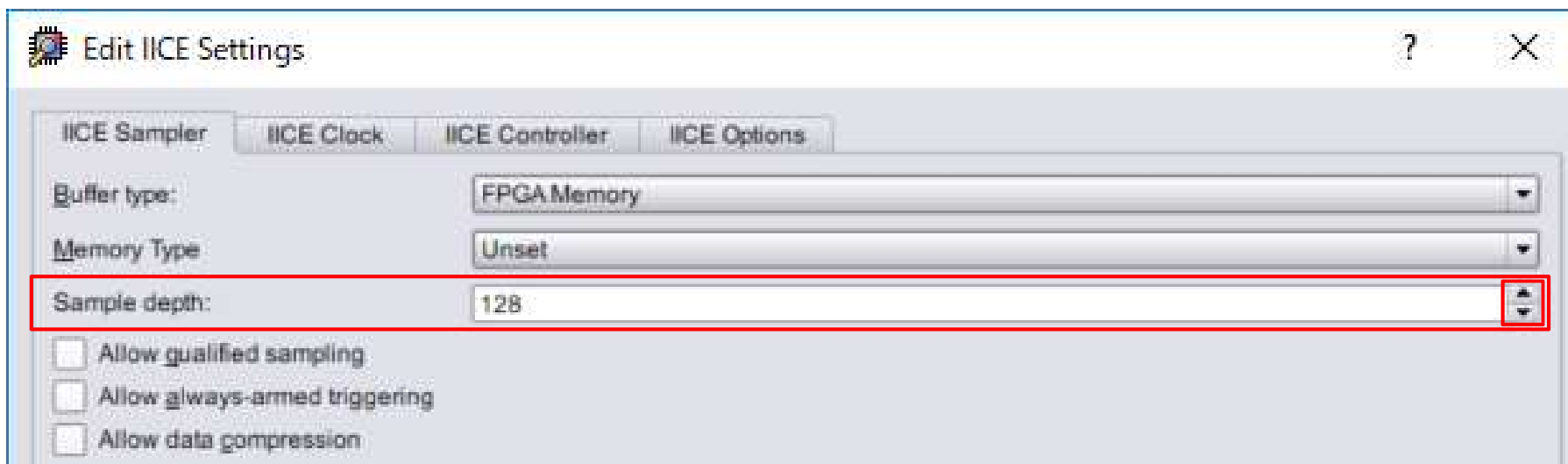
Identify Instrumentor の設定

- Sample depth の設定
- 読み込みの深さ=測定時間の延長設定
 - “Control Panel”タブを選択し、“FPGA Memory”をクリック
または
 - “Instrumentor” => “IICE” => “Edit IICE” を選択 (“Ctrl+E” も可)



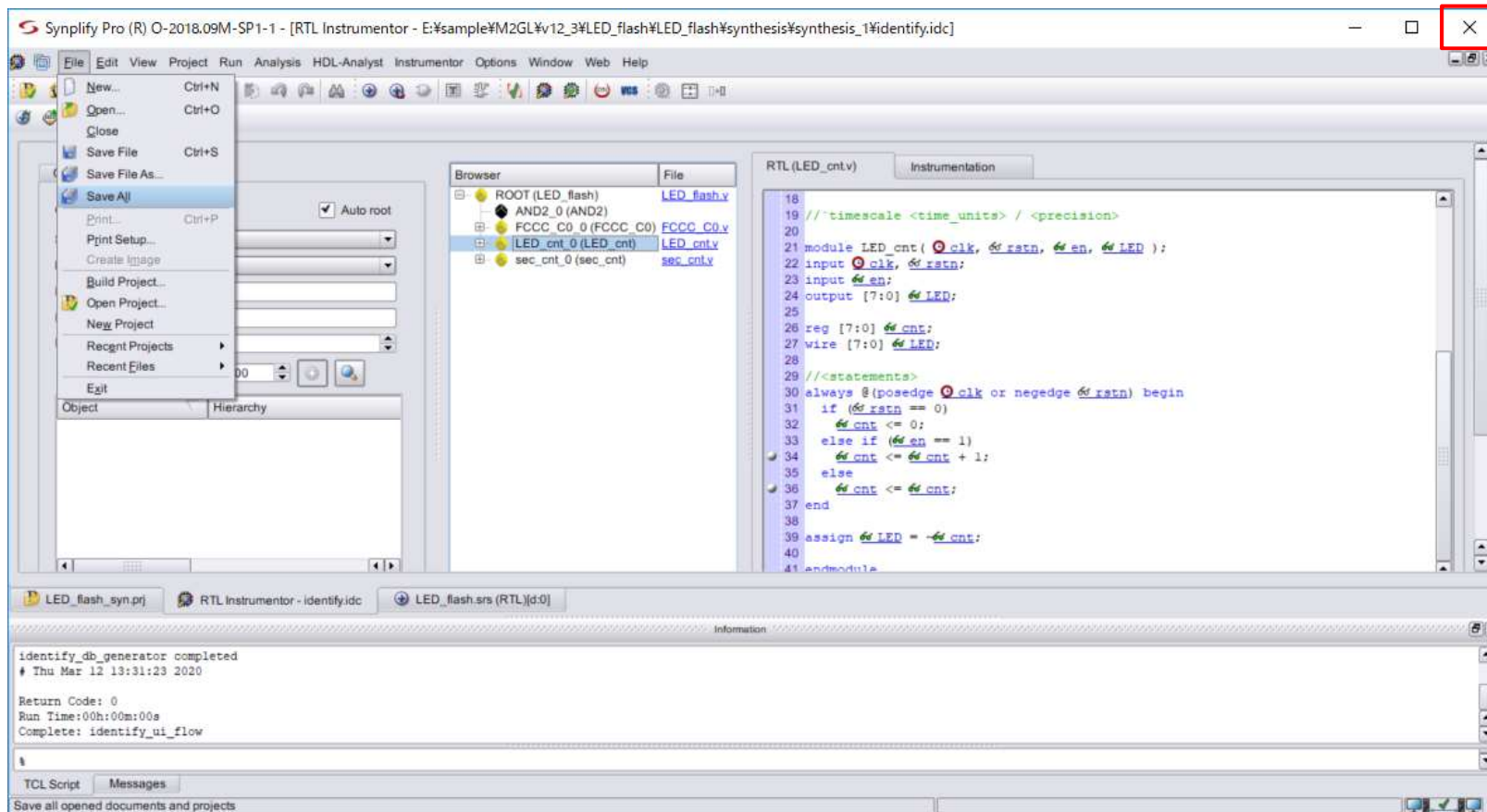
Identify Instrumentor の設定

- “Edit IICE Settings” の“IICE Sampler” タブ
- “Sample depth:” の “” ボタンで増減し設定
- “OK” を選択



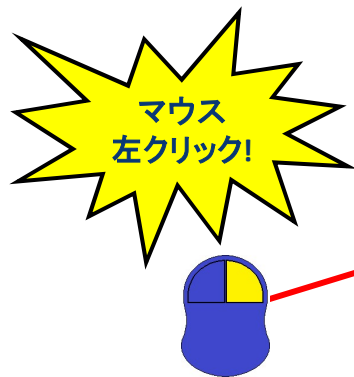
Identify Instrumentor の設定

- “File” => “Save All” を選択
- Instrumentor を閉じる



IICEを組み込んだ論理合成

- “synthesis_1”をマウス左クリックし選択
- “Run”を選択



Synplify Pro (R) O-2018.09M-SP1-1 - [E:/sample/M2GL/v12_3/LED_flash/LED_flash/synthesis/LED_flash_syn.prj]

File Edit View Project Run Analysis HDL-Analyst Options Window Web Help

Run Synplify Pro® Ready

Project Files Design Hierarchy
Microsemi IGLOO2 : M2GL010 : VF400 : STD

- [LED_flash_syn] - E:/sample/M2GL/v12_3/LED_flash/LED_flash/synthesis/LED
- Verilog
- Logic Constraints (FDC)
- Identify Design Constraint
- synthesis
- synthesis_1**

Frequency (MHz):
● 100 ○ Auto Const.

Continue on Error
FSM Compiler
FSM Explorer
Resource Sharing
Retiming

Project Status Implementation Directory Process View

Project Settings			
Project Name	LED_flash_syn	Device Name	synthesis_1: Microsemi IGLOO2 : M2GL010
Implementation Name	synthesis_1	Top Module	LED_flash
Retiming	0	Resource Sharing	1
Fanout Guide	10000	Disable I/O Insertion	0
Disable Sequential Optimizations	0	FSM Compiler	1

Run Status								
Job Name	Status	U	A	W	CPU Time	Real Time	Memory	Date/Time
Identify Database Generator (identify_db_generator) Detailed report	Complete	0	0	0	-	00m:00s	-	2020/03/12 13:31:23
Identify Compile	out-of-date							
Compile Input	out-of-date							
Premap	out-of-date							
Map & Optimize	out-of-date							

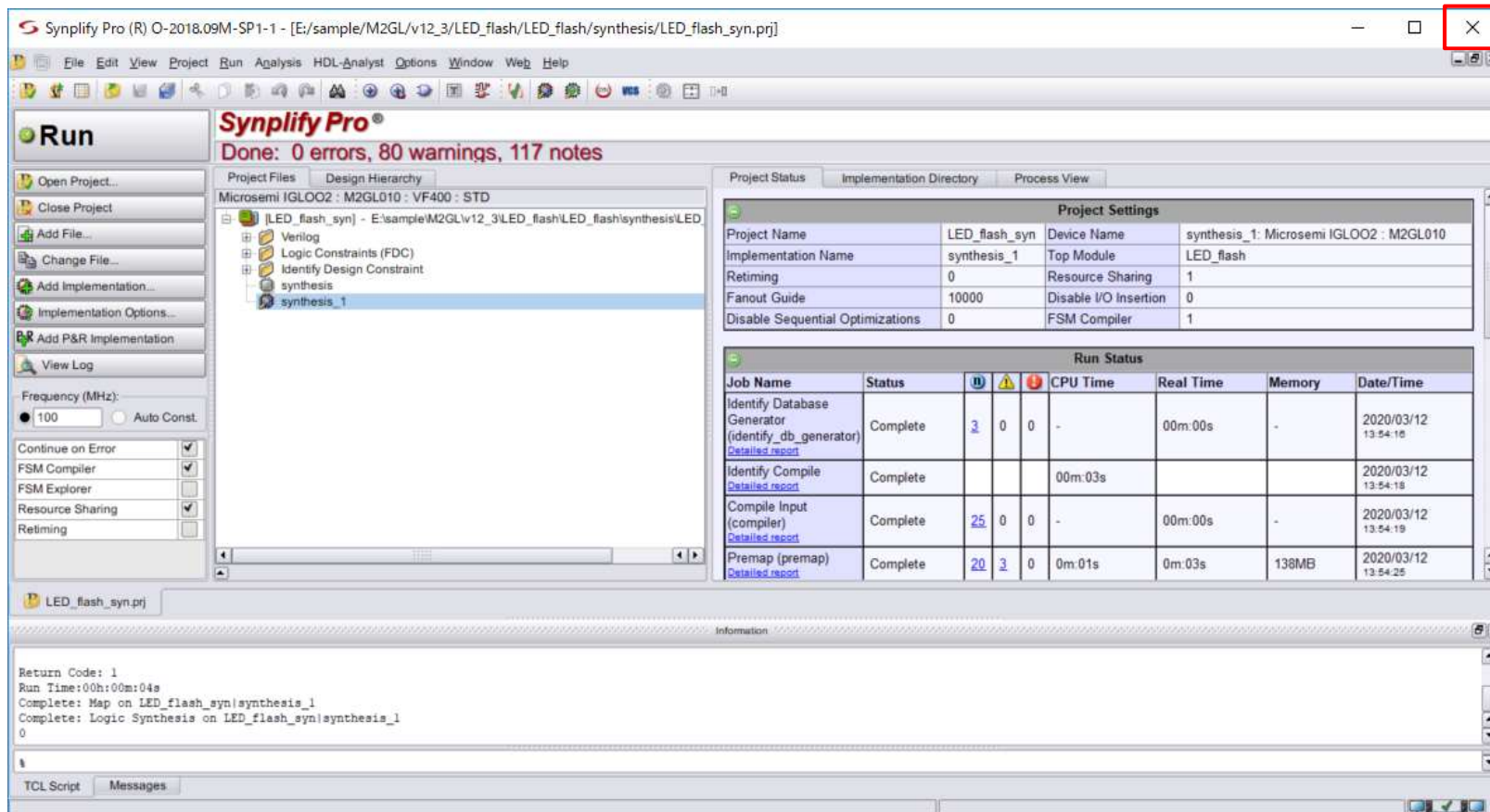
LED_flash_syn.prj

```
TCL script complete: "LED_flash_syn.tcl"
impl -active synthesis_1
impl -active synthesis_1
impl -active synthesis_1
impl -active synthesis_1
impl -active synthesis_1
```

TCL Script Messages

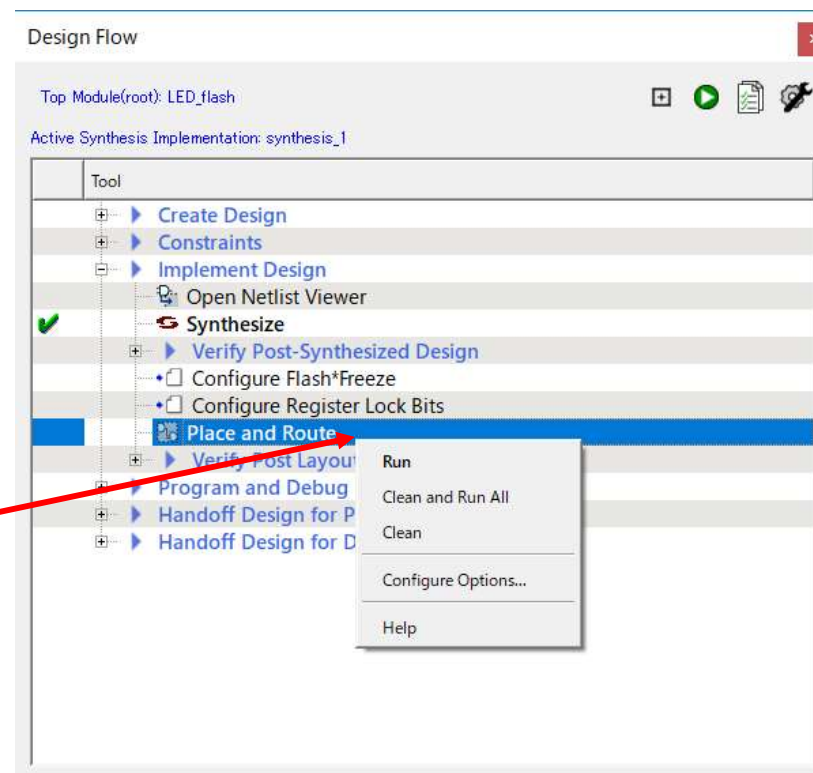
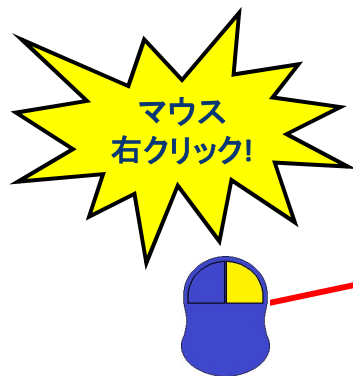
IICEを組み込んだ論理合成

- 論理合成完了
- Synplify Proを閉じる



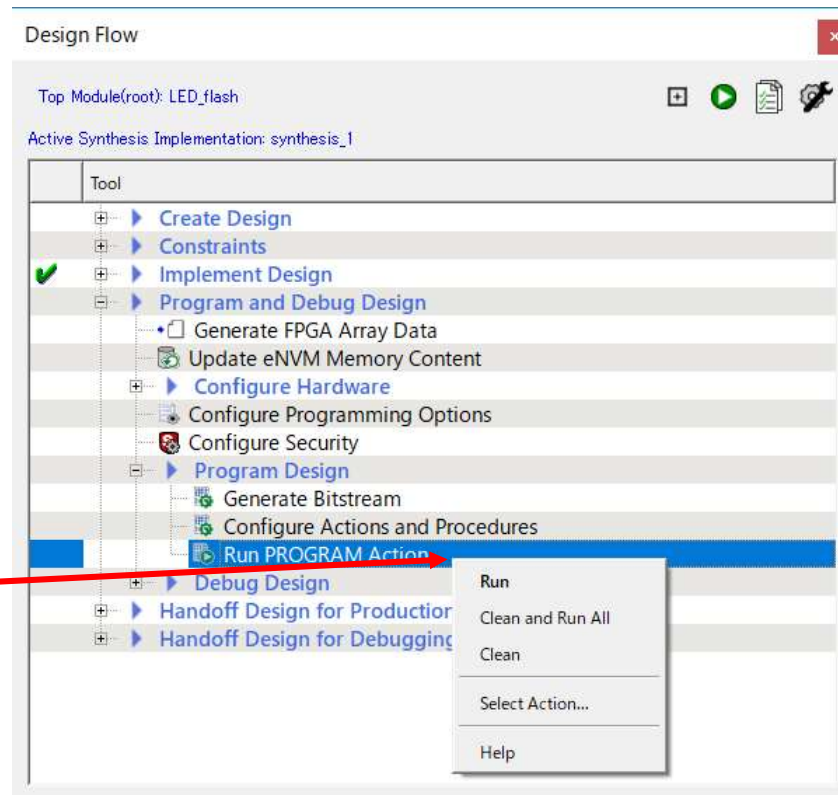
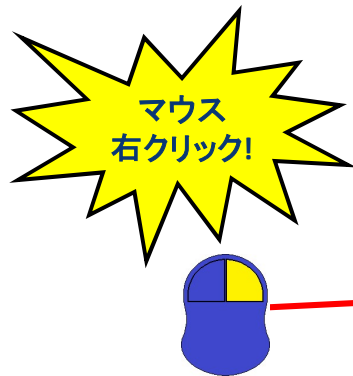
IICE を組み込んだ P&R

- Libero SoC のDesign Flowタブ“Implement Design” => “Place and Route” をダブルクリック
- または
- マウス右クリックし“Run”を選択



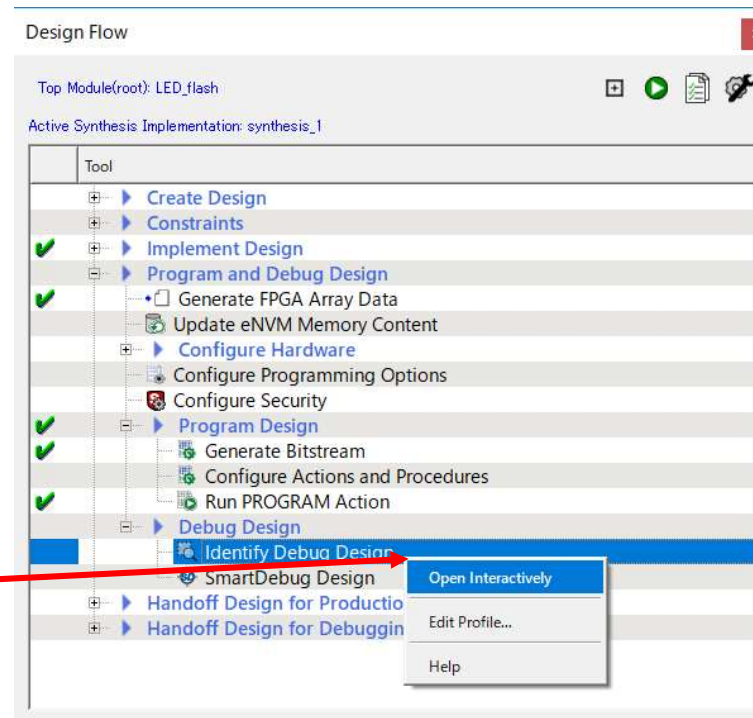
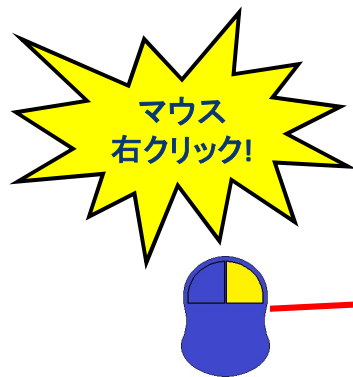
IICEを組み込んだデバイス書き込み

- Libero SoC のDesign Flowタブ“Program and Debug Design” => “Run PROGRAM Action” をダブルクリック
または
- マウス右クリックし“Run”を選択



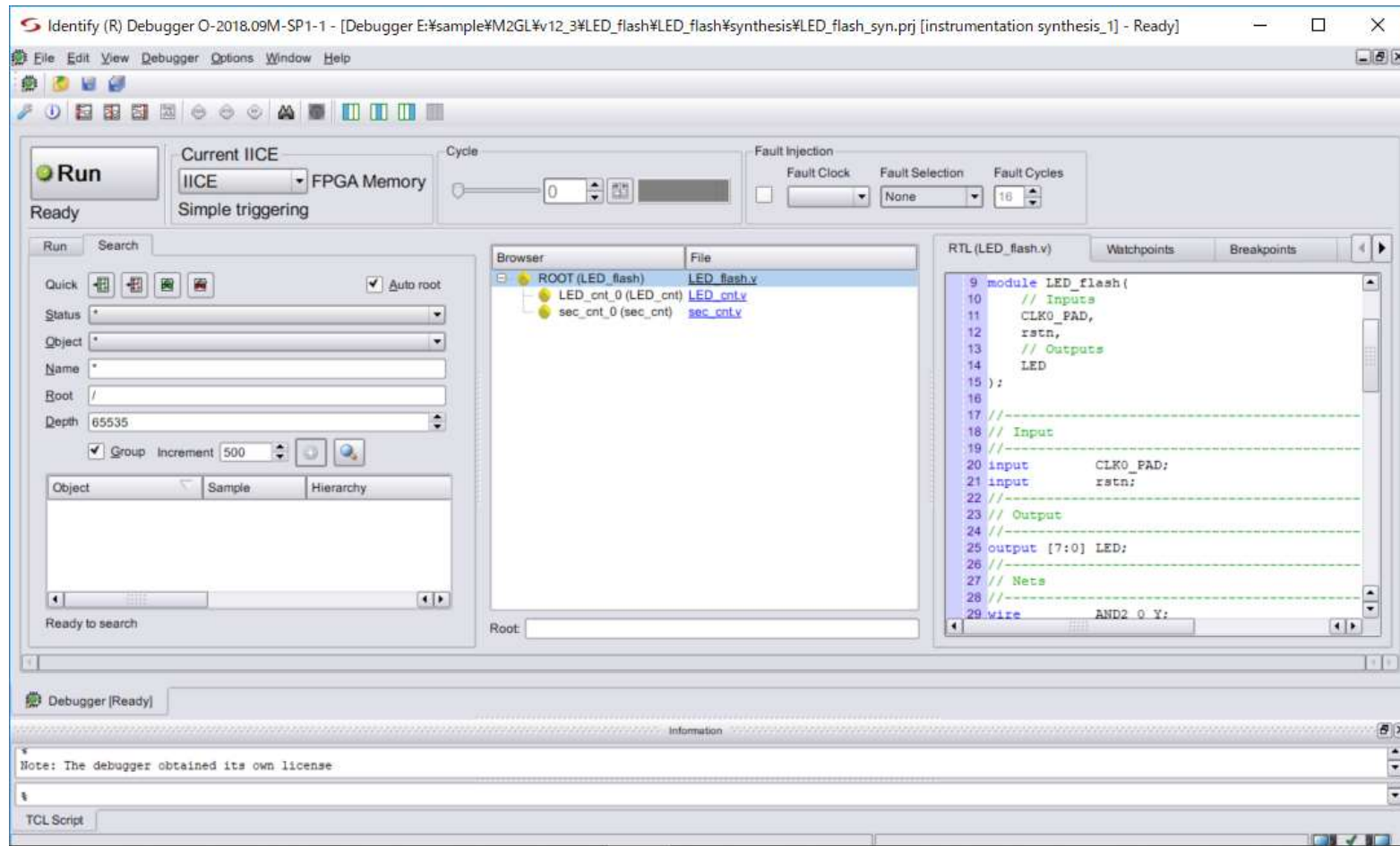
Identify Debug Design の起動

- Libero SoC のDesign Flowタブ“Program and Debug Design” => “Debug Design” => “Identify Debug Design” をダブルクリック
- または
- マウス右クリック“Open Interactively”を選択



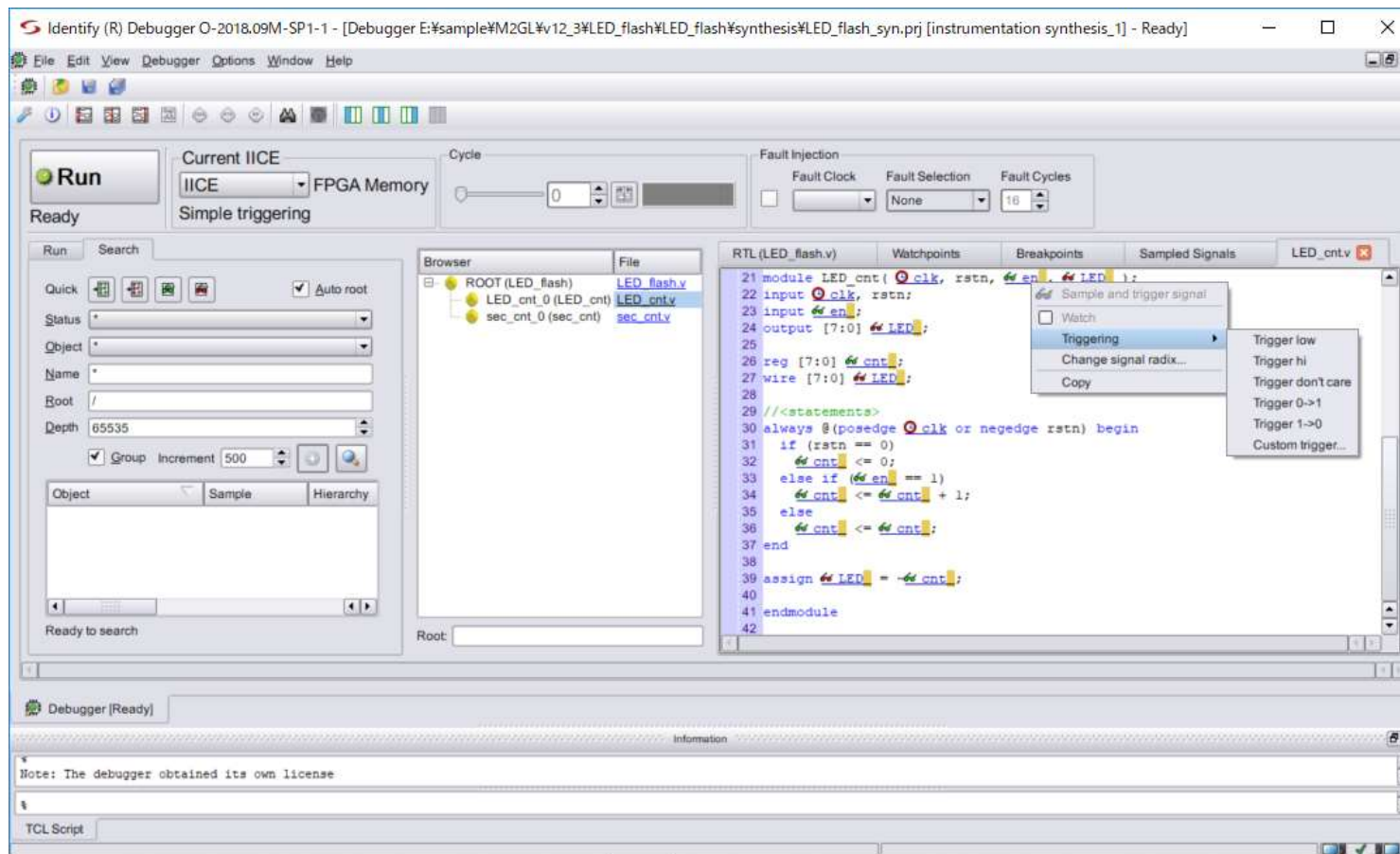
Identify Debug Design の起動

- Identify Debugger 初期画面



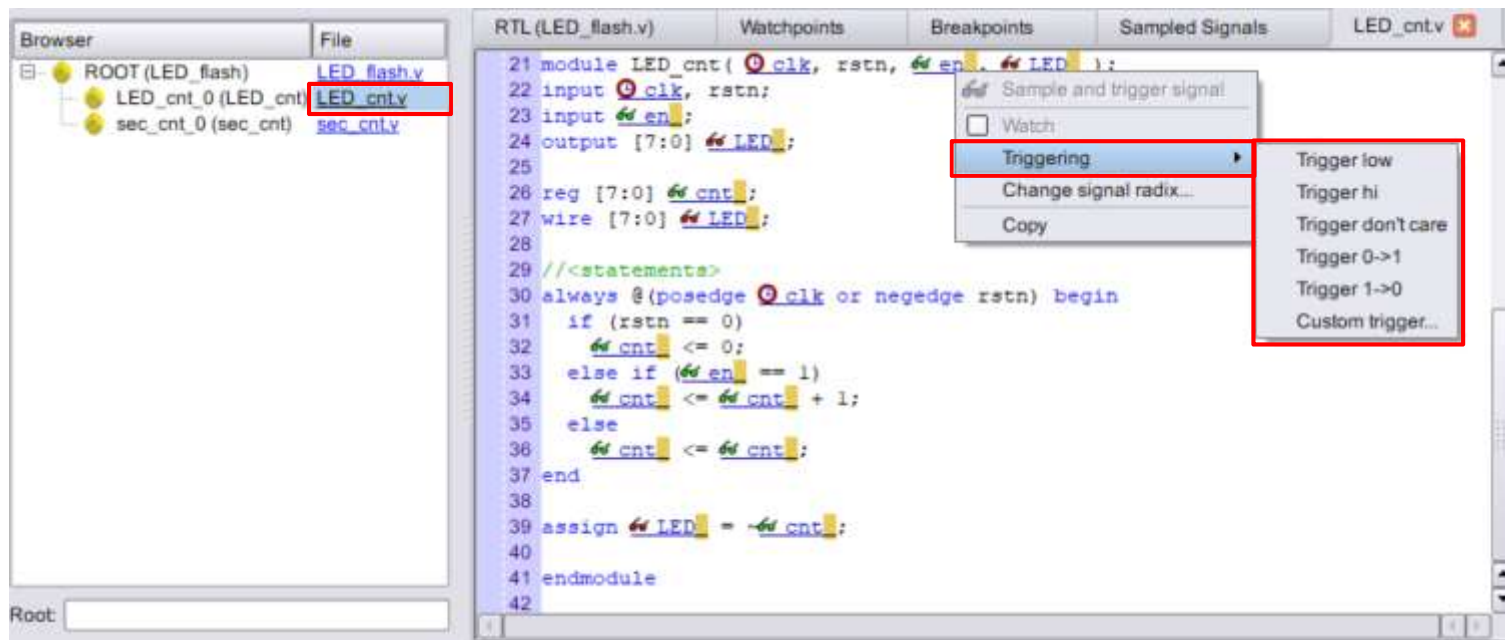
Identify Debug Design の設定

- トリガー条件の設定




Identify Debug Design の設定

- トリガー条件の設定
- “Browser”の“File”よりマウス左クリックでHDLを選択
- HDLタブのターゲット信号をクリックし“Triggering”から条件を設定



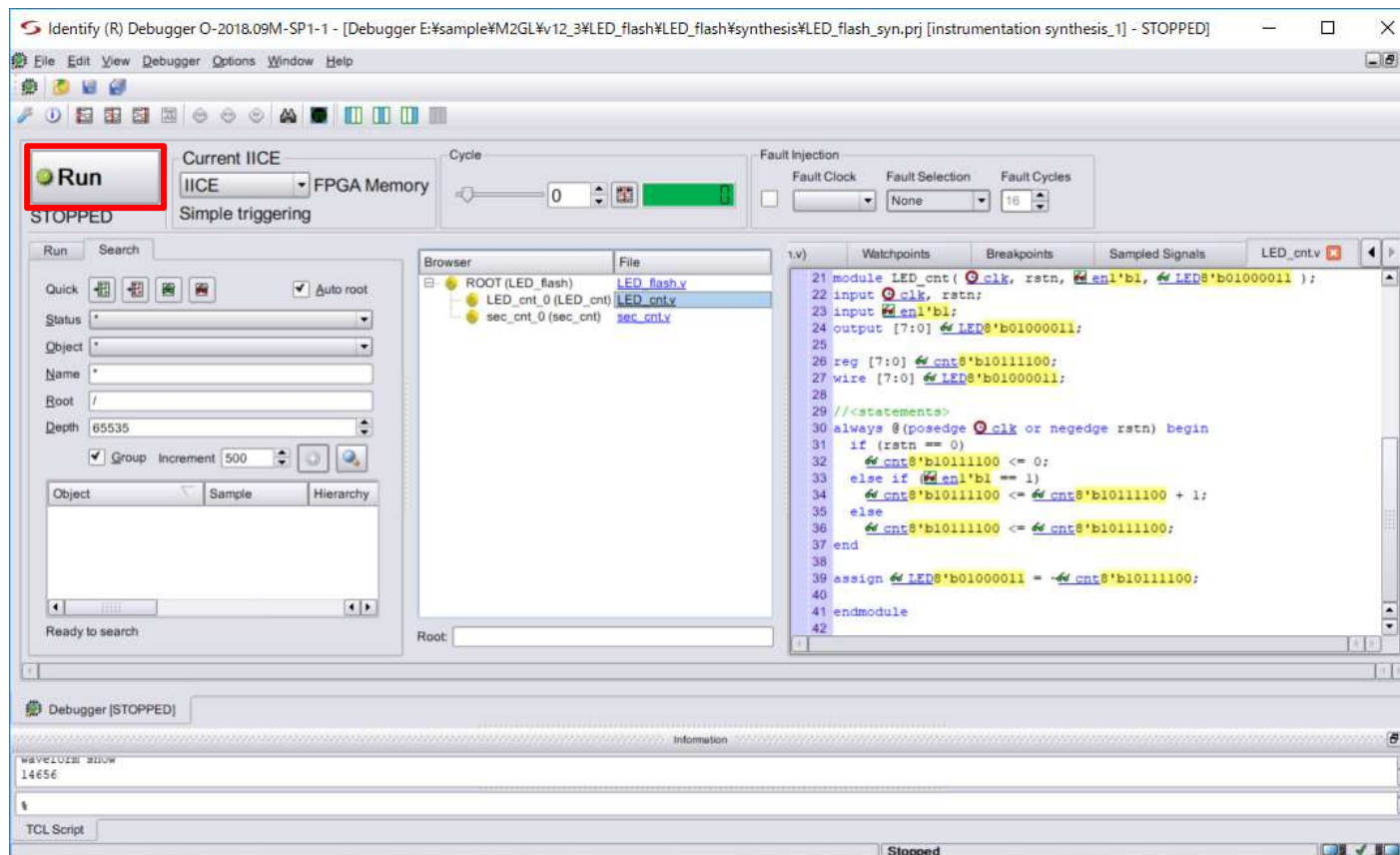
Identify Debug Design の設定

- Triggertimeの設定
- “  “アイコンを使用し、サンプル・バッファ内のトリガ・ポイントを変更
- デフォルトでは、トリガ・イベントはサンプル・バッファの中央に配置
 - トリガ前のサンプルと後のサンプルが同等
- Early: トリガ前のサンプル10%、後のサンプル90%
- Late: トリガ前のサンプル90%、後のサンプル10%




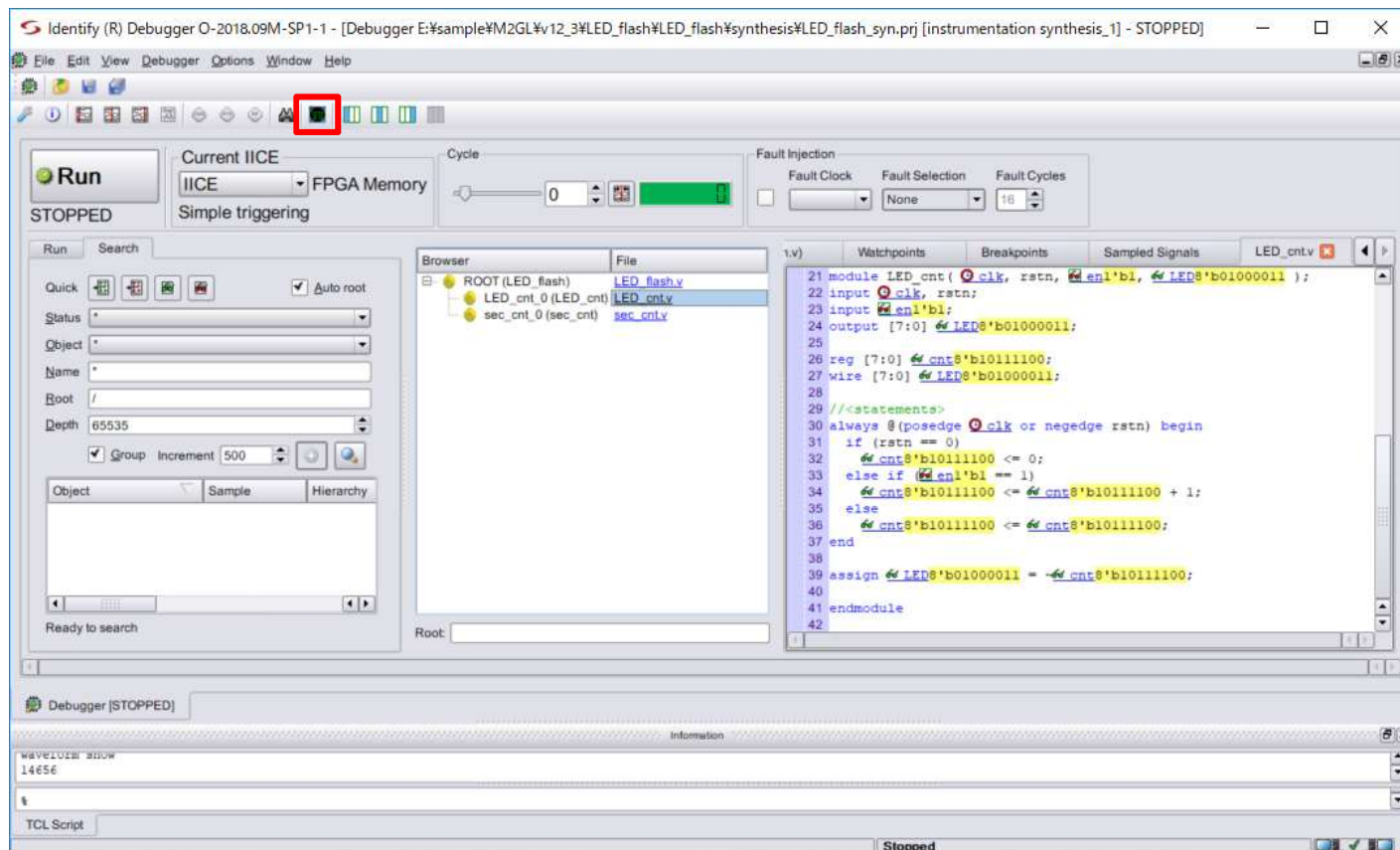
Identify Debug Design の実行

- “Run”を選択
 - オシロのSingle Triggerに相当
 - トリガー条件を満たせば"Run"ボタンが"Stop"になり停止



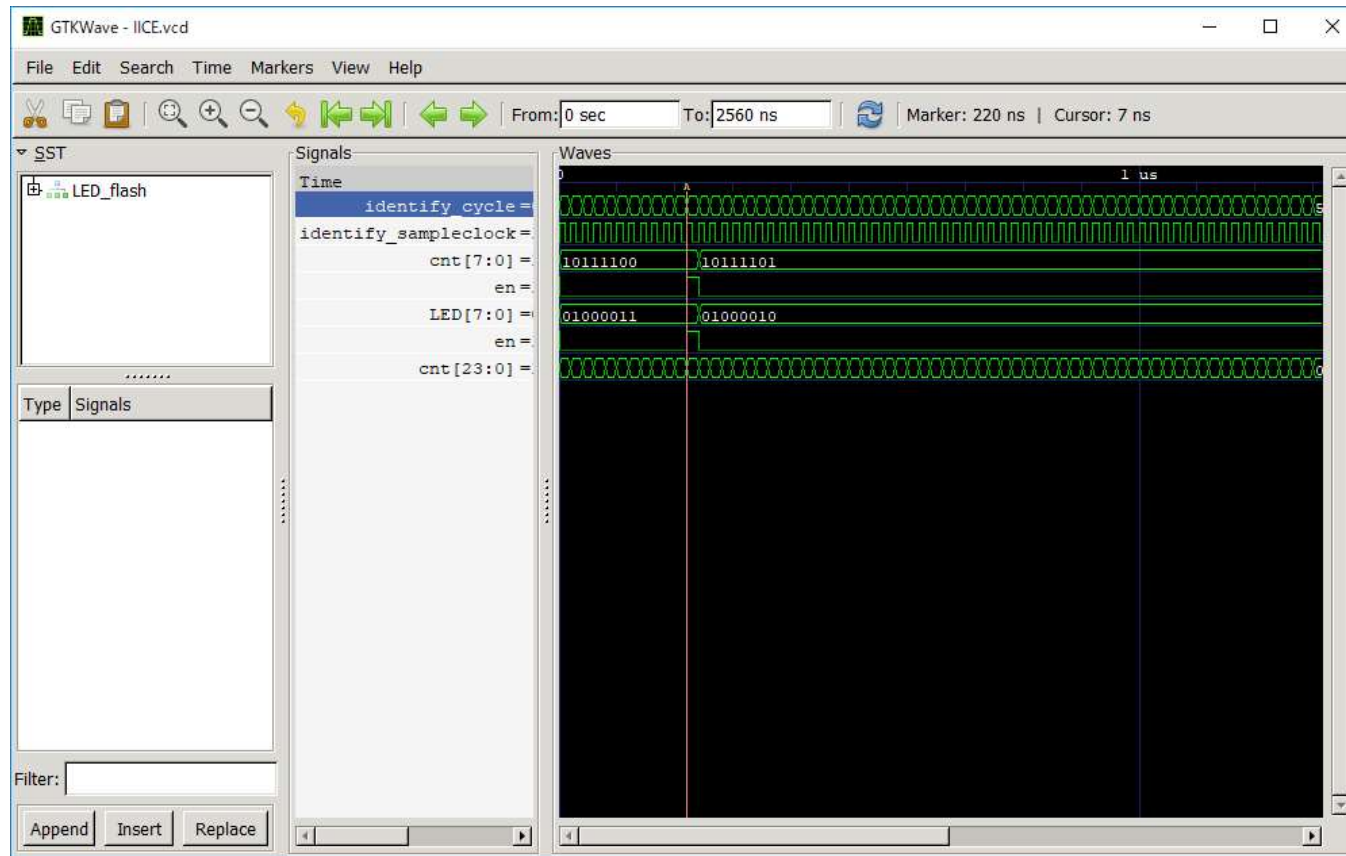
Identify Debug Design の実行

- “”アイコンを選択
または
- “Debugger”メニュー => “Waveform viewer”で波形表示



Identify Debug Design の実行

- 波形表示
 - 波形表示で動作確認



履歴

■ 改版

リビジョン	日付	概要
V1.0	2020年4月	新規作成

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。