

macnica

Identify 技術統括部

V1.0 Libero SoC v12.3

2020年4月

Confidential

- Synopsys社のRTLソース・レベル・ハードウェア・デバッガ
 - フル・スピードでターゲット・システムの内部可視性を提供
 - データ・パスと制御パスでトリガ
 - RTLソース・コードから直接デザインの観測とデバッグ
 - スタンダード・ウェーブフォームでデータを表示
- 論理合成前にHDLレベルでデバッグ・ロジックとサンプリン グ・バッファを挿入
- オンチップ・サンプル・バッファでの連続キャプチャ
- キャプチャを制御するための、複雑なトリガ条件を設定
- JTAGコントローラを介して Instrumentor 済みのデザインに 接続



- Identify Instrumentor (アイデンティファイ・インストゥルメンター)
 - デザインにロジックを挿入しコンパイル
- Identify Debugger (アイデンティファイ・デバッガ)
 - FPGAと通信
 - トリガの設定
 - データ表示
- IICE (Intelligent In Circuit Emulator)
 - Identify により挿入されたデバッグ・ロジック
 - オンチップ・ロジック・アナライザのように動作
 - トリガ・ロジック
 - データ・ストレージ・バッファ









Identify デバッグ・フロー



macnica

- PCと基板(デバイス)がFP4/FP5で接続されている。
- 基板の電源ONを忘れずに!!



Synplify Proの起動

- Libero SoC のDesign Flowタブ"Implement Design" => "Synthesize"をマウス右クリック => "Open Interactively"を 選択
- Synplify Proを起動





 Synplify ProのProject Filesタブ"Synthesis"を選択し、 "Options" => "Configure Identify Launch..."を選択

3 St 🗆 🙆 🖬 🎒 🖣		Configure VHDL Compiler		⊡+B											
Pup	Synplify Pro®	Configure Verilog Compiler Configure Parallel or Compile Point Process	-	m B											
Kull	Ready	Joolbars													
Open Project	Project Files Design Hie	Project View Options		Project Status	mplementation Di	rectory	P	roce	ss View						
Close Project	Microsemi IGLOO2 : M2GL0	P&R Environment Options Project Status Page Location		Project Settings											
Add File	E C LED_flash_syn] - Ete		ILED_	Project Name		LED_flash_syn synthesis			Device Name	synthesi	s: Microsemi IG	LOO2 : M2GL01	0		
Change File	E Logic Constraints (F	Schematic Options		Schematic Options					Implementation Name		Top Module	LED_flas	LED_flash		
Add Implementation	synthesis	✓ Use New HDLAnalyst		Retiming		0		_	Resource Sharing	1			_		
Implementation Options		Configure identity Lauricity		Fanout Guide	Satistications	10000		_	Disable I/O Inserti	on 0					
Add P&R Implementation				Disable Sequential C	opumizations	U		-	r Swi Compiler	197					
View Log				3					Run Status						
4.0.4				Job Name	Status	0		θ	CPU Time	Real Time	Memory	Date/Time			
100 Auto Const.				Compile Input (compiler) Detailed report	Complete	<u>16</u>	0	0	-	00m:01s	-	2020/03/12 9:09:46			
ntinue on Error 🗹 M Compiler				Premap (premap) Detailed report	out-of-date	2	0	0	0m:00s	0m:00s	134MB	2020/03/12 9:09:48			
M Explorer source Sharing						Map & Optimize (fpga_mapper) Detailed report	out-of-date	14	1	0	0m:00s	0m:01s	134MB	2020/03/12 9:09:49	
in the second			• •	Э					Area Summary						
LED flash syn pri				U					1 1.	4740804		1			
				Information											
-															
_tcl -fg LED_flash_syn o_infer_blackbox is not	.tcl t supported in current produ	ct.													
and the second sec	TTROUT BAUS COT														



- Configure Identify Launch
 - "Integrated"を選択
 - Identify のインストール・フォルダ
 - ・ "Use separate Identify license" を選択
- 設定確認後"OK"を選択

S Configure Identify Launch	×
Select Instrumentor	
Integrated	
O Stand-Alone	
Where is identify installed?	
D:MicrosemilLibero_SoC_v12.3\ldentify\	
Identify License Option	
C Han annual and and the first sets	
Use guirent synthesis license	



Synplify ProのProject Filesタブ"synthesis"をマウス右クリック、"New Identify Implementation…"を選択





- Add Identify Implementation
 - Implementation Name: synthesis_1
 - Results Directory: 格納フォルダ
 - Result Base Name: プロジェクト名
- 設定確認後"OK"を選択

Device Options Constraints Implementation Results Timing Report Ven	ilog Place and Route	Implementations:
mplementation Name:		synthesis
synthesis_1		
Results Directory:		
Elsample/M2GL/v12_3/LED_flash/LED_flash/synthesis/synthesis_1	Browse	
Result Base Name:	Result Format:	
LED flash	vm 💌	
Optional Output File Options		
Optional Output File Options		
Optional Output File Options		
Optional Output File Options Image: Write Mapped Verilog Netlist Image: Write Mapped VHDL Netlist Image: Write Vendor Constraint File		evicionevi



Synplify ProのProject Filesタブ"synthesis_1"をマウス右ク リック、"Identify Instrumentor"を選択





- SRS Instrumentation
 - Notify me when SRS instrumentation is possible
 - Automatically launch Analyst when SRS instrumentation is possible
- チェックを確認後"OK"を選択





■ Instrumentor 初期画面

Synplify Pro (R) O-2018.09M-SP1-1 - [RTL Instrumentor - I	E:¥sample¥M2GL¥v12_3¥LED_flash¥LED_flash	*synthesis*synthesis_1¥identify.idc] -	o x
Elle Edit View Project Run Analysis HDL-Analyst Instru	mentor Options Window Web Help		
9 8 8 8 8 8 8 9 8 9 8 9 8 9 8 9 8 9 8 9		9. 	
Control Panel Search Quick III III III III IIII IIIIIIIIIIIIIII	Browser File ■ ROOT (LED flash) LED flas ■ AND2_0 (AND2) ■ FCCC_C0_0 (FCCC_C0) FCCC_C ■ CED_ent (LED_ent) LED_ent ■ sec_ent_0 (sec_ent) sec_ents	RTL (LED_flash.v) Instrumentation 9 module LED_flash.(10 // Inputs 11 & CLRO_FAD. 12 12 & Infin. 13 13 // Outputs 14 14 & LED 15 15 ; 16 17 //	
LED_flash_syn.prj * P LED_flash_syn.prj *	LED_flash.srs (RTL)(d:0)	30 wire <u>de FCC C0 GL0</u> ; 31 wire <u>de FCC C0 GL0</u> ; 39 wire <u>de FCC C0 GL0</u> ;	
identify_db_generator completed # Thu Mar 12 10:31:32 2020 Return Code: 0 Run Time:00h:00m:00s Complete: identify_ui_flow %			
TCL Script Messages			



- Watchpoint とBreakpoint
- Watchpoint はデザイン内の信号の状態でトリガを生成
 - 信号の値でトリガまたはある値から別の値への信号の遷移でトリガ
- Breakpoint はフローでトリガを生成
 - if, else, case 文
 - Breakpoint は、1つ以上のif ~ elseまたはcase 文の条件式に特定の値 がある場合にトリガ
- Identify Instrumentor で設定された Watchpoint と
 Breakpoint のみが、Identify Debugger でトリガとして有効



- 注) CCC(PLL)の出力ネットをSample Clock に設定不可
 - 例) "FCCC_C0_0_GL0 "など



Always文のposedge "clk"を設定





Watchpointの設定





Breakpointの設定



行番号の横をクリックし、デバッグ用の Breakpointを追加



- Sample depth の設定
- 読み込みの深さ=測定時間の延長設定
 - "Control Panel"タブを選択し、"FPGA Memory"をクリック または
 - "Instrumentor" => "IICE" => "Edit IICE" を選択 ("Ctrl+E" も可)

ommunication Interface	builtin
IICE	
IICE Type	FPGA Memory
Sample Clock	/LED_cnt_0/clk
Sample Only Bits	0
Trigger Only Bits	0
Sample & Trigger Bits	44





- "Edit IICE Settings" の"IICE Sampler" タブ
- "Sample depth:"の"
 "ボタンで増減し設定
- "OK"を選択

IICE Sampler	IICE Clock	IICE Controller IICE Options	
Juffer type:		FPGA Memory	
demory Type		Unset	
Sample depth:		128	



■ "File" => "Save All" を選択

Instrumentor を閉じる

Synplify Pro (R) O-2018.09M	M-SP1-1 - [RTL Instrumentor - E:	¥sample¥M2GL¥v12_3¥LED_flash¥LED_f	flash¥synthesis¥synthesis_1¥identify.idc]	- 0	×
	Run Analysis HDL-Analyst Instrum	entor Options Window Web Help	RTL(LED_ontv) Instrumentation RTL(LED_ontv) Instrumentation Instrument		
Build Project. Open Project. New Project Recent Files Exit Öbject Hi	PO C C		<pre>22 input @ car, co rath; 23 input @ car; 24 output [7:0] & LED; 25 26 reg [7:0] & LED; 28 29 29 //<statements> 30 always @ (posedge @ clk or negedge & rstn) begin 31 if (& rstn = 0; 32 & cnt <= 0; 33 else if (& en == 1) 34 & & cnt <= 0; 35 else 36 & dent <= dent; 37 end 38 39 assign & LED = -& cnt; 40</statements></pre>		
🕒 LED_flash_syn.prj 💋 RTL	Instrumentor - identify.idc)_flash.srs (RTL)[d:0]	Information		e e
<pre>identify_db_generator complet + Thu Mar 12 13:31:23 2020 Return Code: 0 Run Time:00h:00m:00s Complete: identify_ui_flow *</pre>	ed				•
TCL Script Messages Save all opened documents and project	ts			Q.	



IICEを組み込んだ論理合成

"synthesis_1"をマウス左クリックし選択
"Run"を選択

	Synplify Pro (R) O-20	18.09M-SP1-1 - [E:/sample/M2GL/v12_3/LED_flash/LED_flash/synthesis/LED_fla	sh_syn.prj]						<u>2</u>	- 0	×
	B Elle Edit View Pr	oject <u>R</u> un Agalysis HDL- <u>A</u> nalyst <u>O</u> ptions <u>Wi</u> ndow We <u>b</u> <u>H</u> elp									_8×
	🕑 🕊 🗔 💋 🖬 🎒	* 0 10 47 47 49 49 49 10 10 10 10 10 10 10 10 10 10 10 10 10	D+0								
	Run	Synplify Pro®								_	
	Trun	Ready									
	Dpen Project	Project Files Design Hierarchy	Project Status Imp	plementation Di	irectory	Proce	iss View				
	Close Project	Microsemi IGLOO2 : M2GL010 : VF400 : STD					Project Setting	15			
	Add File	[LED_flash_syn] - E:sample/M2GL/v12_3/LED_flash/LED_flash/synthesis/LED_ [Here] Verillog	Project Name		LED fla	sh svn	Device Name	synthesis	1: Microsemi IGI	002 : M20	GL010
> 左クリック! >	Ba Change File	E Logic Constraints (FDC)	Implementation Name		synthes	is_1	Top Module	LED_flash			
	Add Implementation	Identify Design Constraint Synthesis	Retiming		0		Resource Sharing	1			
	Contemportation Options	Synthesis 1	Fanout Guide		10000		Disable I/O Insert	ion 0			
	BR And DRD Innie Church		Disable Sequential Op	timizations	0		FSM Compiler	1			
	Add Park Incomentation	_	e				Run Status			_	
	View Log		Job Name	Status	D	<u>A</u> (CPU Time	Real Time	Memory	Date/Tir	me
	Frequency (MHz):		Identify Database	di angan n							
	100 Auto Cor	st	Generator (identify db generator)	Complete	0	0 0	-	00m:00s		2020/03	1/12
	Continue on Error	v	Detailed report								
	FSM Compiler		Identify Compile	out-of-date						_	
	FSM Explorer		Compile Input	out-of-date					_	_	
	Retiming		Premap	out-of-date	_	\vdash					
			Map & Optimize	out-of-date				1			
		A									
	B LED_flash_syn.prj										
	······		Information 10550005500055								
	TCL script complete: "L	fD flash syn_tcl"									
	impl -active synthesis_	1									
	<pre>impl -active synthesis impl -active synthesis_</pre>	1									
	impl -active synthesis										
	Tuby .accive slucuesis	•									
	TOL Control Management									_	•
	TUL Script messages				_						
										100	



IICEを組み込んだ論理合成

- 論理合成完了
- Synplify Proを閉じる

File Edit View Proj	art Run Analysis HDI Analyst Ontions Window Web Heln									
		un l								
		/194.).								
Run	Synpility Pro*									
	Done: 0 errors, 80 warnings, 117 notes									
Open Project	Project Files Design Hierarchy	Project Status Imp	plementation Di	rectory	P	Proce	ss View			
Close Project	Microsemi IGLOO2 : M2GL010 : VF400 : STD	LOO2 : M2GL010 : VF400 : STD Project Settings								
Add File		Project Name		LED fla	ash_s	syn	Device Name	synthesis	1: Microsemi I	GLOO2 : M2GL0
Change File_	E Opic Constraints (FDC)	Implementation Name		synthe	sis_1		Top Module	LED_flash		
Add Implementation	Identify Design Constraint	Retiming		0			Resource Sharing	1		
Implementation Onlines	Synthesis_1	Fanout Guide		10000			Disable I/O Insertion	0		
A 44 DA D to 10 000005	-	Disable Sequential Op	timizations	0			FSM Compiler	1		
Add P&R Implementation		e			-	-	Run Status			
View Log		Job Name	Status	m	A	0	CPU Time R	eal Time	Memory	Date/Time
squency (MHz):		Identify Database		Ť		-				
ntinue on Error		(identify_db_generator)	Complete	3	0	0	- 0	0m:00s	*	13:54:16
M Compiler		Identify Compile	Complete		\square		00m:03s			2020/03/12
source Sharing		Compile Input (compiler) Detailed report	Complete	25	0	0	- 0	0m:00s	-	2020/03/12 13:54:19
	4	Premap (premap)	Complete	20	3	0	0m:01s 0	m:03s	138MB	2020/03/12
LED_flash_syn.prj		Premap (premap) Retailed report	Complete	20	3	0	0m:01s 0	m:03s	138MB	2020/03/1 13:54:25
		Information								
curn Code: 1										
n lime:00h:00m:04s mplete: Map on LED flas	h_syn/synthesis_1									
mplete: Logic Synthesis	on LED_flash_syn synthesis_1									



IICE を組み込んだ P&R

- Libero SoC のDesign Flowタブ"Implement Design" => "Place and Route" をダブルクリック
- または
- マウス右クリックし"Run"を選択

	Design Flow
マウス マウス 古クリック!	Tool Create Design Constraints Implement Design Open Netlist Viewer Synthesize Verify Post-Synthesized Design Configure Flash*Freeze Configure Register Lock Bits Place and Route Verify Fost Layou Program and Debug Handoff Design for P Handoff Design for D Configure Options Help



IICEを組み込んだデバイス書き込み

- Libero SoC のDesign Flowタブ"Program and Debug Design"
 => "Run PROGRAM Action" をダブルクリック
 または
- マウス右クリックし"Run"を選択





Identify Debug Design の起動

- Libero SoC のDesign Flowタブ"Program and Debug Design"
 => "Debug Design" => "Identify Debug Design" をダブルク リック
- または
- マウス右クリック"Open Interactively"を選択





Identify Debug Design の起動

Identify Debugger 初期画面

S Identify (R) Debugger O-2018.09M-SP1-1 - [Debugger E:¥samp	ole¥M2GL¥v12_3¥LED_flash¥LED_flash¥synthesis¥LED_flash_syn.p	rj [instrumentation synthe	sis_1] - Ready]	- 0	X
 ✓ ① So So So So October Oppons Window Help ✓ ① So So					
Ready Current IICE Cycle Current IICE FPGA Memory Simple triggering	Fault Injection Fault Clock Fault	Selection Fault Cycles			
Run Search Quick A Auto root Status * Qbject * Name * Boot / Depth 65535 © Group Increment 500 Object Sample Hierarchy	Browser File ROOT (LED_flash) LED_flash_x LED_cont_0 (LED_cont)_LED_cont_y sec_cont_0 (sec_cont)_sec_cont_y	RTL(LED_flash.v) 9 module LED_1 10 // Input 11 CLK.0_NA 12 rstn, 13 // Output 14 LED 15): 16 17 //	Watchpoints flash (ts p, ats CLK0_PAD; rstn; LED;	Breakpoints	
Ready to search	Root	28 //	AND2 0 Y:	(• •
Debugger [Ready]	Information				() () () () () () () () () () () () () (
t TCL Script					



Identify Debug Design の設定

■ トリガー条件の設定





Identify Debug Design の設定

- トリガー条件の設定
- "Browser"の"File"よりマウス左クリックでHDLを選択
- HDLタブのターゲット信号をクリックし"Triggering"から条件を設定

Browser	File	RTL (LED_flash.v)	Watchpoints	Breakpoints	Sampled Signals	LED_cntv 💟
Browser Browser BOOT (LED_flat LED_cnt_0 (sec_cnt_0 (s	File sh) LED flash.y (LED_cnt) LED_cnty sec_cnt) sec_cnty	RTL (LED_flash.v) 21 module LED_colk, 22 input @_clk, 23 input @_clk, 23 input @_clk, 24 output [7:0] 25 26 reg [7:0] @_ 27 wire [7:0] @_ 28 29 // <statement< td=""> 30 always @ (pos 31 if (rstn = 32 @_cnt <</statement<>	Watchpoints nt(Q clk, rstn, rstn; fr LED; cnt; LED; edge Q clk or ne = 0; (en] == 1) = 6f cnt; ; edge Cnt; = 6f cnt; ;	Breakpoints	Sampled Signals	LED_cntv 🕑
Root [38 39 assign <u>4 LED</u> 40 41 endmodule 42	= - <u>44 cnt</u> ;			



Identify Debug Design の設定

- Triggertimeの設定
- デフォルトでは、トリガ・イベントはサンプル・バッファの中央に配置
 - トリガ前のサンプルと後のサンプルが同等
- Early: トリガ前のサンプル10%、後のサンプル90%
- Late: トリガ前のサンプル90%、後のサンプル10%





Identify Debug Design の実行

- "Run"を選択
 - オシロのSingle Triggerに相当
 - トリガー条件を満たせは"Run"ボタンが"Stop"になり停止





Identify Debug Design の実行

" 🔟 "アイコンを選択 または

■ "Debugger"メニュー => "Waveform viewer"で波形表示





Identify Debug Design の実行

■ 波形表示

• 波形表示で動作確認







■ 改版

リビジョン	日付	概要
V1.0	2020年4月	新規作成

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。

3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。

- 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

