



MACNICA

I/O Bank Settings

技術統括部

V2.0

Libero SoC v12.3

2020年4月

Confidential

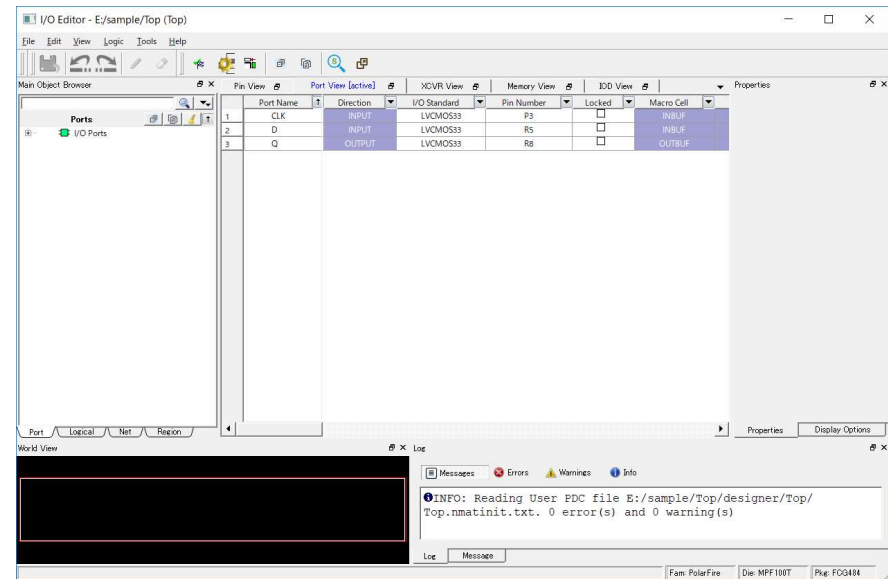
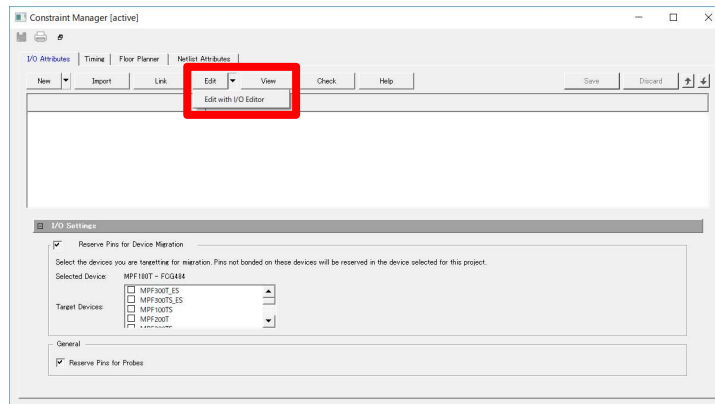
概要

- Libero SoC によるデバイスI/O Bank設定
 - I/O Editor のI/O Bank Settings で設定
 - デバイスの各Bank におけるI/O Standard を設定

I/O Bank Settings


■ Libero SoC

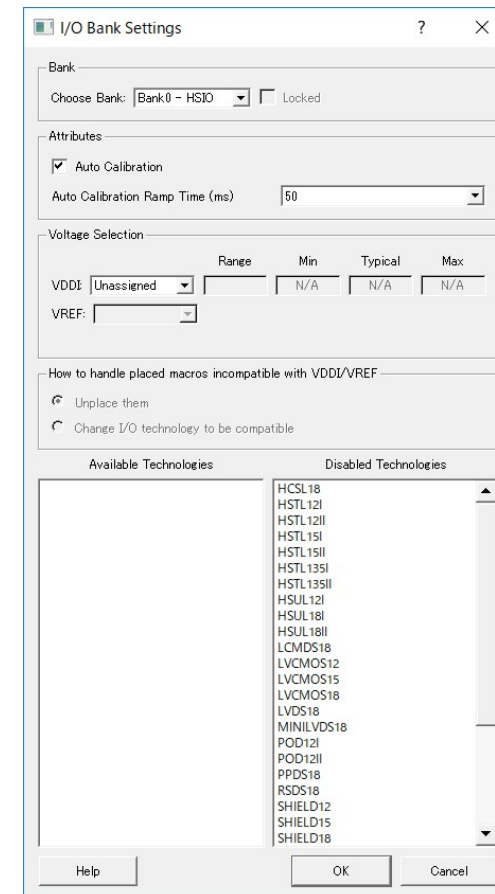
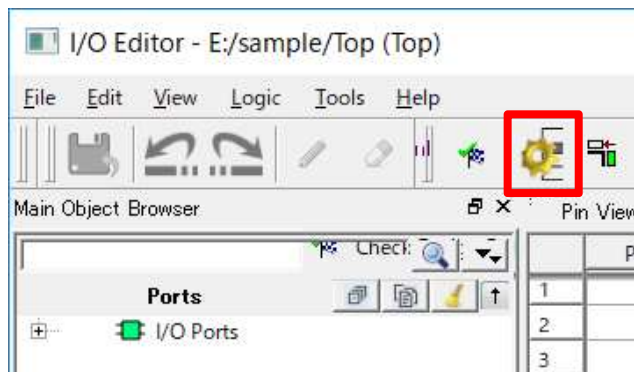
- “Design Flow” タブ => “Constraints” => “Manage Constraints”をマウス左ダブルクリックで Constraint Managerを起動、“I/O Attributes”タブ => “Edit” => “Edit with I/O Editor”を選択しI/O Editorを起動



I/O Bank Settings

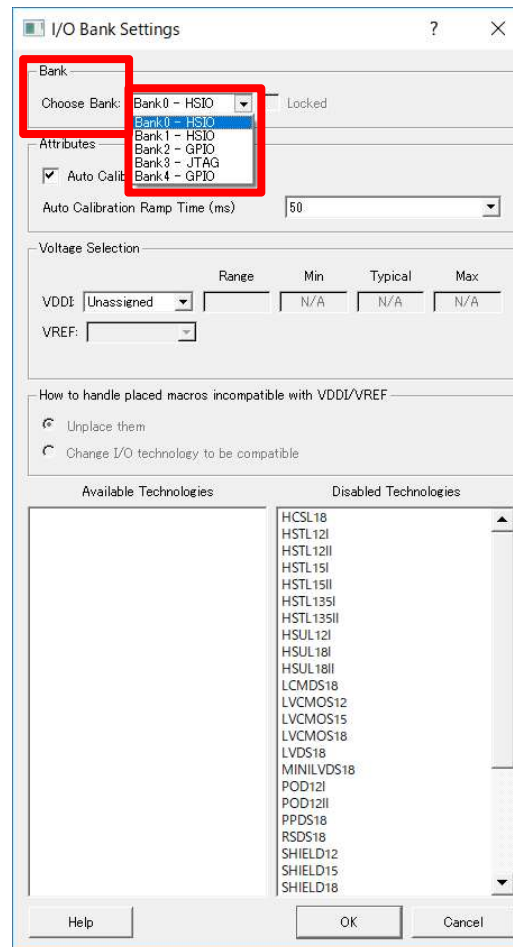
- I/O Bank Settings

- I/O Editor の“Tools” => “I/O Bank Settings...”を選択
- または、“”アイコンを選択



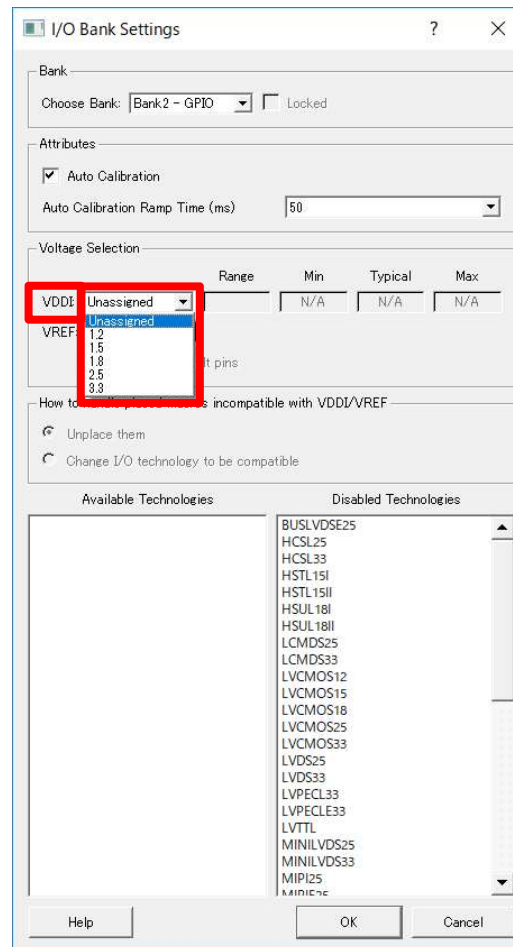
I/O Bank Settings

- Choose Bank:
 - 設定するBankを選択



I/O Bank Settings

- VDDI:
 - 設定する電圧を選択



I/O Bank Settings

■ 制約設定

- Unplace them : 既存の制約を削除し上書き
- Change I/O technology to be compatible : 既存の制約に追記

I/O Bank Settings

Bank

Choose Bank: Bank2 - GPIO Locked

Attributes

Auto Calibration

Auto Calibration Ramp Time (ms) 50

Voltage Selection

	Range	Min	Typical	Max
VDDI: 3.3	EXT	3.135	3.3	3.450

VREF: Unassigned Use VREF default pins

How to handle placed macros incompatible with VDDI/VREF

Unplace them

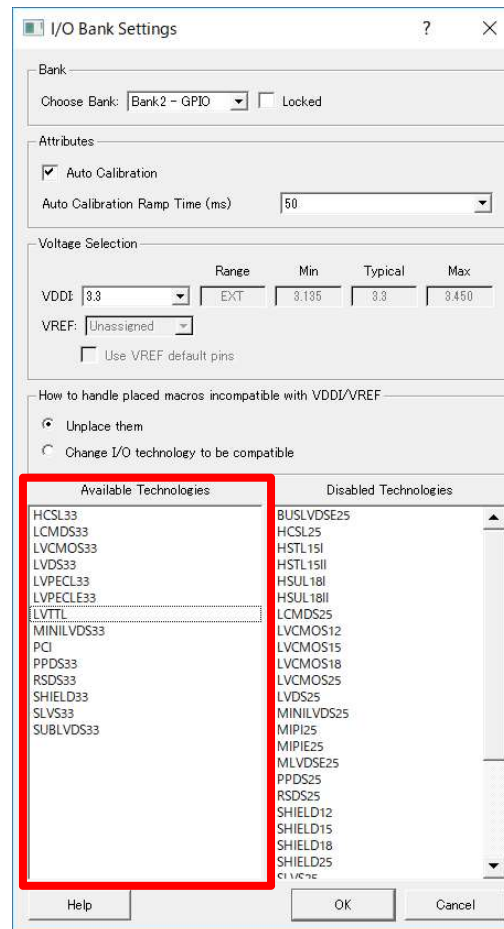
Change I/O technology to be compatible

Available Technologies: HCSSL33

Disabled Technologies: BUSLVDSE25

I/O Bank Settings

- I/O Standardの設定
 - Available Technologies から目的のI/O Standard を選択
 - “OK”を選択



■ 改版

リビジョン	日付	概要
V1	2018年10月	新規作成
V1.1	2018年12月	デザイン変更
V2.0	2020年4月	Libero SoC V12.3 に対応

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。