

# HDL Designer Series 簡易チュートリアル ~グラフィカルビュー変換編~

Ver.2016.2

2017 年 8 月 Rev.1



ELSENA, Inc.





HDL Designer Series 簡易チュートリアル ~グラフィカルビュー変換編~

## <u>目次</u>

1.	はじめに	4
2.	HDL Designer Series 概要	4
3.	プロジェクトの作成	5
3	3-1. プロジェクトの作成方法	. 5
	3-1-1. HDL Designer の起動	. 5
	3-1-2. プロジェクトの作成	. 5
	3-1-3. プロジェクトの設定	. 5
4.	プロジェクトへ HDL ファイルのインポート	7
2	4-1. プロジェクトへのファイルのインポート	. 7
2	4-1-1. ファイルの追加	. 7
2	4-1-2. Design Manager ウィンドウで一覧表示	. 8
2	4-2. Hierarchy ウィンドウでファイルの確認	. 9
2	4-2-1. Hierarchy ウィンドウの表示	. 9
2	4-2-2. 階層の確認	. 9
4	1-3. デザインルートの設定	10
2	4-3-1. デザインルートの設定	10
5.	4-3-1. デザインルートの設定 グラフィック・ビューの表示	10 11
5.	4-3-1. デザインルートの設定 グラフィック・ビューの表示 5-1. Visualize で変換可能な形式	10 11 11
5.	4-3-1. デザインルートの設定 グラフィック・ビューの表示 5-1. Visualize で変換可能な形式	10 11 11 11
5.	4-3-1. デザインルートの設定 グラフィック・ビューの表示 5-1. Visualize で変換可能な形式 5-2. トップ階層をブロック図で可視化 5-2-1. HDL を選択して変換	10 11 11 11 11
5.	4-3-1. デザインルートの設定 グラフィック・ビューの表示 5-1. Visualize で変換可能な形式 5-2. トップ階層をブロック図で可視化 5-2-1. HDL を選択して変換	10 11 11 11 11 11
5.	<ul> <li>4-3-1. デザインルートの設定</li></ul>	10 11 11 11 11 12 12
5.	<ul> <li>4-3-1. デザインルートの設定</li></ul>	10 11 11 11 11 12 12 12
5.	<ul> <li>4-3-1. デザインルートの設定</li></ul>	10 11 11 11 12 12 12 13
5.	<ul> <li>4-3-1. デザインルートの設定</li></ul>	10 11 11 11 11 12 12 12 13 14
5. 5. 5. 5. 5. 5. 5. 5. 5. 5. 5. 5. 5. 5	<ul> <li>4-3-1. デザインルートの設定</li></ul>	10 11 11 11 11 12 12 12 13 14
5. 5. 5. 5. 5. 5. 5. 5. 5. 5. 5. 5. 5. 5	<ul> <li>4-3-1. デザインルートの設定</li></ul>	10 11 11 11 12 12 12 13 14 15
5. 5. 6.	<ul> <li>4-3-1. デザインルートの設定</li></ul>	10 11 11 11 12 12 12 13 14 15 15
5. 5. 6.	<ul> <li>4-3-1. デザインルートの設定</li></ul>	10 11 11 11 12 12 12 13 14 15 15 15





## HDL Designer Series 簡易チュートリアル ~グラフィカルビュー変換編~

6-2. HTML ファイルの表示	17
6-2-1. THML ファイルの起動	17
6-2-2. トップ階層の表示	17
6-2-3. 下位階層の表示	18
6-2-4. 既存の HTML ファイルの起動	18
7. Appendix	19
7-1. Documentation and Visualize Options	19
7-1-1. Website Options	19
7-1-2. HTML Settings	20
7-1-3. Graphics Settings	21
7-1-4. Visualization Option	22
7-1-5. Structual Diagram	23
7-1-6. Placement Settings	24
7-1-7. Routing Settigns	25
改版履歴	26



## 1. <u>はじめに</u>

この資料は、Mentor Graphics<sup>®</sup> HDL Designer Series<sup>™</sup>の基本的な使用方法を紹介します。既存の HDL ファイル をインポートして使用する方法を主に紹介します。

■ 対応バージョン

HDL Designer Series™ 2016.2

## 2. HDL Designer Series 概要

HDL Designer Series<sup>™</sup> は、HDL ベースの設計・管理を総合的に行うことができる開発環境です。

デザイン・エントリーのための各種グラフィカル・エディタを備えており、作成したデザインから HDL を生成する ことができます。テキスト・エディタも搭載されていますので、HDL 設計にも使用することが可能です。

また、HDL からブロック図やフローチャート等のグラフィカルビューを作成することができるため、デザインの動作を理解するのに役立ちます。その他、リント・チェック機能やソースファイルのバージョン管理機能等も備えています。

HDL Designer Series には2種類の製品があり、使用できる機能が異なります。

- HDL Designer : すべての機能を使用可能
- HDS Author : デザイン編集機能に特化

;	機能	HDL Designer	HDL Author	備考
	VHDL	0	0	VHDL 87, VHDL 93, VHDL 20202, VHDL 2008
言語	Verilog	0	0	Verilog 95, Verilog 2001, Verilog 2005
	SystemVerilog	0	0	SystemVerilog 2005 (*グラフィックは非対応。 テキストのみ)
OS Windows		0	0	Windows <sup>®</sup> 7 (64bit), Windows 8.1 (64bit) (*32bit アプリで動 作)
	Linux	0	0	RHEL6 (64bit), RHEL 7 (64bit) (*32bit アプリとして動作)
デザインルエンル	11	0	0	テキスト・エディタ、各種グラフィカル・エディタ(ブロック図、
	·)—	0	0	ステートマシン、フローチャート等)
RTI to 編集可能	グラフィックへの変換	0		HDL ファイルをグラフィカル・エディタで編集可能なファイル
		0		に変換
   RTI コードの可	頃化	0	0	RTL コードをブロック図やフローチャート、ステートマシン等
				のグラフィックに変換(編集は不可)
   pti		0		RTL コードを ブロック図等のグラフィックに変換(編集不可)
		U		し THML ファイルで保存
デザイン検証		0		リントチェッカー機能
バージョン管理		0	0	Subversion <sup>®</sup> 、IBM Rational ClearCase <sup>®</sup> 、CVS、RCS に対応
FPGA ベンダフロ	1—	0	0	FPGA ベンダ・ツールとの連携

※ この資料中では HDL Designer を使用しています。

## 3. <u>プロジェクトの作成</u>

HDL Designer ではプロジェクトを作成してデータを管理します。まずはプロジェクトの作成が必須です。

#### 3-1. プロジェクトの作成方法

3-1-1. HDL Designer の起動

デスクトップのショートカット・アイコン もしくは、スタートメニュー > HDL Designer Series 2016.2 > HDL Designer (Author のみインストールしている場合は HDL Author)を選択して起動します。



#### 3-1-2. プロジェクトの作成

File メニュー > New > Project.. を選択します。

Edit View HDL Tasks To	ls Options Windo	ow Help
New	<ul> <li>Design</li> </ul>	Content
Add	<ul> <li>Registe</li> </ul>	red View 🔸
Open	<ul> <li>Project.</li> </ul>	
Close	<ul> <li>Library.</li> </ul>	
Explore Library	Test Be	ench
Page Setup Print C	1+P	
Print Hierarchy Document And Visualize		
Exit		

3-1-3. プロジェクトの設定

ウィザードの 1ページ目で、Creating a New Project ウィザードが起動します。プロジェクト名などを設定します。

•	Name of new project :	プロジェクト名
•	Optional short description :	コメント(オプション)
•	Directory in which your project folder will be created :	プロジェクト・フォルダ
•	Name for the default working library :	デフォルトのライブラリ
	※ HDL Docignor でけプロジェクト内にライブラリを	作成」 ライブラリで リロ

※ HDL Designer ではプロジェクト内にライブラリを作成し、ライブラリで HDL ファイル等を管理すること ができます。

設定しましたら「Next>」で進みます。

Name of new project		
uart_example		
Optional short description:		
Directory in which your project folder will be	created	
C:\work\HDS\uart_example		Browse
Name for the default working library:		
uart_example_lib		
T Advanced		

ウィザードの2ページ目で、設定したプロジェクトのフォルダやプロジェクト名などを確認し、「Next>」で進みます。修正する場合は「< Back」で戻り設定します。

Project File: uait_example.hdp. Project description: Default working library: uait_example_lib Shared Project File: \$HDS_TEAM_HOME\shared.hdp Additional libraries can be created via the New Library wizard	Project Directory:	C:\work\HDS\uart_example	
Project description: Default working library: uart_example_lib Shared Project File: \$HDS_TEAM_HOME\shared.hdp Additional libraries can be created via the New Library wizard	Project File:	uart_example.hdp	
Default working library: uart_example_lib Shared Project File: \$HDS_TEAM_HOME\shared.hdp Additional libraries can be created via the New Library wizard	Project description:		
Shared Project File: \$HDS_TEAM_HOME\shared.hdp	Default working library:	uart_example_lib	
Additional libraries can be created via the New Library wizard	Shared Project File:	\$HDS_TEAM_HOME\shared.hdp	
	Additional libraries can b	re created via the New Library wizard	

ウィザードの3ページ目では、プロジェクト作成後の動作を選択します。

- Create new design files : 新規のデザインファイルを作成。ファイルの作成ウィンドウが開きます
- Add existing design files : 既存のデザインファイルをインポート。インポートウィンドウが開きます
- Open the project : プロジェクトを開くのみ。ファイルの作成やインポートは行わない

※ ここで、ファイルの作成やインポートを行わなくても、後から作成・追加は可能です

「Finish」で終了すると、プロジェクトが作成されます。

ıt			<b>X</b>
sign data now, or open the project and a	dd them later		
ign files			
ign files			
t			
< Back	Finish	Cancel	Help
	nt esign data now, or open the project and a sign files sign files st	nt esign data now, or open the project and add them later sign files sign files ct	nt esign data now, or open the project and add them later sign files esign files et

## 4. <u>プロジェクトへ HDL ファイルのインポート</u>

今回は既存の HDL ファイルをプロジェクトヘインポートして使用します。

#### 4-1. プロジェクトへのファイルのインポート

#### 4-1-1. ファイルの追加

File メニュー > Add > Add existing design files を選択し、Add Existing Design ウィンドウを開きます。デフォルトの ライブラリ(プロジェクト名のライブラリ)に HDL ファイルをインポートします。

	File tott view HDL Tasks	Tools Options wind	dow Help		
	New	•		C	
	Add	<ul> <li>Existin</li> </ul>	ng Design		
		EXISTI	ng Files		
	Open	• Cate I	lavel		
	Close	+ Goter	DEAG!***		
	Dislana Liberatu	EAM_HOMEN	shared.hdp		
	Explore Library	ns]			
	Page Setup				
	Delet	ibrary			
	PTINGere	Library			
	Print Hierarchy	de_lib			
	Document And Visualize	ems ]			
	5-04				
Add Existing Design Please choose one of the following methods to add existence on the following methods to add ex	sting design files into your project	Verilog Import Dialect	VHDL Impo	rt Dialect	_
Add Existing Design Please choose one of the following methods to add existing Periods to add existing Point to Specified Files	sting design files into your project	Verilae Inport Dialect	VHDL Impo @ Auto	rt Dialect	
Add Existing Design Please chose one of the following methods to add exi  Point to Specified Files  Copy Specified Files  Fieldst Fore Automatically creates library mappings which point	ting design files into your project xisting FileIst at ModeSim ini file <u></u> to specified files within your existing design data dir	Verilog Import Dialect	VHDL Impo G Auto C Specified	rt Dialect	-
Add Existing Design     Please choose one of the following methods to add exist     Copy Specified Files     Copy Specified Files     Addmatically creates (Brann mapping which point     Olick the check boxes in the transmer follow to spec     Please specify the required design files:     Lock in     [OVMentorGaghezWHD5,2816	sting design files into your project xisting FileIst at ModeSim ini file to specified files within your existing design data dir dry the folders on files you with to odd. 29examples/wart.y4hdl	Verilig Import Dialect	VHDL Inpo G Ado C Specified	rt Dialect	
Add Existing Design     Please choose one of the following methods to add exis         ( Copy Specified Files         ( Copy Specified Files         Automatically creates library mappings which point         Dick the check boxes in the browness below to age         Please specify the required design files:         Look in         [ OVMentorGraphcaVH05,5016         Show files of type: All HDL Files (* und, * und, *)         Automatically creates (All HDL Files (* und, *)	stine design files into your project xisting Fileliat at ModeSim ini file <u></u> to specified files within your existing design data dir by the totaker or files you with to add. 24examples/kuart_vMrdI rho, *vik_**ar,*x,*yo,*v_	Verilig Import Dialect	VHDL Inpo	rt Dialect	
Add Existing Design     Please choose one of the following methods to add exis	stine design files into your project xisting Fileliat at ModeSim ini file to specified files within your existing design data dir with the toblers or files you with to add. Wersamplesituart_Wind! Ans, *vik, *sx, *v, *v, *v_	Verilite Import Dialect    Auto	VHDL Inpo C Anto Specified	n Dialect	
Add Existing Design     Please choose one of the followine methods to add exis     Copy Specified Files     Copy Specified Files     Automatically creates titrary mappings which point     Dick the check boxes in the browser below to spec     Please specify the required design files     Look in     CVMentorCaphicsWHD5,2016     Show files of type:     All HUL Files (*ind, *ind, *ind, *     Folder     COP design	stine design files into your project xisting Fileliat at ModeSim in file to specified files within your existing design data dr dr, the tolders or files you with to add. Xiexangles/kunt_vihdl fro, thut, that, thut, thut, thut,	Verilie Import Dialect	VHOL Inpo @ Auto C Specifie Unit Vecample/Watt_VMd Type	a See	- Brow Date Mode
Add Existing Design     Please choose one of the following methods to add exi     Copy Specified Files     Copy Specified Files     Automatically creates (Brary mapping which point     Dick the check boxes in the brance Follow tape     Please specify the required design files:     Lotk in     O'VMentorGraphicsWHD5,2016     Show files of type:     Ald HDL Files (*-kntl, *-kntl, *     Folder     Or Goard State     Or Goard     Or Goard State     Or Goard State	sting design files into your project xisting FileIst at ModeSim ini file to specified files within your exciting design data dir dry the indexs or files you with to odd. Xecangles/kun1,vkhdl dra, file, fax, fix, fix, file	Veriles Inport Dialect	VHDL Inpo G Auto C Specified Unit examples/userL v/bd Type Velop File Velop File	s See	Brow     Brow     Date Mod     Thu Mer 09 2017 2365     Thu Mer 09 2017 2365
Add Existing Design     Please choose one of the following methods to add exis     Copy Specified Files     Copy Specified Files     Cuby Specified Files     Automatically creates (Bray maprice which point     Dick the dwich boxet in the browner below to age      Please specify the required design files     Look in     CVMMentoCaphicsWHDS 2016     Show files of type: All HOL Files (*ind. *ind. *     folders     Todars     Todars     Todars     Todars     Todars     Todars     Todars	stine design files into your project xisting Fileliat at ModeSim int file to specified files within your existing design data dir file folders or files you with to add. Yexamplesituart, vithdl rice, * vite, * so, * vo, * vo.	Veriles Import Dialect  Auto  Specified  ectory(iss).   Auto  Control of CVMentoGraphics/MD5_8  Control occode_bt/v  Control occode_bt/	VHDL Inpo C Anto Specified Spe	rt Dialect 8 50e 118 218	Brow     Date Mod     Thu Mer 09 2017 23 56
Add Existing Design     Please choose one of the followine methods to add exis     Copy Specified Files     Copy Specified Files     Copy Specified Files     Copy Specified Files     Add tonatically creates the browser below to spec     Click the check boxes in the browser below to spec     Please specify the required design files     Losh in:     CVMentorCarghcaVHDDS,2016     Show files of type:     All HDL Files (*-incl. *-incl. *     Folder     Click browser below complex     Click browser browser below complex     Click browser browser below complex     Click browser browser below complex     Click browser	sting design files into your project xisting Fieldst et ModeSim ini file to specified files within your existing design data din greenamplesRuart_vWhdl mp, *vik, *so; *v, *vo; *	Vering Import Dialect	VHOL Inpo © Auto © Specifie © Specifie © Specifie Velog Fie Velog Fie Velog Fie Velog Fie Velog Fie	s 500 118 218 218 118	
Add Existing Design      Please choose one of the following methods to add exi      Point to Specified Files      Copy Specified Files      Automatically creates library mapping which point     Dick the choices in the browner below to use      Please specify the required design files:     Lock in     OVMentorGraphicsWHDS_5916     Show files of type:     Automatically creates library mapping     Add Barrier      docs	sting design files into your project xisting FileIlat at ModeSim ini file to specified files within your existing design data dir by the tokens or files you with to add. 34examples/kust.v/indl des.*vik.*ax.*x.*vix.*v	Veriles Import Dialect @ Auto ^ Specified ectory(ies).	VHDL Inpo G Auto C Specified Specified Specified Verlog File Verlog File Verlog File Verlog File Verlog File	s See 18 18 28 28 28 28 28 28 318	Date Modt Thu Mer 09 2017 23 56 Thu Mer 09 2017 20 56 Thu Mer
Add Existing Design     Please choose one of the following methods to add existing Copy Specified Files     Automatically creates (Dray mappings which point Crick the dock boose in the browner below to specific the choice in the browner below to specific the choice in the browner below to specific the choice in the complex specific the choice in the complex specific the choice in the complex specific the complex specific the choice in the	stine design files into your project xisting Fileliat at ModeSim ini file to specified files within your existing design data dir file fielders or files you with to add. 29esampleskuart_villed rho, *uk, *so, *o, *xo, *	Verilies Import Dialect @ Auto C Specified ectary(ics). # Auto ectary(ics). # Auto # Control Control Control # Control Control # Control Control Control # Control Control Control Control # Control Control C	VHDL Inpo C Anto Specified Specified Specified Verlog File Verlog File Verlog File Verlog File Verlog File Verlog File	rt Dialect g Stee 1189 2199 1189 3199 1189 3199 1189 319	Box     Date Mod     Thu Mar 09 2017 23 56
Add Busting Design      Please choose one of the following methods to add exi      Point to Specified Files      Copy Specified Files      Add automatically creates (Bray mapping which point     Olick the check boose in the branser below to spec      Please specify the required design files      Look in     Oliver      Please specify the required design files      Look in     Oliver      Olick the check boose in the branser below to spec      Please specify the required design files      Look in     Oliver      Olick the check boose in the branser below to spec      Please specify the required design files      Look in     Olick the check boose in the branser below to spec      Please specify the required design files      total check to the check boose      Olick the check boose in the branser below to spec      Please specify the required design files      Look in     Olick the check boose      Olick the check      Olick the check boose      Olick the check boose      Olick the check      Olick the check boose      Olick the	atter design files into your project xisting Filelist at ModeSim ini file to specified files within your existing design data dis different files you with to odd. 39examples/kuert.yVhdl dra, *vik, *acc, *v, *via, *	Vering Import Dislect @ Auto ^ Specified ectory(ies).	VHOL Inpo (* Auto * Specifie * Specifie	rt Daker 3 5 18 218 218 218 218 218 318 118 318 318 518	Brow     Date Modd     Thu Mer 09 2017 23 56
Add Existing Design      Please choose one of the following methods to add exi      Point to Specified Files      Copy Specified Files      Autonatically creates library mapping which point     Dick the check boost in the browner below to age      Please specify the required design files:     Look in     O'WhentorGraphics/HDS,5016     Show files of type:     Alt HDL Files (*-ind, *-ind, *      folder	sting design files into your project xisting FileIst at ModeSim ini file to specified files within your existing design data dir by the totaker or files you with to add. 29examplesMuart, vMrd fro, five, *ax, *ax, *ax, *=	Veriles Import Dialect @ Auto ^ Specified ectory(ies).	VHDL Inpo C Anto Specified Specified Specified Velog File Velog File Velog File Velog File Velog File Velog File Velog File	rt Dialect g Size 118 218 218 218 318 318 318 318 318 118 318 118 1	Brow     Date Modi Thu Mar 09 2017 23 56 Thu Mar 09 2017 20 Thu Mar 09 2017 20 Thu Mar 09 2017 20 Thu Mar 09 2017 Thu Mar 09 2017 20 Thu Mar 09 2017 Thu Mar 09 2017 20 Thu Mar 09 2017 Thu Mar 09 2017 Th
Add Existing Design      Please choose one of the following methods to add exis      Copy Specified Files      Please upperfly the required design files      Lost in:      Code to base in the movement below to specified files      Copy Files and the files      Please upperfly the required design files      Lost in:      Code to base in the movement below to specified files      Code to base in the movement below to specified files      Please upperfly the required design files      Lost in:      Code to base in the movement below to base      Please upperfly the required design files      Toders      Please upperfly the required design files      Down files of base      Please upperfly the required design files      Lost in:      Coders      Please upperfly the required design files      Down files of base      Please upperfly the required design files      Down files of base      Please upperfly the required design files      Down files of base      Please upperfly the required design files      Down files of base      Please upperfly the required design files      Down files of base      Please upperfly the required design files      Down files of base      Please      Please upperfly      Down files      Down files of base      Down files	stire design files into your project xisting Fieldst et ModeSim ini file to specified files within your existing design data din greenamplesRuart_VMod file you with to add.	Verilies Import Dialect & Auto C Specified ectory(es). Flefet of C:WentrofilespHco/MEG_2 C solarest, decode_Ibly = dcot_d-dedut_low v = dcot_d-dedut_low v = dcot_d-decode_Ibly = dcot_d-	VHOL Inpo C Ans C Specifie C Specifie	rt Dialect a See 158 258 158 259 158 359 158 659 158 258	вода     вода
Add Existing Design      Please choose one of the followine methods to add exi      Point to Specified Files      Copy Specified Files      Automatically creates (Brary mapping which point     Dick the check boxes in the brainer follow toget      Please specify the required design files:      Lotk in:      O'WhentorGraphicsWHD5,2016      Show files of type:      Add HDL Files (*-holt, +-holt, *)      Please specify the required design files:      Lotk in:      O'WhentorGraphicsWHD5,2016      Show files of type:      Add HDL Files (*-holt, +-holt, *)      Please specify the required design files:      Lotk in:      O'WhentorGraphicsWHD5,2016      Show files of type:      Add HDL Files (*-holt, +-holt, *)      Please specify the required design files:      Lotk in:      O'WhentorGraphicsWHD5,2016      Disk interval	sting design files into your project xisting FileIst at ModeSim ini file to specified files within your exciting design data dir dire todders on files you with to odd. 30erangles/kun1,vMdd dra. *vik_*xx, *vx, *va. *v	Verilize Import Dialect	VHOL Inpo G Auto C Specifie C Specifie Velog Fie Velog Fie	size 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5	в воом     воом     в воом     воом     в воом     в воом     воом     в воом     воом     воом     воом     воом     в воом     воом     воом     воом     воом     воом

- まず、左上の、ライブラリにインポートする HDL ファイルをリンクするかコピーするかを選択します。今回は 「Copy Specified Files」を選択します。
  - Point to Specified Files: 元のファイル保存フォルダへリンクしてファイルを参照
  - Copy Specified Files : プロジェクト・フォルダにファイルをコピー
- 今回はインストール・フォルダにあるサンプルデザインを使用します。Folders から下記のフォルダを選択し、チェックを入れてフォルダ内の11ファイルを全部選択し、「OK」をクリックします。

<HDL Designer インストール・フォルダ>¥examples¥uart\_v¥hdl



③ 下記のウィンドウが表示され、右側の Files 欄 > Verilog Files を + で開くと選択したファイルの一覧が表示されます。ファイルを確認し「Finish」をクリックします。

ibraries		Files	
iles will be imported to the following libraries and added to th	e project.	11 files will be added to the libra	ries.
uat_example_lb	Rename Library	Files to be added	
		<ul> <li>addrest_decode,</li> <li>addrest_decode,</li> <li>addrest_decode,</li> <li>addrest_decode,</li> <li>addrest_decode,</li> <li>addrest_addrest</li></ul>	tbl v v.v _fsm.v conx.v truct.v asm.v fsm.v
IDL Mapping: C:\MentorGraphics\HDS_2016.2\examples	\uart_v\hdl	177-55	
<ol> <li>Importing into an empty library may result in the HDL ma</li> </ol>	opina beina modified.	<	E.

4-1-2. Design Manager ウィンドウで一覧表示

下記のように、HDL Designer のメインウィンドウである Design Manager ウィンドウが起動し、デフォルトライブラリ(プロジェクト名のライブラリ)のタブが開いた状態になります。

	Design Explorer [ Using viewpoir	nt: Default Viewp	pint (Filtered) - Dont	Touch Hidden ]	24×	Launch Pad
	Design Unit	Туре	Extends	Language	Time Stamp	4 4 6 B
ног	Uart_example_lib					
	🛨 🔜 address_decode	Module		Verilog '95	Thu Mar 09 2017 23:56:16	
w/Add	clock_divider	Module		Verilog '95	Thu Mar 09 2017 23:56:16	What do you want to do?
1	+ control_operation	Module		Veniog '95	Thu Mar 09 2017 23:56:16	
	cpu_interrace	Module		Verilog 35	Thu Mar 09 2017 23:56:16	Design Creation/Import
2	+ sella_niellace	Module		Verilog 55	Thu Mai 03/2017 23:36:16	Graphics Design Creation
heck	status_registers	Module		Verilog '95	Thu Mar 09 2017 23:56:16	Text Design Creation
	wat the root 1	Module		Verilog '95	Thu Mar 09 2017 23:56:16	Add a Design
	+ Just top	Module		Verilog '95	Thu Mar 09 2017 23 56 16	Design Visualization Navigation
UN I	+ 3 smit rcv control	Component		Verilog '95	Thu Mar 09 2017 23:56:16	Checking
hesize	K	インポー	ートしたラ	゙゙ザイン	一覧	Design Checking     Text To Graphics     HTML Export     DLE Support     Customizing your Design Explorer     Design Navigation
-	Files	Туре	Extends	Size	Time Stamp	Running Tasks
<u>^</u>	+ M DesignChecker				A	O 01 1 1
amera 8	Documentation & Visualiz.	<u>.</u>				Simulation     Synthesis     Blace and Boute
ualize	Documentation & Visualiz	インポ		ファイル	,—暫	Simulation     Synthesis     Place and Route
ament 8 ualize	Occumentation & Visualiz.	インポ	ートしたこ	ファイル	,一覧	Simulation     Synthesis     Place and Route  Projects
ment 8 ualize	O Documentation & Visualiz     HTML     Visualization     wat_example_lb     S Design Files	インポ	ートした	ファイル	,一覧	Symulation     Symbolis     Place and Route  Projects     Creating a new project     Creating a new project
ment & ualize	Occumentation & Visualiz.     Original Armonia Ar	インポ	ートしたこ	ファイル	,一覧	Symbolism     Symbolism     Place and Route  Projects     Creating a new project     Creating a new project     Depring an existing project
ment & ualize	♥ Occumentation & Visualiz.       ● HTML       ● Visualization       ♥ ust_example_lb       ♥ Design Files       ● Ust_example_lb       ● S @ address_decos_bbl	インポ v Source File	ートしたこ	<b>ファイル</b> 2KB	<b>一覧</b> Thu Mar 09 2017 23:56:16	Simulation     Synthesis     Place and Route  Projects     Creating a new project     Creating a new Libray     Depring an existing project     Mapping to existing libray
ment 4 Jalize	Image: Second	インポ v Source File Source File	ートしたこ	<b>ファイル</b> 2KB 3KB	一覧 Thu Mar 09 2017 23:56:16 Thu Mar 09 2017 23:56:16	Smilden Synthese Project Cealing a new project Cealing a new project Cealing a new project Cealing a new project Deening a newing project Mapping to existing project Deening a sexific project Deening
ment 4 Jalize	Occumentation & Visualiz.     HTML     HTML     Visualization     Visualization     Visualization     Visualization     Visualization     Visualization     Visualization     Visualization     Visualization     S    S    doct_divide_lowv     S    S     doct_divide_lowv     Vis    S     control querelion fis.	・ インポ v Source File Source File	ートしたご	<b>ファイル</b> 2KB 3KB 3KB	一覧 Thu Mar 09 2017 2356:16 Thu Mar 09 2017 2356:16 Thu Mar 09 2017 2356:16	Sundation Synthesis Place and Route Projects Cesting a new project Opening a resting project Opening a resting project Open a recently viewed project
isters	♥         ●         Documentation & Visualization           ●         ■         ItMut           ●         ♥         Design Files           ●         ♥         Item example, b)           ●         ♥         Ø besign Files           ●         ♥         Item example, b)           ●         \$         ●           Ø besign Files         ●           ●         \$           ●         Obschwardskeine, low.v           ●         \$           ●         Cottod, dorider, low.v           ●         \$           ●         Cottod, goesland, r.K.           ●         \$           ●         Cottod, goesland, r.K.	· · · · · · · · · · · · · ·	ートしたこ	<b>ファイル</b> 2KB 3KB 3KB 2KB		Simulation Synthesis Place and Route Projects Creating a new project Creating a new project Creating a new turbray Opening an existing project Mapping to existing bray Open an existing project Open a newnple project
ment A ualize	Coumentation & Visualiz.     HTML     Signation     Signat     Signation     Signat	· インポ Source File Source File Source File Source File		2KB 3KB 3KB 3KB 2KB 4KB	Thu Mar 09 2017 23:55:16 Thu Mar 09 2017 23:55:16	Smulation Synthesis Place and Route Projects Creating a new project Creating a new project Creating a new project Opening an existing project Mapping to existing project Open a recently viewed project Whats new in HDL Designer?
isters	Coumentation & Visualiz.     HTML     HTML     Wisualization     Wisualization     Wisualization     Wisualization     Second Design Files     Second Design File     Second	·····································		2KB 3KB 3KB 2KB 4KB 2KB		Simulation Synthesis Place and Route Projects Ceating a new project Ceating a new project Ceating a new project Ceating a new project Opering a resting project Opering a resting project Opering a recently viewed project Whats new in HDL Designer? Welcome to
isters	♥         ●         Documentation & Visualization           ●         ITHU         ●           ♥         Designer Files         ●           ●         Ituatization         ●           ●         Signer Files         ●	v Source File Source File Source File Source File Source File Source File		2K8 3K8 3K8 2K8 4K8 2K8 4K8 2K8	Thu Mar 09 2017 23:55:16 Thu Mar 09 2017 23:55:16 Thu Mar 09 2017 23:56:16 Thu Mar 09 2017 23:56:16	Smiddlen Syrifices Projects Creating a new project Depen an existing project Depen a recently vewed project Whats new in HDL Designer? Welcome to HDL Designer Series*
plotee	♥ ● Documentation & Visualiz           HTML           Wisualization           ♥ Visualization           ♥ Usualization           ♥ Design Files           ● ● ● ● ● ○ address decose. Bbb           ● ● ● ● ○ ○ address decose. Bbb           ● ● ● ○ ○ address decose. Bbb           ● ● ● ○ ○ ○ control_operation fis.           ● ● ○ ○ ○ control_operation fis.           ● ● ○ ○ ○ ○ Control_operation fis.           ● ● ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○ ○	・ く Source File Source File Source File Source File Source File Source File Source File Source File		2KB 3KB 3KB 2KB 4KB 2KB 7KB 2KB 7KB 2KB		Simulation Synthesis Projects Creating a new project Opering a newshipt project Opering a newshipt project Opering a newshipt project Opering a newshipt project Uthats new in HDLD eligner? Welcome to HDLD eligner Series*
pisters pisters pisters pisters pisters	Courservation & Visualization     Course of the second secon	Source File Source File Source File Source File Source File Source File Source File Source File	ートした:	2KB 3KB 3KB 2KB 4KB 2KB 7KB 2KB	Thu Mar 09 2017 23:56:16 Thu Mar 09 2017 23:56:16	Synthesis Roca and Route Synthesis Roca and Route Projects Ceating a new project Ceating a new project Ceating a new project Ceating a new project Depen an existing project Open an existing project Open an existing project Whats new in HDL Designer? HDL Designer Series-

#### 4-2. Hierarchy ウィンドウでファイルの確認

HDL ファイルをインポートしたら Hierarchy ウィンドウでファイルの階層とファイルに不足がないかを確認することができます。

#### 4-2-1. Hierarchy ウィンドウの表示

Hierarchy ウィンドウが表示されていない場合は、View メニュー > Sub Windows > Design Hierarchy をクリックして表示します。



下記のように自動でインポートしたデザイン内のトップ階層が検出され、階層がツリー表示されます。

Design Explorer [ Using viewpoir	it : Default Viewpoint (	Filtered) -	Dont Touch Hidden 1	2 4 X
Design Unit	Туре	Extend	Design Hierarchy	Design Unit Name
🖃 🛍 uart_example_lib			🖃 💑 uart_tb	uart_tb
🕂 📆 address_decode	Module		🖻 🗄 🔷 uart_tb [ root ]	uart_tb
主 🛁 clock_divider	Module		<b>(</b> ) U_0	tester
🛨 🔚 control_operation	Module		庄 🔁 U_1	uart_top
主 — 💹 cpu_interface	Module			
💽 🕂 🔚 serial_interface	Module			
🛨 🔚 status_registers	Module			
🕂 📶 tester	Module			
🕂 🕂 📜 🗘 uart_tb [ root ]	Module			
🕂 🛄 uart_top	Module			
主 — 💹 xmit_rcv_control	Component			
Serial_interface     Status_registers     Status_registers     Seter     Seter     Substatus_for     Substatus_for     Substatus_for     Substatus_for	Module Module Module Module Component			

Design Hierarchy ウィンドウに何も表示されない場合は、左側の Design Unit の一覧から uart\_tb を Design Hierarchy ウィンドウヘドラッグ・アンド・ドロップすると表示されます。

#### 4-2-2. 階層の確認

Design Hierarchy ウィンドウで各階層を + で開いていくと下位階層を表示することができます。

この際に、下記のように赤く表示される階層(モジュール / エンティティ)がある場合は、そのモジュール / エン ティティのファイルがインポートされていないことを示します。ファイルが不足している場合は、4-1 章の手順でファ イルを追加インポートします。





4-3. デザインルートの設定

HDL Designer を使用する際に、デザインの基準とする階層(デザインルート)をどこにするかを設定しておくと便利です。

デザインルートは、任意の階層に設定することができ、ファイルをグラフィックで可視化する際や、Design Checker でリント・チェックを行う際など、どこを基準として解析するかを設定するものになります。

HDL ファイルをインポートした際には、自動でトップの階層がデザインルートに設定されます。

4-3-1. デザインルートの設定

デザインルートに設定したい モジュール / エンティティ を Design Unit の一覧から選択して、右クリック > Set Design Root を選択します。

デザインルートに設定した モジュール / エンティティ には、左側に黄色の ◇ マークが表示され、太字になり ます。



Design Explorer [ Using viewpoi	nt : Default Viewp	ooint (Filtered) - D
Design Unit	Туре	Extend
🖃 🛄 uart_example_lib		
🛨 🔚 address_decode	Module	
🛨 🔚 clock_divider	Module	
🛨 🔚 control_operation	Module	
🕂 👘 📜 cpu_interface	Module	
🛨 🔚 serial_interface	Module	
🛨 🔚 status_registers	Module	
E la	Module	
🕂 🖳 🎝 uart_tb [ root ]	Module	
+ aut_top	Module	
主 — 📜 xmit_rcv_control	Component	

## 5. <u>グラフィカルビューの表示</u>

次にインポートしたファイルをグラフィカルビューで可視化してみましょう。

HDL Designer では2種類の方法で HDL を可視化することができます。

- Convert To Graphics: 編集可能なグラフィック・ビューに変換
- Visualize Code As: グラフィックとして見るだけのビューに変換(編集不可)

通常、既存の HDL を可視化して確認する場合などは、Visualize Code As で可視化します。この資料では Visualize の手法を紹介します。

#### 5-1. Visualize で変換可能な形式

Visualize Code As より変換できるグラフィカルビューは 4 種類です。

- Block Diagram : ブロック図
- IBD: 各ブロックの接続関係をリストで表示(Interface Based Design)
- State Machine : ステート遷移図
- Flow Chart : フローチャート図

#### 5-2. トップ階層をブロック図で可視化

まずは、HDL をブロック図で可視化してみましょう。

#### 5-2-1. HDL を選択して変換

トップ階層である uart\_tb を Design Unit から選択し、右クリック > Visualize Code As > Block Diagram をクリック します。





5-2-2. ブロック図の表示

ブロック図の作成が完了すると、生成されたブロック図が新しいウィンドウにて表示されます。



このサンプルデザインでは、トップの uart\_tb モジュール内に U\_0 (tester) と U\_1 (uart\_top) の 2 つの下位階 層モジュールがあるため、このように 2 つのブロックが表示されます。

#### 5-3. 下位階層の可視化

トップ階層を可視化したら、下位階層も可視化してみましょう。

#### 5-3-1. 下位階層の可視化

すでに変換済みのトップ階層のグラフィカルビューがある場合には、可視化するブロックをダブルクリックして下 位階層をグラフィカ・ビューに変換できます。

トップ階層の U\_1 ブロックをダブルクリックすると、uart\_top がブロック図として表示されます。



このようにグラフィカルビューにてブロックをダブルクリックして下位階層を表示することができます。

5-3-2. フローチャートの表示

次に、トップ階層の U\_0 (tester) ブロックをダブルクリックします。下記のような、フローチャートが表示されます。



この記述は、テストベンチ記述です。このように動作記述のモジュールについては、適切なグラフィカルビュー (フローチャートやステートマシン等)に変換されます。フローチャートではモジュール内の各 process / always / initial 文が動作に沿って表示されます。

また、複数の process / always 文がモジュール内にある場合には、Structure Navigator から切り替えて表示する ことができます。





5-3-3. ステートマシンの表示

トップ階層の U\_1 (uart\_top) をダブルクリックで uart\_top のブロック図を開き、その中の U\_4 (serial\_interface) をダブルクリック、さらにその中 U\_0 (xmit\_rcv\_control) をダブルクリックで開きます。

このモジュールはステートマシンです。このようにステート遷移図にて表示されます。



拡大して各ステート名や値、遷移条件などを確認できます。



## 6. <u>HTML 形式のグラフィック・ビューの生成</u>

ここでは HTML 形式のグラフィック・ビューの作成方法を紹介します。

5. グラフィック・ビューの表示 で紹介した方法では、HDL Designer ツール上にてグラフィカルビューを表示しました。この方法ですと、変換したグラフィカルビューを見るためには HDL Designer ツールをインストールすることが必要です。

HTML 形式のグラフィック・ビューを作成することによってツールがなくてもグラフィック・ビューを HDL Designer ツール上と同じような操作方法にて確認することが可能です。

#### 6-1. HTML ファイル出力の設定と生成

HTML 出力する際に、出力先などの設定を行います。

#### 6-1-1. 設定ウィンドウの起動

Design Manager ウィンドウより、File メニュー > Document And Visualize > Through Design Root を選択します。

Through Design Root ではルートに設定されているモジュール / エンティティ以下すべての階層が HTML ファイルに出力されます。

tie dit view HDL Tasks Tools	Qpt	ions <u>W</u> indow Heip	
New		A 🖉 🖳 🔚 🗛 🐮	
Add		wpoint : Default Viewpoint ]	
Open		Туре	E Design Hierare
Close	•	Module	⊡ 🦂 uart_tb ⊡ 🔁 🖯 🚥
Explore Library		Module Module	
Page Setup		Module	Ē.
Print Ctrl+F	2	Module	
Print Hierarchy		Module	
Document And Visualize	•	Single Level	
Evit		Hierarchy Through Compo	onents
EAR.	-1	Through Design Root	D

#### 6-1-2. 出力先の設定

Document & Visualize ウィンドウが表示されますので、「Create a Website (Export HTML) にチェックを入れると、 Store at 欄が有効になり、HTML ファイルの出力先フォルダを選択できるようになります。デフォルトでは、プロジェ クトのワーキング・フォルダに HTML\_Export フォルダが生成されそこにファイルが生成されます。「Options」をク リックします。

Generate graphical visualization views for your HDL source code Create a Website (Export HTML) Create Design based Website Store at \$HDS_PROJECT_DIR/HTMLExport  Browse Options	🔽 Visualize Yo	ur Code	
✓ Create a Website (Export HTML) Create Design based Website Store at: \$HDS_PROJECT_DIR/HTMLExport Browse Options	Generate gr	raphical visualization views for your HDL source code	
Create a Website (Export HTML) Create Design based Website Store at \$HDS_PROJECT_DIR/HTMLExport Options			
Create Design based Website Store at \$HDS_PROJECT_DIR/HTMLExport  Browse Options	<ul> <li>Ureate a Wel</li> </ul>	DSITE (EXPORT HIML)	
Store at: \$HDS_PROJECT_DIR/HTMLExport  Browse Options	Create Design	n based Website	
Options	Store at:	\$HDS_PROJECT_DIR/HTMLExport	Browse
Options			
options			
	Ostions		



#### 6-1-3. オプション設定

Documentation and Visualization Options ではグラフィカルビューの表示方法などについての設定を行うことができます。

各項目の設定については、7章の Appendix をご参照ください。

設定が完了しましたら「OK」をクリックします。



Document & Visualize ウィンドウに戻りますので、こちらも「OK」をクリックします。



HTML ファイルの生成がスタートします。生成時間はデザインのサイズによって異なります。

Visualize Code 40%	complete	
	-	
	10 III III III III III III III III III I	



#### 6-2. HTML ファイルの表示

HTML ファイルの生成が完了すると、Web ブラウザが起動します。ブラウザは Internet Explorer (IE) を使用して ください。

#### 6-2-1. THML ファイルの起動

IE にて下記の画面が表示された場合は、画面下の「ブロックされているコンテンツを許可」をクリックしてください。HDL Designer Web Export の画面が表示されます。



#### 6-2-2.トップ階層の表示

画面左側のツリーを展開すると、下記のようにデザインの階層が表示されます。この中のトップ階層の uart\_axample\_lib/uart\_tb/uart\_tb をクリックすると、トップ階層のグラフィカルビューが表示されます。





6-2-3. 下位階層の表示

画面左のデザインツリーの一覧から表示したいモジュール / エンティティをクリックして表示させることができます。

また、グラフィカルビュー上のブロックをクリックして下位階層を表示させることもでき、HDL Designer ツール上で 操作するのと同じ感覚にて HTML 上でグラフィカルビューを確認することが可能です。

0.00	-	
<ul> <li>C:\#work\#HDSYuart_example\#HTMLExport) ク · C</li> <li>ファイル(F) 編集(E) 表示(V) お気に入り(A) ツール(T) ヘルプ(F)</li> <li>Web スライス ギャラ… ▼ 込 おすすめサイト ▼ ② INTERCMS</li> </ul>	HDL Designer Web Export × り ログイン	↑ ★ 0 * □ ₩ * ページ(P) * セーフティ(S) * ツール(0) * 0
300	Diagram Information Side Data H	pr.]
Ge uart_example_lib/Lart_tbliart_tbl     G=0_U_0: uart_example_lib/Detsit/rester     = 45 cit.gen1_proc     = 45 cit.gen2_proc     = 45 cit.gen2_proc     = 45 cit.gen2_proc     = 60_U_1: uart_example_lib/Lart_tplo     G=0_U_1: cut_example_lib/Lart_tplo     G=0_U_1: cut_example_lib/Lart_tplo     G=0_U_1: cut_example_lib/Lart_tplo     G=0_U_2: cotic_d/wder     G=0_U_2: serial_interface	Pre-model directives: Pre-model directives:	Concentrate statements: Clock Generator: Clock Generator:
HDL Designer	Concurrent Statements	
	tester_top_flowchart_proc clk_gen1_	proc clk_gen/_proc

6-2-4. 既存の HTML ファイルの起動

既存の HTML ファイルを開く場合は、6-1-2. 出力先の設定 にて設定した出力フォルダをエクスプローラで開き、 <ライブラリ名><トップ階層名>index.htm ファイルをダブルクリックして開きます。





### 7. Appendix

#### 7-1. Documentation and Visualize Options

Design Manager ウィンドウの Options ウィンドウ > Documentation & Visualization よりグラフィカルビューへの 変換・表示についての各種設定を行うことができます。

ここでは、各設定項目について紹介します。

#### 7-1-1. Website Options

Website Options ページでは、一般的なグラフィックオプションの設定に加えて、ドキュメントに含める階層レベルと階層ビューを設定します。



項目	内容
Lieuweley Levels to Dessand	HTMLドキュメントにすべてのデザイン階層レベルを含めるか、または
Hierarchy Levels to Descend	「Specified」を選択して階層レベルの必要な数を設定することができます。
	Generate Graphics Files Only: グラフィカルイメージのみ生成します。
Graphics	HTML ファイルは生成しません
Graphics	Auto Export Visualizations: HDL ソースコードのビジュアライゼーションビ
	ューを HTML ファイルに含めることができます。
	エクスポートされたドキュメントに含まれる階層ビューを選択できます。
	Export referenced Packages: 生成された HTML 出力にデザインの VHDL
	パッケージを含めるために、参照パッケージをエクスポートします。標準パ
Include	ッケージを生成された HTML に含めることもできます。
	Export included Verilog `include files: 生成された HTML 出力にデザインの
	Verilog インクルードファイルを記録できます。エクスポートされた HTML に
	標準インクルードを含めることができます。



#### 7-1-2. HTML Settings

ll

エクスポートする項目、HTML エントリページファイルのパスとその名前、およびエクスポートプロセスの終了後に、エクスポートした Web サイトを Web ブラウザで自動的に開くかどうかを設定します。

項目	内容
	生成されたグラフィカルビューまたはサイドデータビューをエクスポートする
	かどうかを選択できます。
Export	All Files を選択すると、HDL Designer でサポートされているデータ形式に
	かかわらずすべてのファイルがエクスポートされ、Resistered Files では既
	知のファイルのみがエクスポートされます。
	HTML のエントリページとして使用するコピー元の HTML ページを入力また
Title Page	は参照できます。指定がない場合は、デフォルトのタイトルページ
	(\$ HDS_HOME / resources / WebExport / titlepage.htm)が使用されます。
	エントリページのファイル名を設定できます。
Inday Daga	デフォルトは Automaticaly で自動でプロジェクト名やライブラリ名を使用し
Index Page	た名前が付けられます。Specify でユーザ定義の名前を付けることも可能
	です。
Open Exported HTML in Web	この設定を有効にすると、HTML ファイル生成後に自動で Web ブラウザで
Browser	ファイルを開かれます。



7-1-3. Graphics Settings

HTML に組み込まれるグラフィックのファイル形式を設定します。

<ul> <li>HTML Settings</li> </ul>	
and the second statement of th	Graphics
Visualization Options	Format: PNG JPEG Compression Level 100 % Qua
Graphics Appearance     Structural Diagram     Placement Settings     Booting Settings	Sizing Adjust to: 100 % Normal Size
rioung seangs	Paging
	☞ Single Page
	C Multiple Pages
	C Use Page Boundaries
	C All C Specified
	C Sauth June Sau
	• Specify image Size
	A4 (134mm x 110mm)  Custom
	Panels
	No Panels
	C All
	○ Specified

項目	内容
	生成された HTML に表示されるグラフィックのフォーマットを設定できます。
Graphics	SVG / JPEG / PNG から選択でき、JPEG を選択した場合は、圧縮率を設
	定可能です。
Sizing	グラフィックのサイズを通常サイズのパーセンテージ(%)で設定します。
	グラフィックを単一ページまたは複数ページに表示するかどうかを選択でき
Desing	ます。
raging	Multiple Pages を選択した場合は、Use Page Boundaries でページ指定が可
	能で、Image Size で画像サイズを選択できます。
Denele	1 つまたは複数のパネルが定義されている場合、すべてのパネルをエクス
Paneis	ポートするか、指定したパネルのみエクスポートするかを選択できます。

7-1-4. Visualization Option

グラフィカルビューでデザインを表示する際のデフォルト設定を行います。



項目	内容
History Descriptions	階層があるデザインのデフォルトのグラフィカルビューを Block Diagram / IBD
Hierarchy Descriptions	のどちらで表示するかを設定します。
Loof Loval Descriptions	下位階層の回路のデフォルトのグラフィカルビューを選択します。
	State Machine / Flow Chart / Block Diagram
	Overwirte existing views : グラフィカルビュー変換時に既存のビューがある場合 は上書き
Other	Verbose : 有効にすると変換時に詳細情報が Log Windows に表示される
	Open diagram after visualization : 変換後にグラフィカルビューを自動で表示
	Hide Symbol Ports : グラフィカルビュー内のシンボルポートを非表示に設定



7-1-5. Structual Diagram

Block Diagram と IBD のビューでの表示方法を設定します。

Website Options		Structural Diagram	
HIML Settings     Graphics Settings     Visualization Options     Graphics Appearance     Structural Diagram     Placement Settings     Routing Settings	The following options except fo will apply for both Block Diagra Text Visibility Modify the visibility of text o Block Diagram preferences a	r the text visibility section m and IBD. n some Block Diagram objects re used if these options are no	, it chosen.
	🔽 Diagram:	all	-
	<b>⊽</b> Net	all	•
	Component port:	none	*
	Embedded Blocks These options are only speci Changing the Embedded Bloc the Convert To Graphics wize Extract embedded state of	iic for visualization. ks options for HDL To Graphic rd -> Advanced options. vachines	s can be done through
	Embedded Blocks These options are only speci Changing the Embedded Bloc the Convert To Graphics wize Extract embedded state in Embed State Machines, if re Extract concurrent assign Create separate embedded blocks Symbol shape: Connect embedded blocks	tic for visualization. ks options for HDL To Graphic rd -> Advanced options. nachines cognized. ments plocks for concurrent assignme rectangle	ents.
	Embedded Blocks These options are only speci Changing the Embedded Bloc the Convert To Graphics wize Extract embedded state in Embed State Machines, if re Extract concurrent assign Create separate embedded to Symbol shape: Connect embedded blocks Create signals between emb	tic for visualization. ks options for HDL To Graphic rd -> Advanced options. nachines cognized. ments plocks for concurrent assignme rectangle	ents.

項目	内容
	Block Diagram のオブジェクトの表示を設定します。
Text Visibility	Diagram / Net / Component Port について、チェックを入れないとデフォル
	トの設定で表示されますので、表示する方法を変更する場合にチェックを
	入れて none や all に変更します。
Embedded Blocks	Embedded Block の表示方法や接続の表示を設定します。
Testa da esta	表示するインスタンスの上限を設定できます。デフォルトはオフのため上
Interfaces	限はありません。

7-1-6. Placement Settings

グラフィカルビューでのブロックの表示方法について設定します。



項目	内容
Placement Limit	表示するインスタンスの上限を設定できます。
Preserve placement	既存のグラフィカルビューの配置を保持することができます。
Instance auto-size	インスタンス上に表示されているテキストに適合したサイズのシンボルを生
	成します。シンボルを幅または高さ(またはその両方)に合わせるように変
	換する、width、height、width and height の選択が可能です。

7-1-7. Routing Settigns

グラフィカルビューでの配線の表示方法について設定します。



項目	内容	
Autoroute mode	Connect by name : 信号の接続配線を表示せず、名前での接続を作成しま	
	す。	
	Explicit connection : 信号の接続を配線で表示します。	
Autoroute Options	Connection limit : 1つの信号が接続できる上限値を設定します。上限値を	
	超える数の接続が存在する場合、信号名によって接続します。	
	Bundle limit : バンドル・シグナルが作成される最小値を設定します。設定さ	
	れた値以上の信号が同じところに接続されている場合はバンドル・シグナル	
	が作成されます。	
	Bus reconstruction : 同じ信号名のバス・スライスを自動的に作成します。	
	Align ports : 設定されていないとダイアグラムの端にインターフェース・ポー	
	トを一直線に配置します。	
	Global Connectors : ダイアグラムの全てのブロックとコンポーネントに接続	
	される信号はシグナル・スタブが追加され、名前による接続が行われます。	
	Move component ports : コンポーネントのポートを再配置して配線します。	
	シンプルな配線とコンパクトなレイアウトが行われます。	



## 改版履歴

Revision	年月	概要
1	2017 年 8 月	初版

#### 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
   株式会社マクニカ アルティマ カンパニー <a href="https://www.alt.macnica.co.jp/">https://www.alt.macnica.co.jp/</a> 技術情報サイト アルティマ技術データベース <a href="https://www.alt.main.jp/members/">http://www.alt.macnica.co.jp/</a> 技術情報サイト アルティマ技術データベース <a href="https://www.alt.main.jp/members/">http://www.alt.macnica.co.jp/</a> 技術情報サイト ETS <a href="https://www.alt.main.jp/members/">https://www.alt.macnica.co.jp/</a> 技術情報サイト ETS </a> <a href="https://www.alt.main.jp/members/">https://www.alt.macnica.co.jp/</a> <a href="https://www.alt.main.jp/members/">https://www.alt.macnica.co.jp/</a> <a href="https://www.alt.main.jp/members/">https://www.alt.macnica.co.jp/</a> </a>
- 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。