

HDL Designer Series 簡易チュートリアル ～グラフィカルビュー変換編～

Ver.2016.2

HDL Designer Series 簡易チュートリアル ～グラフィカルビュー変換編～

目次

1. はじめに	4
2. HDL Designer Series 概要	4
3. プロジェクトの作成	5
3-1. プロジェクトの作成方法	5
3-1-1. HDL Designer の起動	5
3-1-2. プロジェクトの作成	5
3-1-3. プロジェクトの設定	5
4. プロジェクトへ HDL ファイルのインポート	7
4-1. プロジェクトへのファイルのインポート	7
4-1-1. ファイルの追加	7
4-1-2. Design Manager ウィンドウで一覧表示	8
4-2. Hierarchy ウィンドウでファイルの確認	9
4-2-1. Hierarchy ウィンドウの表示	9
4-2-2. 階層の確認	9
4-3. デザインルートの設定	10
4-3-1. デザインルートの設定	10
5. グラフィック・ビューの表示	11
5-1. Visualize で変換可能な形式	11
5-2. トップ階層をブロック図で可視化	11
5-2-1. HDL を選択して変換	11
5-2-2. ブロック図の表示	12
5-3. 下位階層の可視化	12
5-3-1. 下位階層の可視化	12
5-3-2. フローチャートの表示	13
5-3-3. ステートマシンの表示	14
6. HTML 形式のグラフィック・ビューの生成	15
6-1. HTML ファイル出力の設定と生成	15
6-1-1. 設定ウィンドウの起動	15
6-1-2. 出力先の設定	15
6-1-3. オプション設定	16

HDL Designer Series 簡易チュートリアル ～グラフィカルビュー変換編～

6-2. HTML ファイルの表示	17
6-2-1. HTML ファイルの起動.....	17
6-2-2. トップ階層の表示.....	17
6-2-3. 下位階層の表示.....	18
6-2-4. 既存の HTML ファイルの起動.....	18
7. Appendix.....	19
7-1. Documentation and Visualize Options.....	19
7-1-1. Website Options.....	19
7-1-2. HTML Settings	20
7-1-3. Graphics Settings.....	21
7-1-4. Visualization Option	22
7-1-5. Structural Diagram.....	23
7-1-6. Placement Settings.....	24
7-1-7. Routing Settings	25
改版履歴	26

1. はじめに

この資料は、Mentor Graphics® HDL Designer Series™ の基本的な使用方法を紹介します。既存の HDL ファイルをインポートして使用方法を主に紹介します。

■ 対応バージョン

HDL Designer Series™ 2016.2

2. HDL Designer Series 概要

HDL Designer Series™ は、HDL ベースの設計・管理を総合的に行うことができる開発環境です。

デザイン・エントリーのための各種グラフィカル・エディタを備えており、作成したデザインから HDL を生成することができます。テキスト・エディタも搭載されていますので、HDL 設計にも使用することが可能です。

また、HDL からブロック図やフローチャート等のグラフィカルビューを作成することができるため、デザインの動作を理解するのに役立ちます。その他、リント・チェック機能やソースファイルのバージョン管理機能等も備えています。

HDL Designer Series には 2 種類の製品があり、使用できる機能が異なります。

- HDL Designer : すべての機能を使用可能
- HDS Author : デザイン編集機能に特化

機能		HDL Designer	HDL Author	備考
言語	VHDL	○	○	VHDL 87, VHDL 93, VHDL 20202, VHDL 2008
	Verilog	○	○	Verilog 95, Verilog 2001, Verilog 2005
	SystemVerilog	○	○	SystemVerilog 2005 (*グラフィックは非対応。テキストのみ)
OS	Windows	○	○	Windows® 7 (64bit), Windows 8.1 (64bit) (*32bit アプリで動作)
	Linux	○	○	RHEL6 (64bit), RHEL 7 (64bit) (*32bit アプリとして動作)
デザイン・エントリー		○	○	テキスト・エディタ、各種グラフィカル・エディタ(ブロック図、ステートマシン、フローチャート等)
RTL to 編集可能グラフィックへの変換		○		HDL ファイルをグラフィカル・エディタで編集可能なファイルに変換
RTL コードの可視化		○	○	RTL コードをブロック図やフローチャート、ステートマシン等のグラフィックに変換(編集は不可)
RTL コードの可視化(HTML)		○		RTL コードをブロック図等のグラフィックに変換(編集不可)し THML ファイルで保存
デザイン検証		○		リントチェッカー機能
バージョン管理		○	○	Subversion®, IBM Rational ClearCase®, CVS, RCS に対応
FPGA ベンダフロー		○	○	FPGA ベンダ・ツールとの連携

※ この資料中では HDL Designer を使用しています。

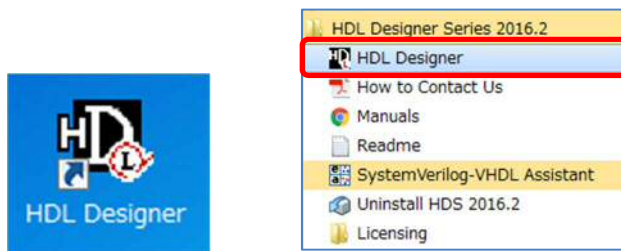
3. プロジェクトの作成

HDL Designer ではプロジェクトを作成してデータを管理します。まずはプロジェクトの作成が必須です。

3-1. プロジェクトの作成方法

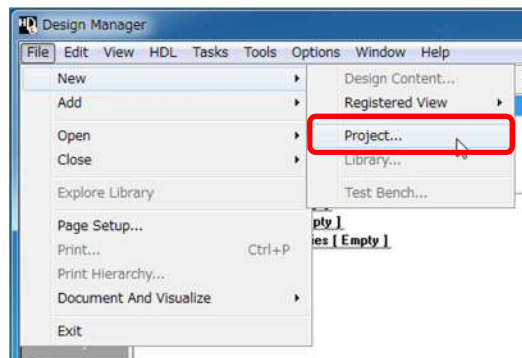
3-1-1. HDL Designer の起動

デスクトップのショートカット・アイコン もしくは、スタートメニュー > HDL Designer Series 2016.2 > HDL Designer (Author のみインストールしている場合は HDL Author) を選択して起動します。



3-1-2. プロジェクトの作成

File メニュー > New > Project.. を選択します。



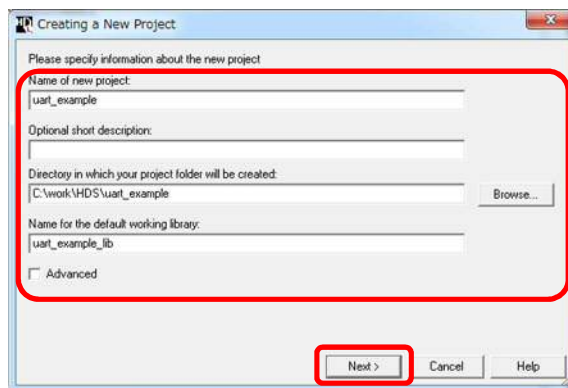
3-1-3. プロジェクトの設定

ウィザードの 1 ページ目で、Creating a New Project ウィザードが起動します。プロジェクト名などを設定します。

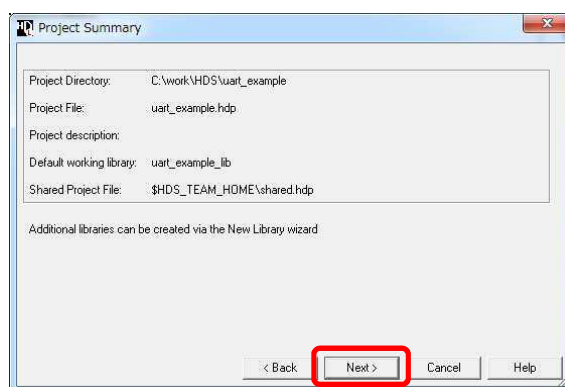
- Name of new project : プロジェクト名
- Optional short description : コメント(オプション)
- Directory in which your project folder will be created : プロジェクト・フォルダ
- Name for the default working library : デフォルトのライブラリ

※ HDL Designer ではプロジェクト内にライブラリを作成し、ライブラリで HDL ファイル等を管理することができます。

設定したら「Next >」で進みます。



ウィザードの 2 ページ目で、設定したプロジェクトのフォルダやプロジェクト名などを確認し、「Next >」で進みます。修正する場合は「< Back」で戻り設定します。

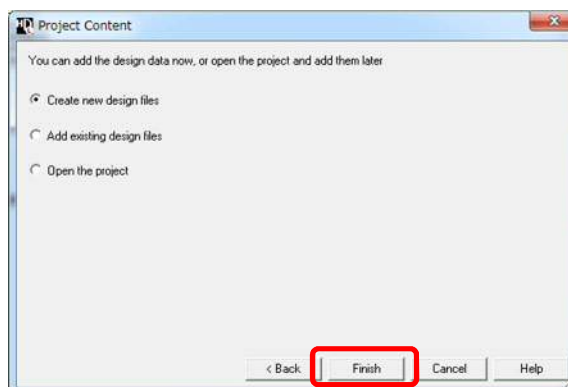


ウィザードの 3 ページ目では、プロジェクト作成後の動作を選択します。

- Create new design files : 新規のデザインファイルを作成。ファイルの作成ウィンドウが開きます
- Add existing design files : 既存のデザインファイルをインポート。インポートウィンドウが開きます
- Open the project : プロジェクトを開くのみ。ファイルの作成やインポートは行わない

※ ここで、ファイルの作成やインポートを行わなくても、後から作成・追加は可能です

「Finish」で終了すると、プロジェクトが作成されます。



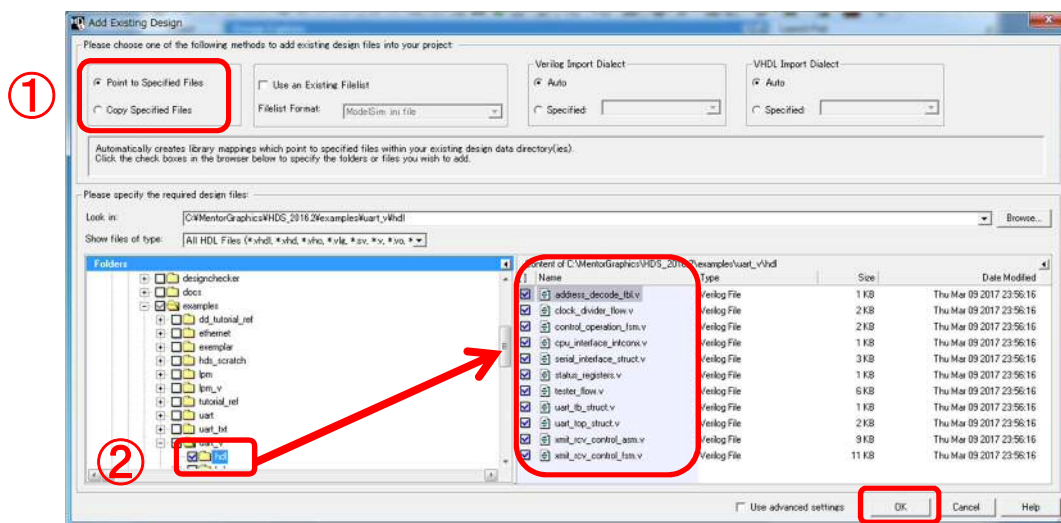
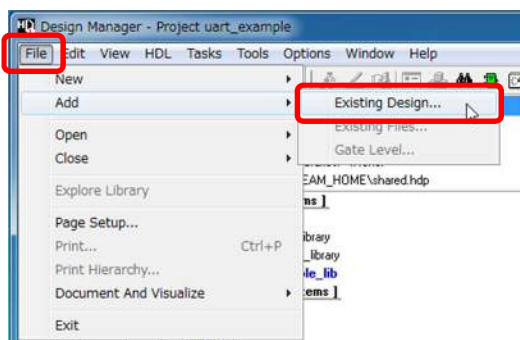
4. プロジェクトへ HDL ファイルのインポート

今回は既存の HDL ファイルをプロジェクトへインポートして使用します。

4.1. プロジェクトへのファイルのインポート

4.1-1. ファイルの追加

File メニュー > Add > Add existing design files を選択し、Add Existing Design ウィンドウを開きます。デフォルトのライブラリ(プロジェクト名のライブラリ)に HDL ファイルをインポートします。



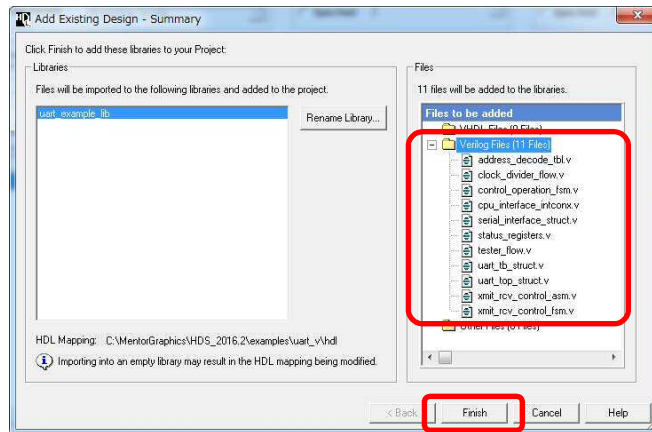
① まず、左上の、ライブラリにインポートする HDL ファイルをリンクするかコピーするかを選択します。今回は「Copy Specified Files」を選択します。

- Point to Specified Files: 元のファイル保存フォルダへリンクしてファイルを参照
- Copy Specified Files: プロジェクト・フォルダにファイルをコピー

② 今回はインストール・フォルダにあるサンプルデザインを使用します。Folders から下記のフォルダを選択し、チェックを入れてフォルダ内の 11 ファイルを全部選択し、「OK」をクリックします。

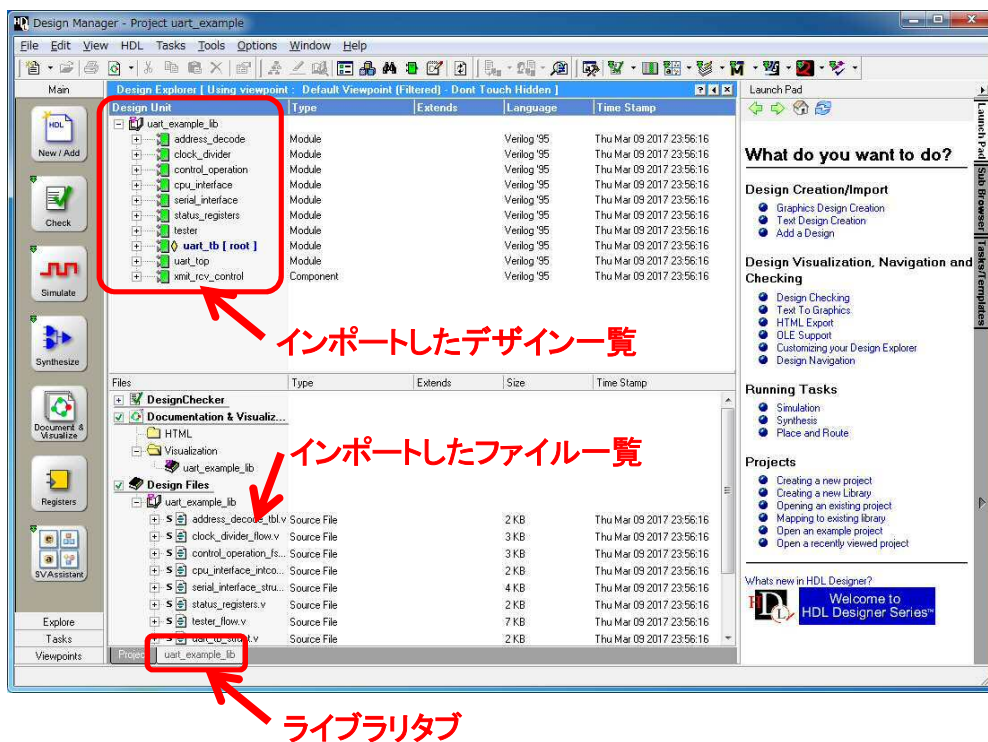
<HDL Designer インストール・フォルダ>\examples\uart_v\hdl

- ③ 下記のウィンドウが表示され、右側の Files 欄 > Verilog Files を + で開くと選択したファイルの一覧が表示されます。ファイルを確認し「Finish」をクリックします。



4-1-2. Design Manager ウィンドウで一覧表示

下記のように、HDL Designer のメインウィンドウである Design Manager ウィンドウが起動し、デフォルトライブラリ(プロジェクト名のライブラリ)のタブが開いた状態になります。

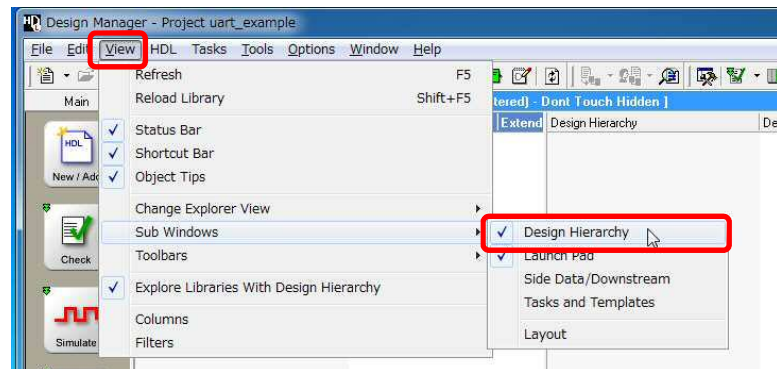


4-2. Hierarchy ウィンドウでファイルの確認

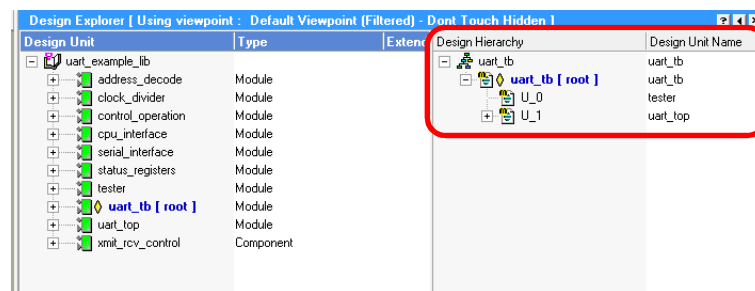
HDL ファイルをインポートしたら Hierarchy ウィンドウでファイルの階層とファイルに不足がないかを確認することができます。

4-2-1. Hierarchy ウィンドウの表示

Hierarchy ウィンドウが表示されていない場合は、View メニュー > Sub Windows > Design Hierarchy をクリックして表示します。



下記のように自動でインポートしたデザイン内のトップ階層が検出され、階層がツリー表示されます。

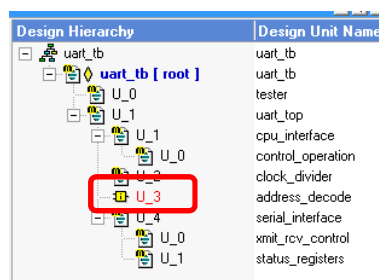


Design Hierarchy ウィンドウに何も表示されない場合は、左側の Design Unit の一覧から uart_tb を Design Hierarchy ウィンドウヘドラッグ・アンド・ドロップすると表示されます。

4-2-2. 階層の確認

Design Hierarchy ウィンドウで各階層を + で開いていくと下位階層を表示することができます。

この際に、下記のように赤く表示される階層(モジュール / エンティティ)がある場合は、そのモジュール / エンティティのファイルがインポートされていないことを示します。ファイルが不足している場合は、4-1 章の手順でファイルを追加インポートします。



4-3. デザインルートの設定

HDL Designer を使用する際に、デザインの基準とする階層(デザインルート)をどこにするかを設定しておくとう便利です。

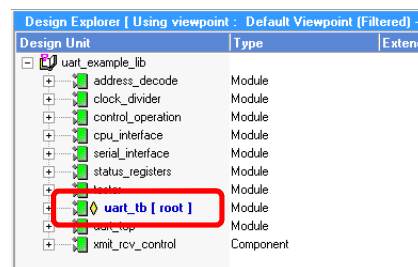
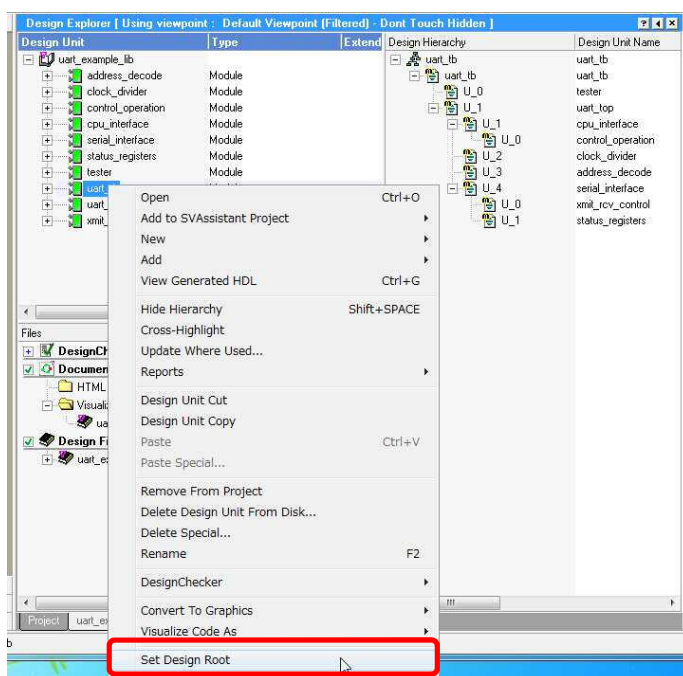
デザインルートは、任意の階層に設定することができ、ファイルをグラフィックで可視化する際や、Design Checker でリント・チェックを行う際など、どこを基準として解析するかを設定するものになります。

HDL ファイルをインポートした際には、自動でトップの階層がデザインルートに設定されます。

4-3-1. デザインルートの設定

デザインルートに設定したい モジュール / エンティティ を Design Unit の一覧から選択して、右クリック > Set Design Root を選択します。

デザインルートに設定した モジュール / エンティティ には、左側に黄色の ◇ マークが表示され、太字になります。



5. グラフィカルビューの表示

次にインポートしたファイルをグラフィカルビューで可視化してみましょう。

HDL Designer では 2 種類の方法で HDL を可視化することができます。

- Convert To Graphics : 編集可能なグラフィック・ビューに変換
- Visualize Code As : グラフィックとして見るだけのビューに変換(編集不可)

通常、既存の HDL を可視化して確認する場合などは、Visualize Code As で可視化します。この資料では Visualize の手法を紹介します。

5-1. Visualize で変換可能な形式

Visualize Code As より変換できるグラフィカルビューは 4 種類です。

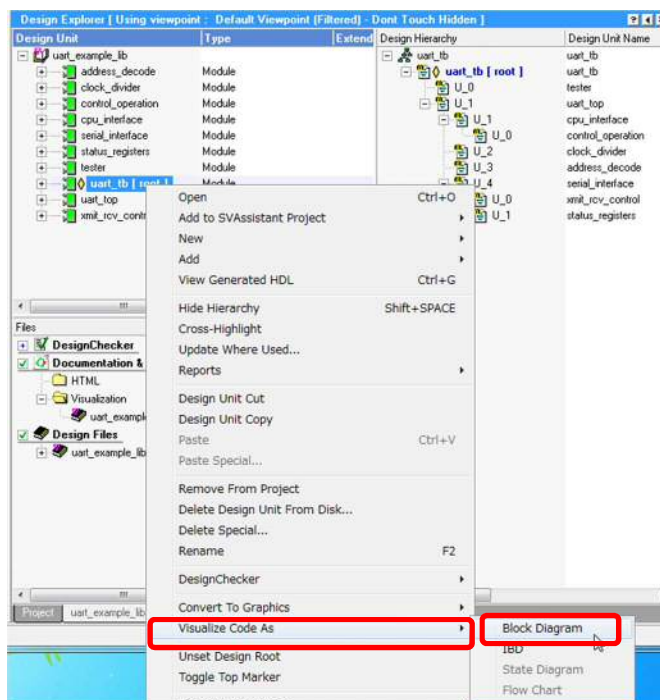
- Block Diagram : ブロック図
- IBD : 各ブロックの接続関係をリストで表示 (Interface Based Design)
- State Machine : ステート遷移図
- Flow Chart : フローチャート図

5-2. トップ階層をブロック図で可視化

まずは、HDL をブロック図で可視化してみましょう。

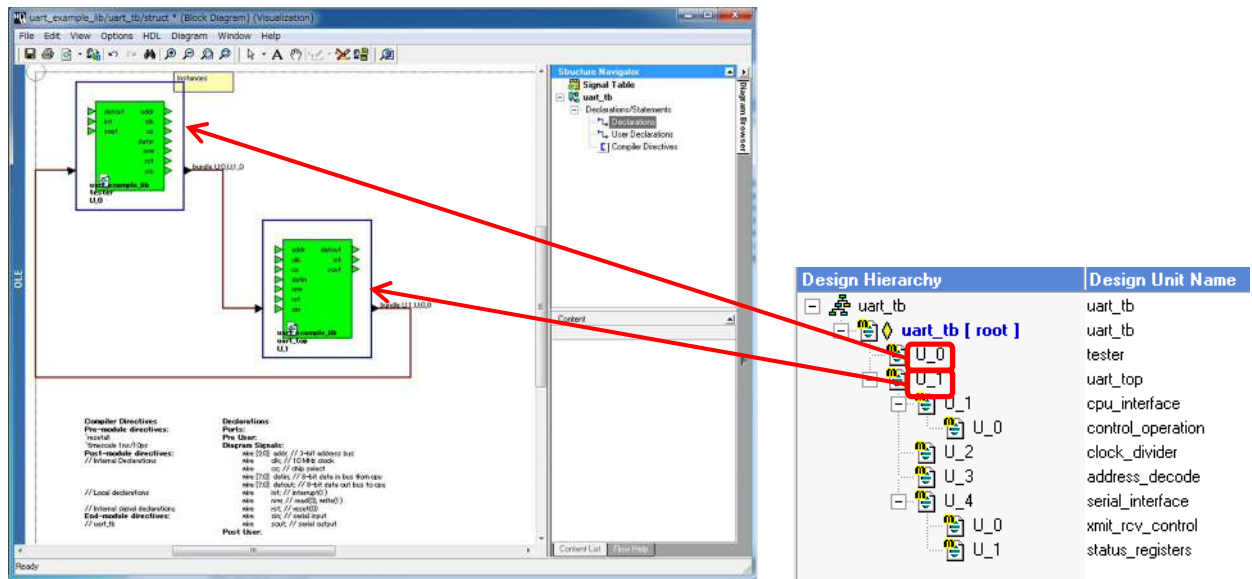
5-2-1. HDL を選択して変換

トップ階層である uart_tb を Design Unit から選択し、右クリック > Visualize Code As > Block Diagram をクリックします。



5-2-2. ブロック図の表示

ブロック図の作成が完了すると、生成されたブロック図が新しいウィンドウにて表示されます。



このサンプルデザインでは、トップの uart_tb モジュール内に U_0 (tester) と U_1 (uart_top) の 2 つの下位階層モジュールがあるため、このように 2 つのブロックが表示されます。

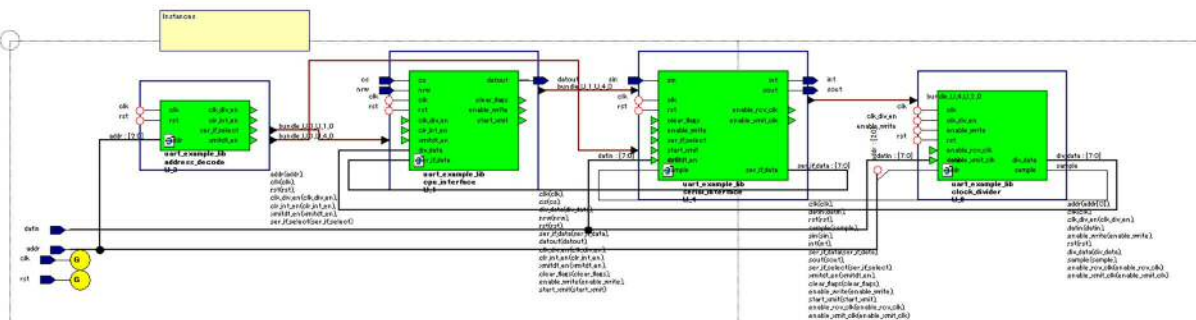
5-3. 下位階層の可視化

トップ階層を可視化したら、下位階層も可視化してみましょう。

5-3-1. 下位階層の可視化

すでに変換済みのトップ階層のグラフィカルビューがある場合には、可視化するブロックをダブルクリックして下位階層をグラフィカルビューに変換できます。

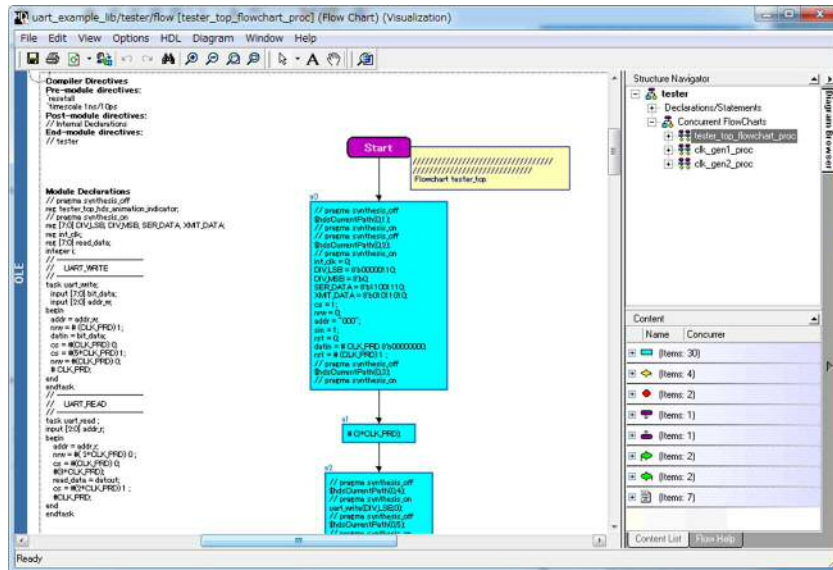
トップ階層の U_1 ブロックをダブルクリックすると、uart_top がブロック図として表示されます。



このようにグラフィカルビューにてブロックをダブルクリックして下位階層を表示することができます。

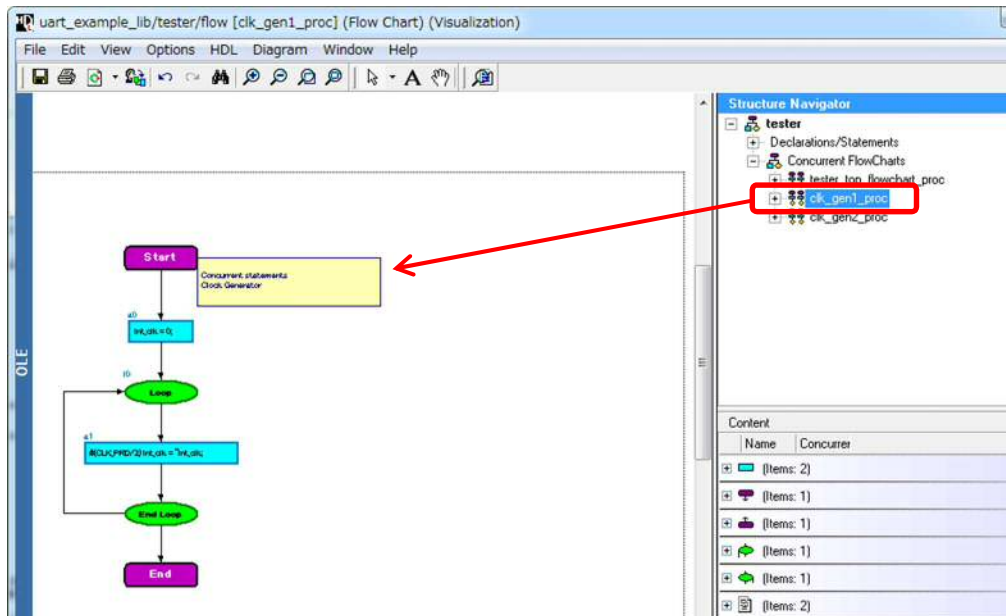
5-3-2. フローチャートの表示

次に、トップ階層の U_0 (tester) ブロックをダブルクリックします。下記のような、フローチャートが表示されます。



この記述は、テストベンチ記述です。このように動作記述のモジュールについては、適切なグラフィカルビュー（フローチャートやステートマシン等）に変換されます。フローチャートではモジュール内の各 process / always / initial 文が動作に沿って表示されます。

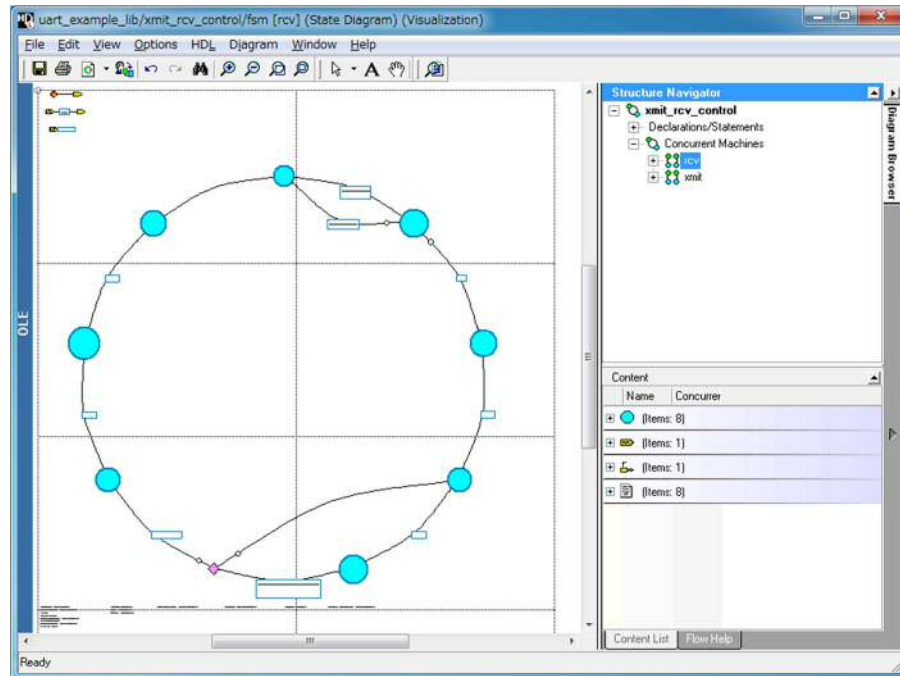
また、複数の process / always 文がモジュール内にある場合には、Structure Navigator から切り替えて表示することができます。



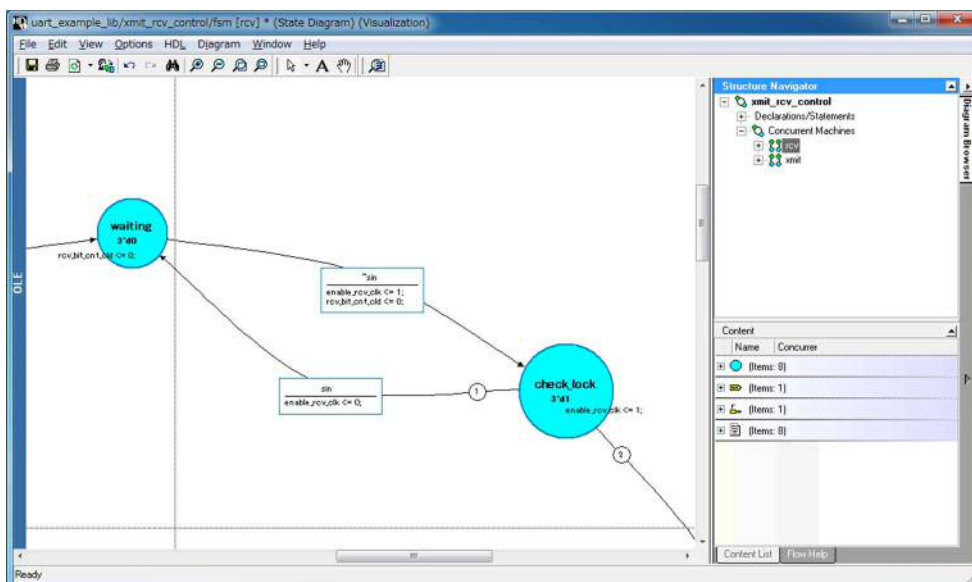
5-3-3. ステートマシンの表示

トップ階層の U_1 (uart_top) をダブルクリックで uart_top のブロック図を開き、その中の U_4 (serial_interface) をダブルクリック、さらにその中 U_0 (xmit_rcv_control) をダブルクリックで開きます。

このモジュールはステートマシンです。このようにステート遷移図にて表示されます。



拡大して各ステート名や値、遷移条件などを確認できます。



6. HTML 形式のグラフィック・ビューの生成

ここでは HTML 形式のグラフィック・ビューの作成方法を紹介します。

5. グラフィック・ビューの表示 で紹介した方法では、HDL Designer ツール上にてグラフィカルビューを表示しました。この方法ですと、変換したグラフィカルビューを見るためには HDL Designer ツールをインストールする必要があります。

HTML 形式のグラフィック・ビューを作成することによってツールがなくてもグラフィック・ビューを HDL Designer ツール上と同じような操作方法にて確認することが可能です。

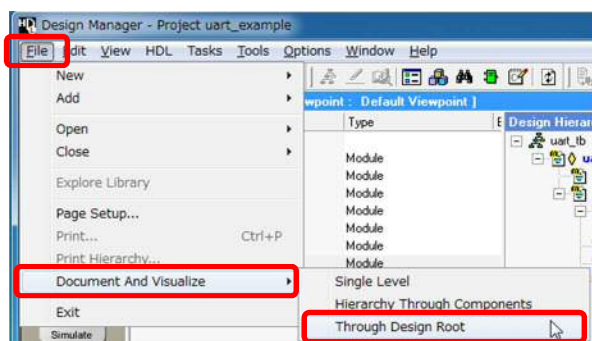
6-1. HTML ファイル出力の設定と生成

HTML 出力する際に、出力先などの設定を行います。

6-1-1. 設定ウィンドウの起動

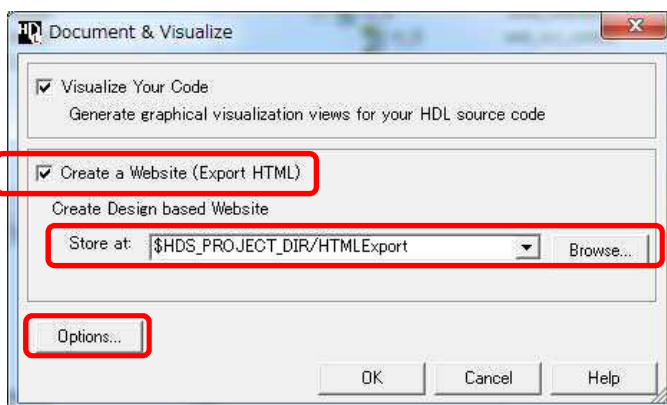
Design Manager ウィンドウより、File メニュー > Document And Visualize > Through Design Root を選択します。

Through Design Root ではルートに設定されているモジュール / エンティティ以下すべての階層が HTML ファイルに出力されます。



6-1-2. 出力先の設定

Document & Visualize ウィンドウが表示されますので、「Create a Website (Export HTML)」にチェックを入れると、Store at 欄が有効になり、HTML ファイルの出力先フォルダを選択できるようになります。デフォルトでは、プロジェクトのワーキング・フォルダに HTML_Export フォルダが生成されそこにファイルが生成されます。「Options」をクリックします。

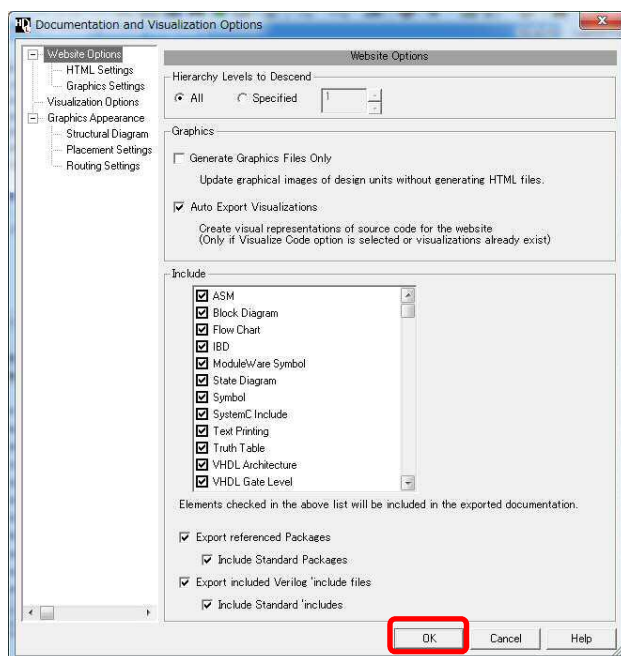


6-1-3. オプション設定

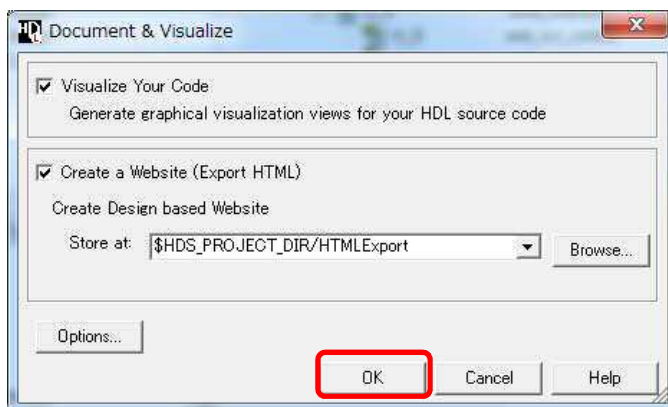
Documentation and Visualization Options ではグラフィカルビューの表示方法などについての設定を行うことができます。

各項目の設定については、7章の Appendix をご参照ください。

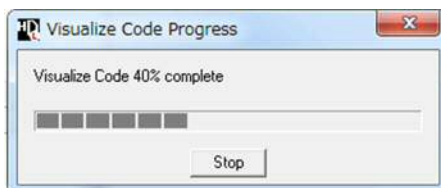
設定が完了しましたら「OK」をクリックします。



Document & Visualize ウィンドウに戻りますので、こちらも「OK」をクリックします。



HTML ファイルの生成がスタートします。生成時間はデザインのサイズによって異なります。

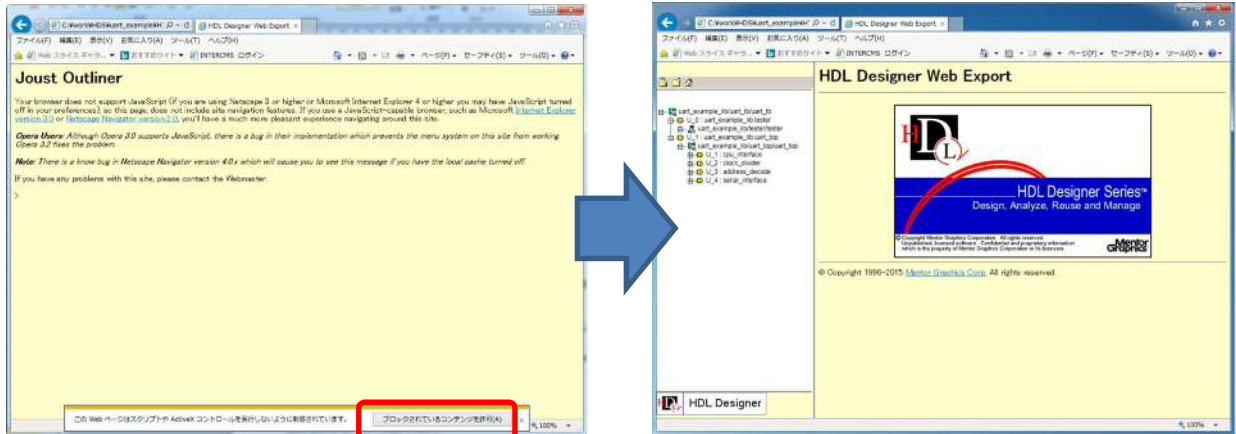


6-2. HTML ファイルの表示

HTML ファイルの生成が完了すると、Web ブラウザが起動します。ブラウザは Internet Explorer (IE) を使用してください。

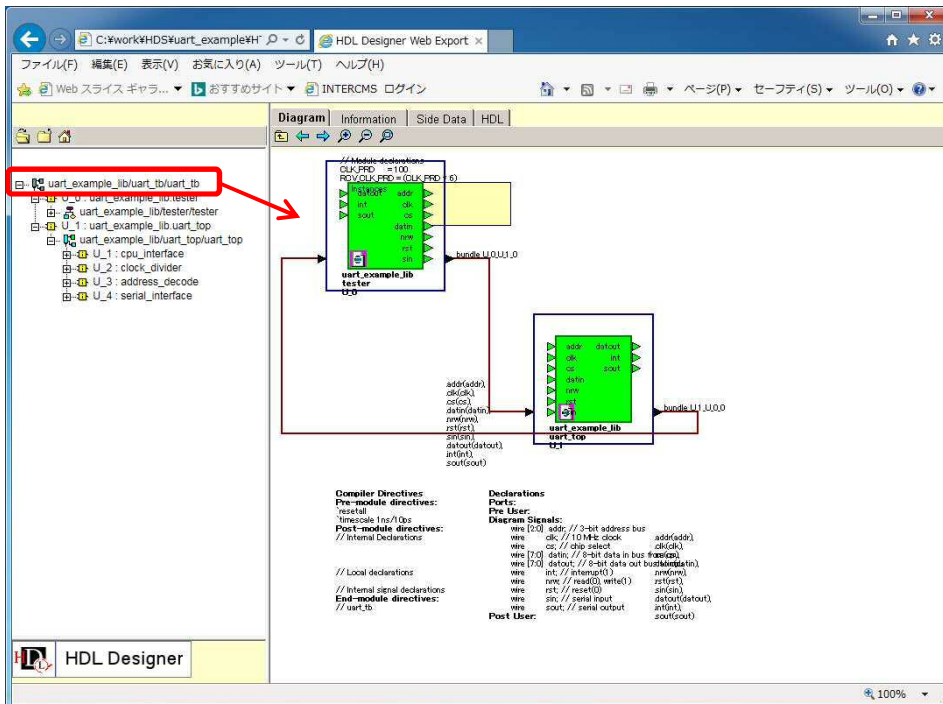
6-2-1. HTML ファイルの起動

IE にて下記の画面が表示された場合は、画面下の「ブロックされているコンテンツを許可」をクリックしてください。HDL Designer Web Export の画面が表示されます。



6-2-2. トップ階層の表示

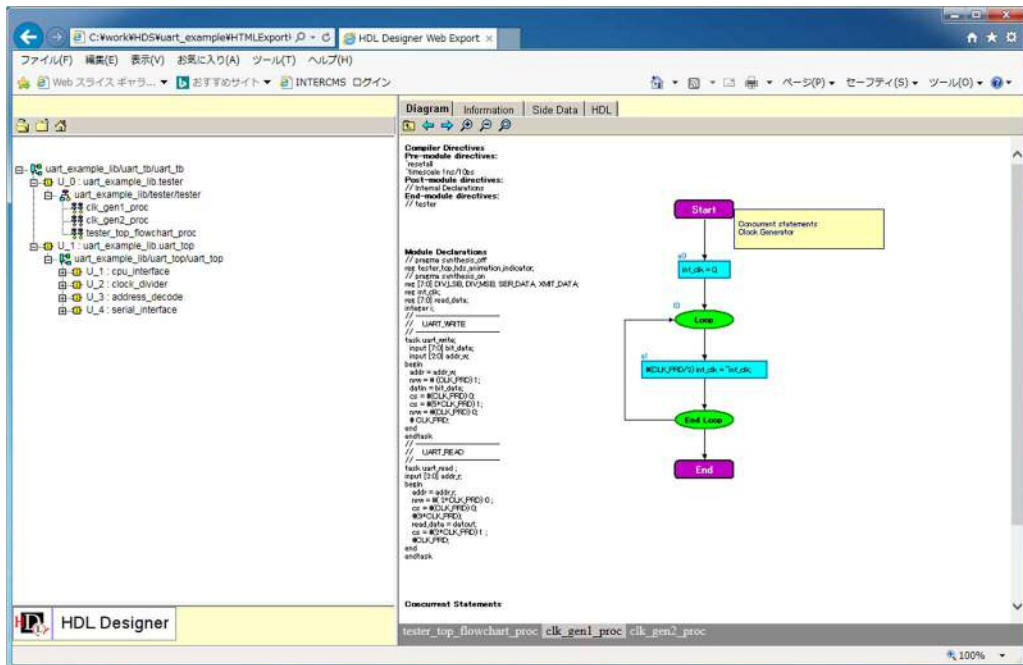
画面左側のツリーを展開すると、下記のようにデザインの階層が表示されます。この中のトップ階層の `uart_axample_lib/uart_tb/uart_tb` をクリックすると、トップ階層のグラフィカルビューが表示されます。



6-2-3. 下位階層の表示

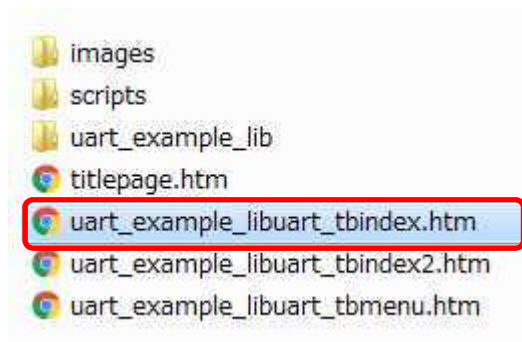
画面左のデザインツリーの一覧から表示したいモジュール / エンティティをクリックして表示させることができます。

また、グラフィカルビュー上のブロックをクリックして下位階層を表示させることもでき、HDL Designer ツール上で操作するのと同じ感覚にて HTML 上でグラフィカルビューを確認することが可能です。



6-2-4. 既存の HTML ファイルの起動

既存の HTML ファイルを開く場合は、6-1-2. 出力先の設定 にて設定した出力フォルダをエクスプローラで開き、<ライブラリ名><トップ階層名>index.htm ファイルをダブルクリックして開きます。



7. Appendix

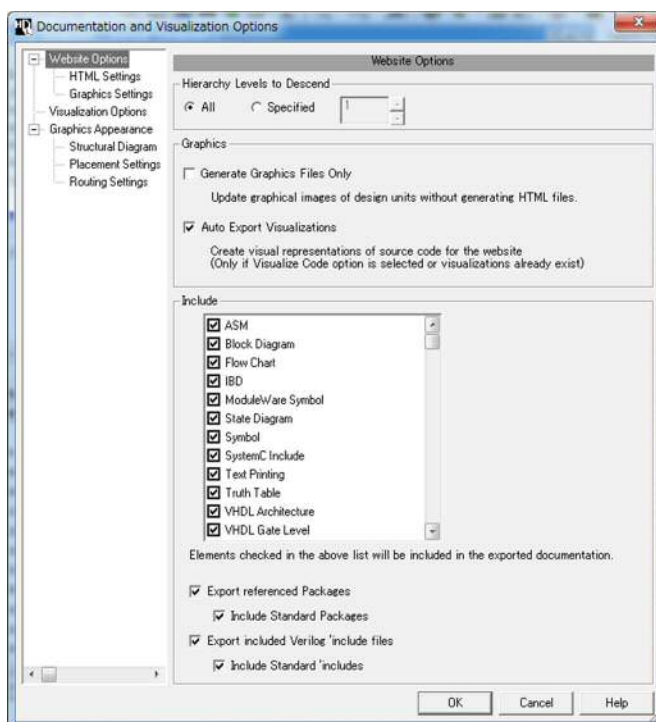
7-1. Documentation and Visualize Options

Design Manager ウィンドウの Options ウィンドウ > Documentation & Visualization よりグラフィカルビューへの変換・表示についての各種設定を行うことができます。

ここでは、各設定項目について紹介します。

7-1-1. Website Options

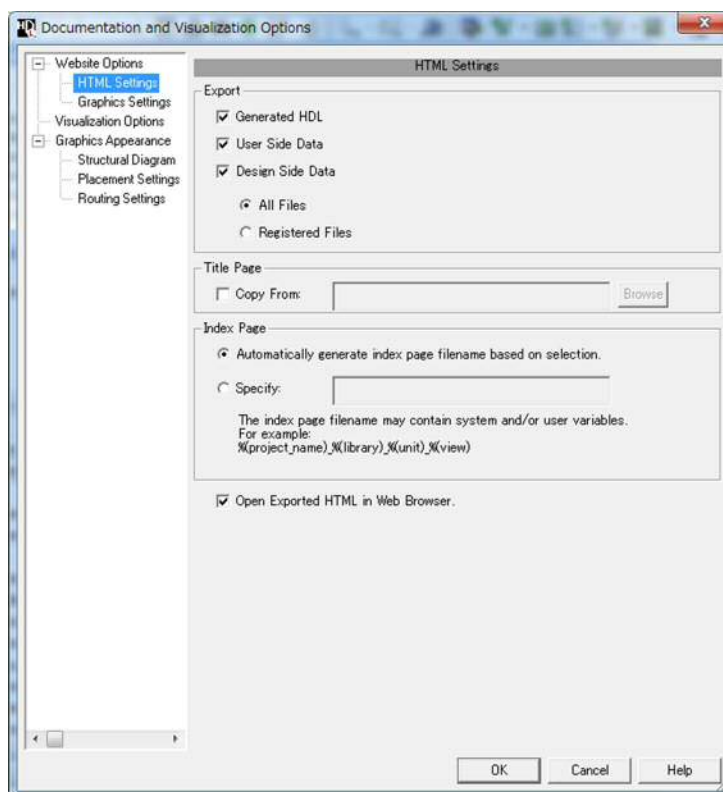
Website Options ページでは、一般的なグラフィックオプションの設定に加えて、ドキュメントに含める階層レベルと階層ビューを設定します。



項目	内容
Hierarchy Levels to Descend	HTML ドキュメントにすべてのデザイン階層レベルを含めるか、または「Specified」を選択して階層レベルの必要な数を設定することができます。
Graphics	Generate Graphics Files Only: グラフィカルイメージのみ生成します。 HTML ファイルは生成しません Auto Export Visualizations: HDL ソースコードのビジュアルライゼーションビューを HTML ファイルに含めることができます。
Include	エクスポートされたドキュメントに含まれる階層ビューを選択できます。 Export referenced Packages: 生成された HTML 出力にデザインの VHDL パッケージを含めるために、参照パッケージをエクスポートします。標準パッケージを生成された HTML に含めることもできます。 Export included Verilog include files: 生成された HTML 出力にデザインの Verilog インクルードファイルを記録できます。エクスポートされた HTML に標準インクルードを含めることができます。

7-1-2. HTML Settings

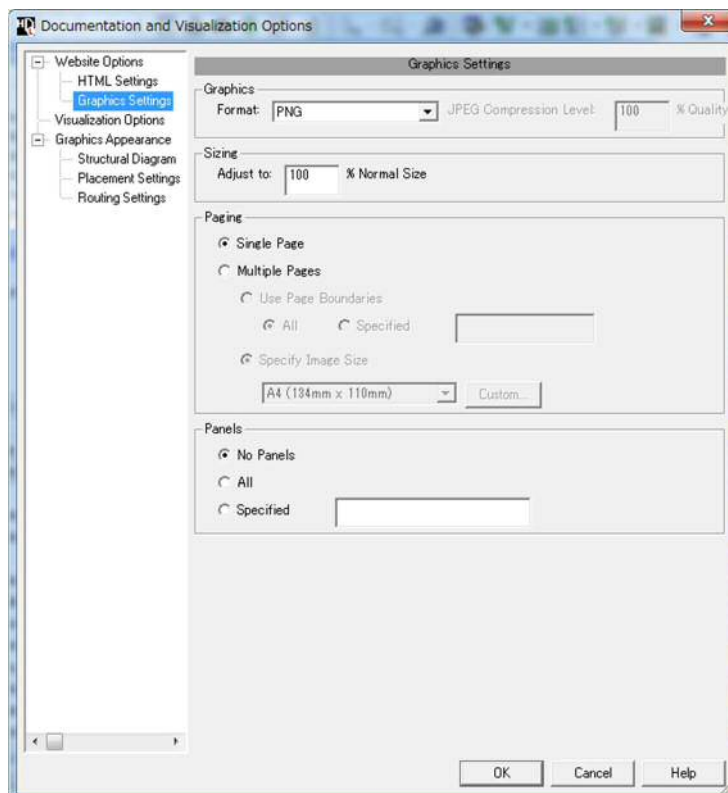
エクスポートする項目、HTML エントリページファイルのパスとその名前、およびエクスポートプロセスの終了後に、エクスポートした Web サイトを Web ブラウザで自動的に開くかどうかを設定します。



項目	内容
Export	生成されたグラフィカルビューまたはサイドデータビューをエクスポートするかどうかを選択できます。 All Files を選択すると、HDL Designer でサポートされているデータ形式にかかわらずすべてのファイルがエクスポートされ、Registered Files では既知のファイルのみがエクスポートされます。
Title Page	HTML のエントリーページとして使用するコピー元の HTML ページを入力または参照できます。指定がない場合は、デフォルトのタイトルページ (\$ HDS_HOME / resources / WebExport / titlepage.htm) が使用されます。
Index Page	エントリーページのファイル名を設定できます。 デフォルトは Automatically で自動でプロジェクト名やライブラリ名を使用した名前が付けられます。Specify でユーザ定義の名前を付けることも可能です。
Open Exported HTML in Web Browser	この設定を有効にすると、HTML ファイル生成後に自動で Web ブラウザでファイルを開かれます。

7-1-3. Graphics Settings

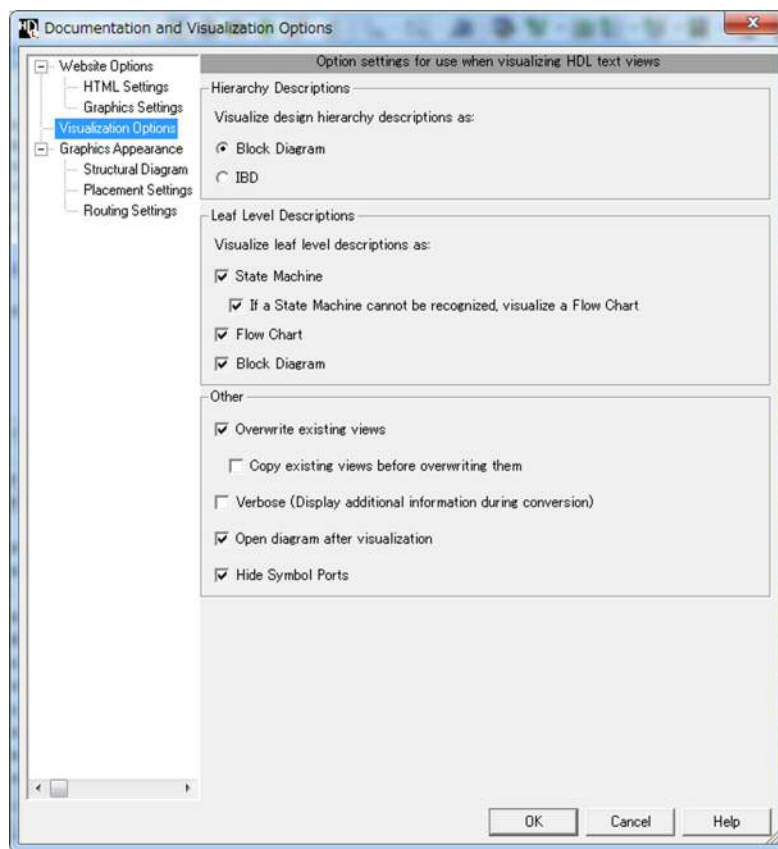
HTML に組み込まれるグラフィックのファイル形式を設定します。



項目	内容
Graphics	生成された HTML に表示されるグラフィックのフォーマットを設定できます。SVG / JPEG / PNG から選択でき、JPEG を選択した場合は、圧縮率を設定可能です。
Sizing	グラフィックのサイズを通常サイズのパーセンテージ(%)で設定します。
Paging	グラフィックを単一ページまたは複数ページに表示するかどうかを選択できます。 Multiple Pages を選択した場合は、Use Page Boundaries でページ指定が可能で、Image Size で画像サイズを選択できます。
Panels	1つまたは複数のパネルが定義されている場合、すべてのパネルをエクスポートするか、指定したパネルのみエクスポートするかを選択できます。

7-1-4. Visualization Option

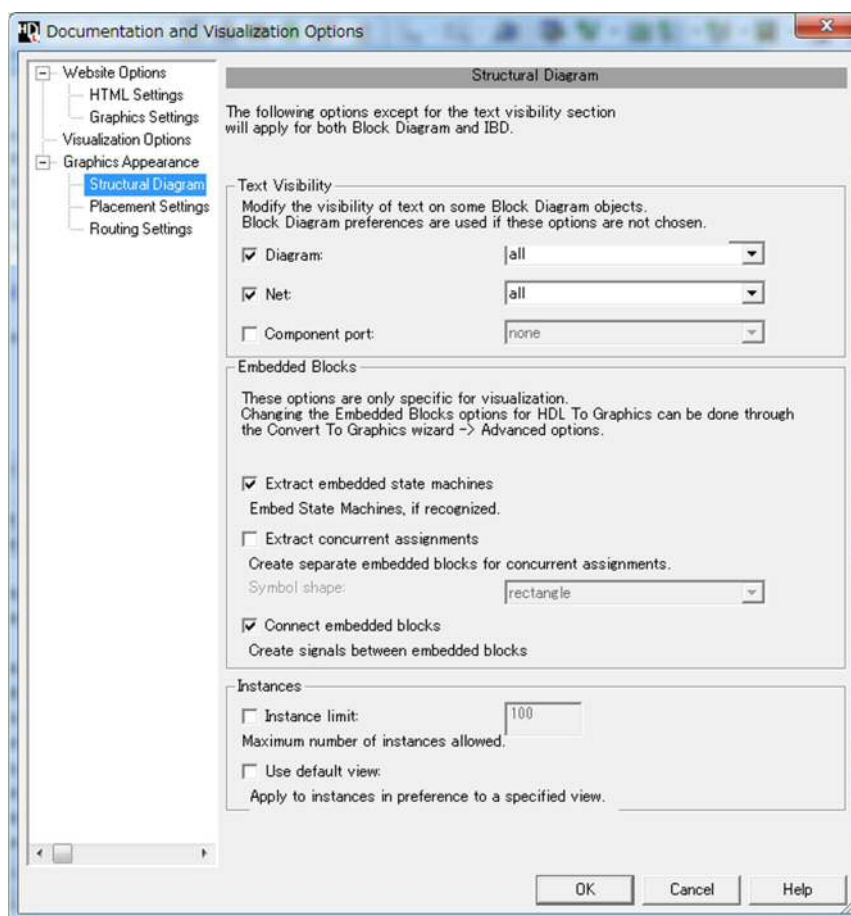
グラフィカルビューでデザインを表示する際のデフォルト設定を行います。



項目	内容
Hierarchy Descriptions	階層があるデザインのデフォルトのグラフィカルビューを Block Diagram / IBD のどちらで表示するかを設定します。
Leaf Level Descriptions	下位階層の回路のデフォルトのグラフィカルビューを選択します。 State Machine / Flow Chart / Block Diagram
Other	Overwrite existing views : グラフィカルビュー変換時に既存のビューがある場合は上書き Verbose : 有効にすると変換時に詳細情報が Log Windows に表示される Open diagram after visualization : 変換後にグラフィカルビューを自動で表示 Hide Symbol Ports : グラフィカルビュー内のシンボルポートを非表示に設定

7-1-5. Structural Diagram

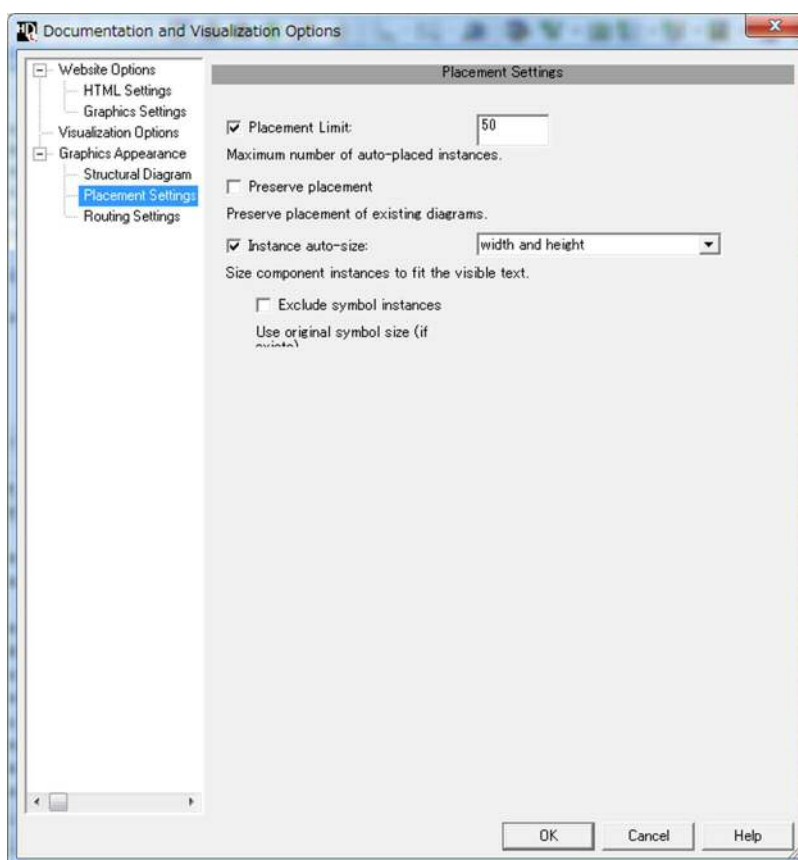
Block Diagram と IBD のビューでの表示方法を設定します。



項目	内容
Text Visibility	Block Diagram のオブジェクトの表示を設定します。 Diagram / Net / Component Port について、チェックを入れないとデフォルトの設定で表示されますので、表示する方法を変更する場合にチェックを入れて none や all に変更します。
Embedded Blocks	Embedded Block の表示方法や接続の表示を設定します。
Interfaces	表示するインスタンスの上限を設定できます。デフォルトはオフのため上限はありません。

7-1-6. Placement Settings

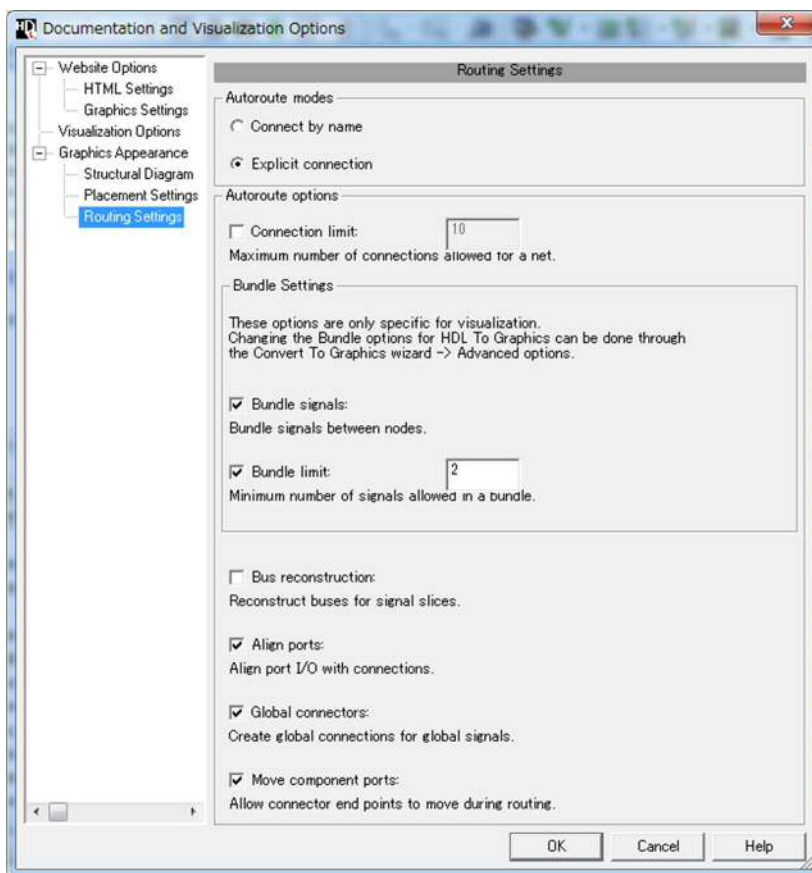
グラフィカルビューでのブロックの表示方法について設定します。



項目	内容
Placement Limit	表示するインスタンスの上限を設定できます。
Preserve placement	既存のグラフィカルビューの配置を保持することができます。
Instance auto-size	インスタンス上に表示されているテキストに適合したサイズのシンボルを生成します。シンボルを幅または高さ(またはその両方)に合わせるように変換する、width、height、width and height の選択が可能です。

7-1-7. Routing Settings

グラフィカルビューでの配線の表示方法について設定します。



項目	内容
Autowrite mode	Connect by name : 信号の接続配線を表示せず、名前での接続を作成します。 Explicit connection : 信号の接続を配線で表示します。
Autowrite Options	Connection limit : 1つの信号が接続できる上限値を設定します。上限値を超える数の接続が存在する場合、信号名によって接続します。 Bundle limit : バンドル・シグナルが作成される最小値を設定します。設定された値以上の信号が同じところに接続されている場合はバンドル・シグナルが作成されます。 Bus reconstruction : 同じ信号名のバス・スライスを自動的に作成します。 Align ports : 設定されていないとダイアグラムの端にインターフェース・ポートを一直線に配置します。 Global Connectors : ダイアグラムの全てのブロックとコンポーネントに接続される信号はシグナル・スタブが追加され、名前による接続が行われます。 Move component ports : コンポーネントのポートを再配置して配線します。シンプルな配線とコンパクトなレイアウトが行われます。

改版履歴

Revision	年月	概要
1	2017 年 8 月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社マクニカ アルティマ カンパニー <https://www.alt.macnica.co.jp/> 技術情報サイト アルティマ技術データベース <http://www.altima.jp/members/>

株式会社エルセナ <http://www.elsena.co.jp> 技術情報サイト ETS <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。