

HDL Designer Series 簡易チュートリアル ～DesignChecker 編～

Ver.2016.2

HDL Designer Series 簡易チュートリアル ～DesignChecker 編～

目次

1. はじめに	3
2. HDL Designer Series 概要	3
3. 解析方法	4
4. DesignChecker の起動	5
4-1. HDL Designer ウィンドウより DesignChecker を起動	5
5. 解析ルールの設定	6
5-1. Ruleset フォルダに新規フォルダを作成	6
5-2. Essential ルールをコピー	6
5-3. ベースルールから追加したいルールをコピー	7
5-4. ルールのパラメーターを編集	8
5-5. ポリシーの作成	9
5-6. ポリシーにルールセットをコピー	9
5-7. 解析に使用するポリシーを選択	10
6. 解析の実行	11
6-1. Design Manager ウィンドウを開く	11
6-2. 解析の実行	11
6-3. 解析結果のレポート表示	12
7. 解析結果の確認	13
7-1. Exceptions タブ	13
7-2. Rule Details タブ	14
7-3. Checked Files / Design Unit タブ	14
7-4. Results タブ	15
8. 解析レポートの出力	18
9. Appendix	19
9-1. DesignChecker ルールの構成	19
改版履歴	20

1. はじめに

DesignChecker は、HDL Designer Series™ に同梱されているリント・チェック機能です。DesignChecker ではパラメータ設定が可能な豊富なベースルールを持っており、それらを組み合わせた標準ルールセットが用意されていますので、はじめてリント・チェックを行う方でも簡単に基本的なチェックを実行することができます。また、ベースルールの組み合わせを変更したり、パラメータを変更したりすることによってカスタムルールを作成することも可能です。この資料では、DesignChecker の基本的な使用方法を紹介します。

■ 対応バージョン

HDL Designer Series ver.2016.2

2. HDL Designer Series 概要

HDL Designer Series™ (HDS)は、HDL ベースの設計・管理を総合的に行うことができる開発環境です。

デザイン・エントリーのための各種グラフィカル・エディタを備えており、作成したデザインから HDL を生成することができます。テキスト・エディタも搭載されていますので、HDL 設計にも使用することが可能です。

また、HDL からブロック図やフローチャート等のグラフィカル・ビューを作成することができるため、デザインの動作を理解するのに役立ちます。その他、リント・チェック機能やソースファイルのバージョン管理機能等も備えています。

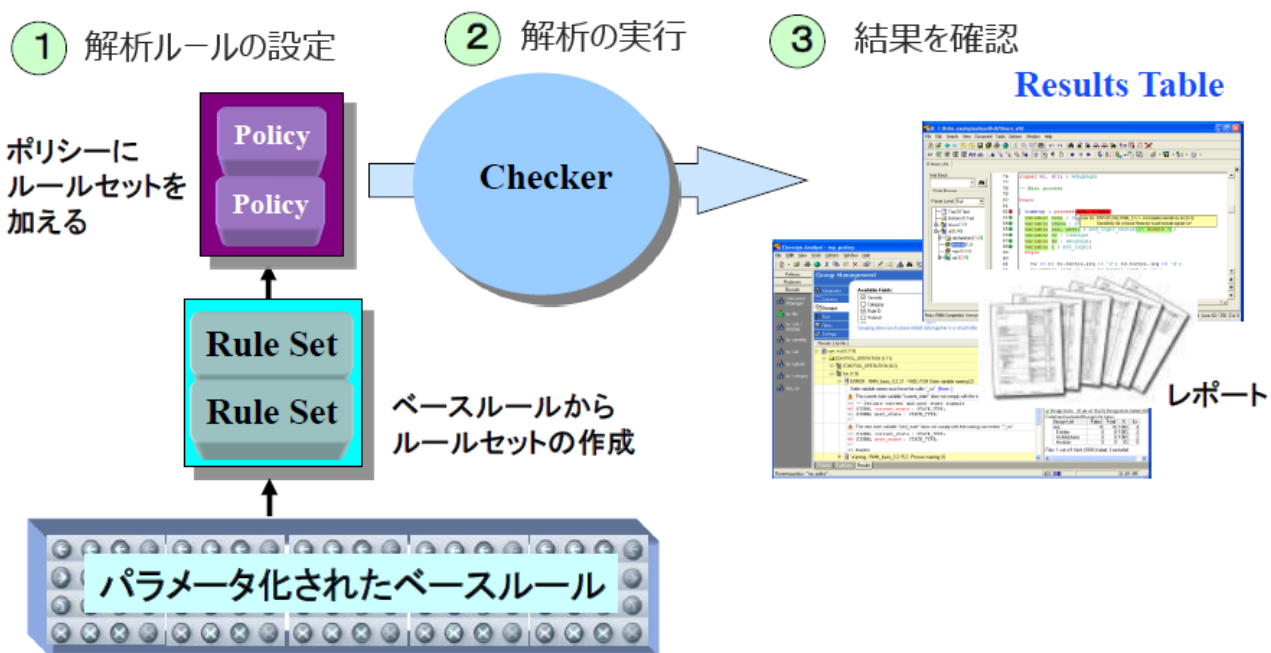
HDL Designer Series には 2 種類の製品があり、使用できる機能が異なります。

- HDL Designer : すべての機能を使用可能
- HDS Author : デザイン編集機能に特化

機能		HDL Designer	HDL Author	備考
言語	VHDL	○	○	VHDL 87, VHDL 93, VHDL 20202, VHDL 2008
	Verilog	○	○	Verilog 95, Verilog 2001, Verilog 2005
	SystemVerilog	○	○	SystemVerilog 2005 (*グラフィックは非対応。テキストのみ)
OS	Windows	○	○	Windows® 7 (64bit), Windows 8.1 (64bit) (*32bit アプリで動作)
	Linux	○	○	RHEL6 (64bit), RHEL 7 (64bit) (*32bit アプリとして動作)
デザイン・エントリー		○	○	テキスト・エディタ、各種グラフィカル・エディタ(ブロック図、ステートマシン、フローチャート等)
RTL to 編集可能グラフィックへの変換		○		HDL ファイルをグラフィカル・エディタで編集可能なファイルに変換
RTL コードの可視化		○	○	RTL コードをブロック図やフローチャート、ステートマシン等のグラフィックに変換(編集は不可)
RTL コードの可視化(HTML)		○		RTL コードをブロック図等のグラフィックに変換(編集不可)し THML ファイルで保存
デザイン検証		○		リントチェッカー機能
バージョン管理		○	○	Subversion®, IBM Rational ClearCase®, CVS, RCS に対応
FPGA ベンダフロー		○	○	FPGA ベンダ・ツールとの連携

3. 解析方法

DesignChecker では下記の手順にて解析を実行します。



次章より基本的な手順をご紹介しますので、手順に沿って DesignChecker を操作し解析を実施してみましょう。

4. DesignChecker の起動

DesignChecker にてリント・チェックを行うには、まずチェック基準となるルールを設定する必要があります。
 ルール設定を行うために、DesignChecker の設定ウィンドウを起動します。

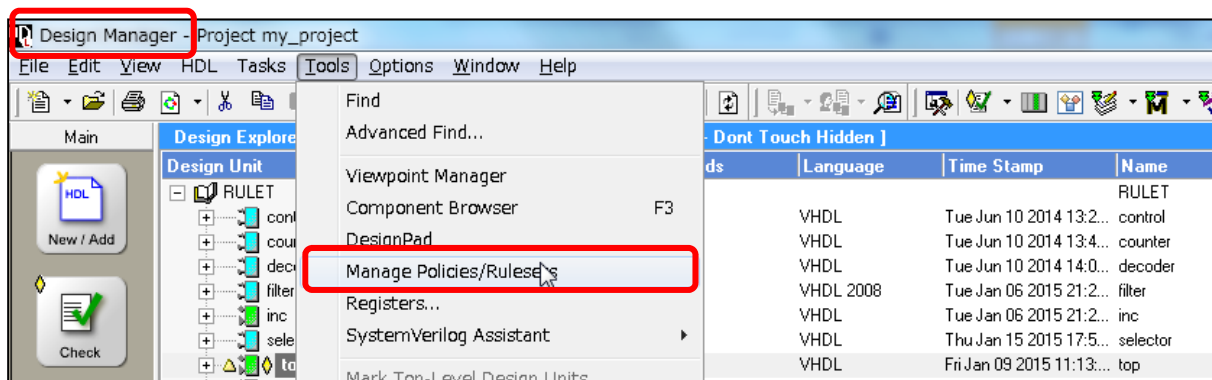
※ プロジェクトの設定やデザインファイルのインポート方法については下記の資料をご参照ください。

「HDL Designer Series™ - 簡易チュートリアル ~グラフィカルビュー変換編~」

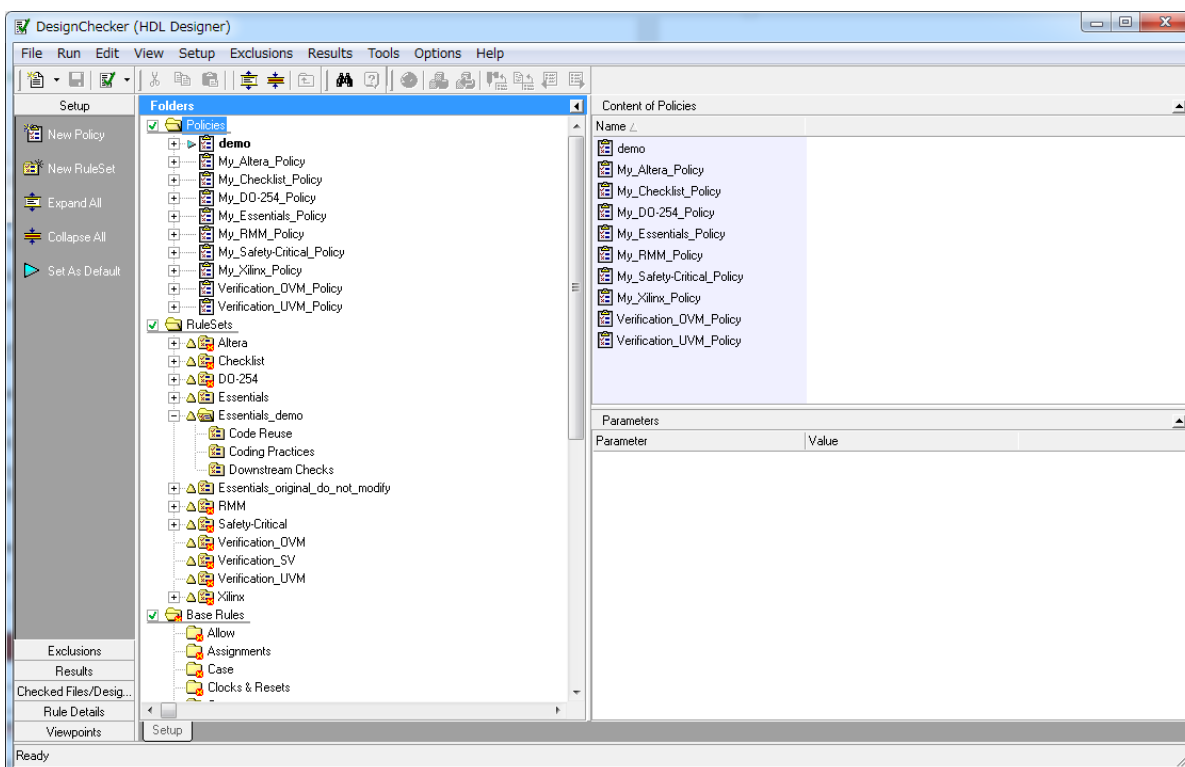
http://www.altima.jp/members/p1-literature/1-software/2-mentor/078_hds_tutorial_visual.cfm

4-1. HDL Designer ウィンドウより DesignChecker を起動

Design Manager ウィンドウより「Tools メニュー」>「Manage Policies/RuleSet」を選択します。



別ウィンドウで DesignChecker が起動します。



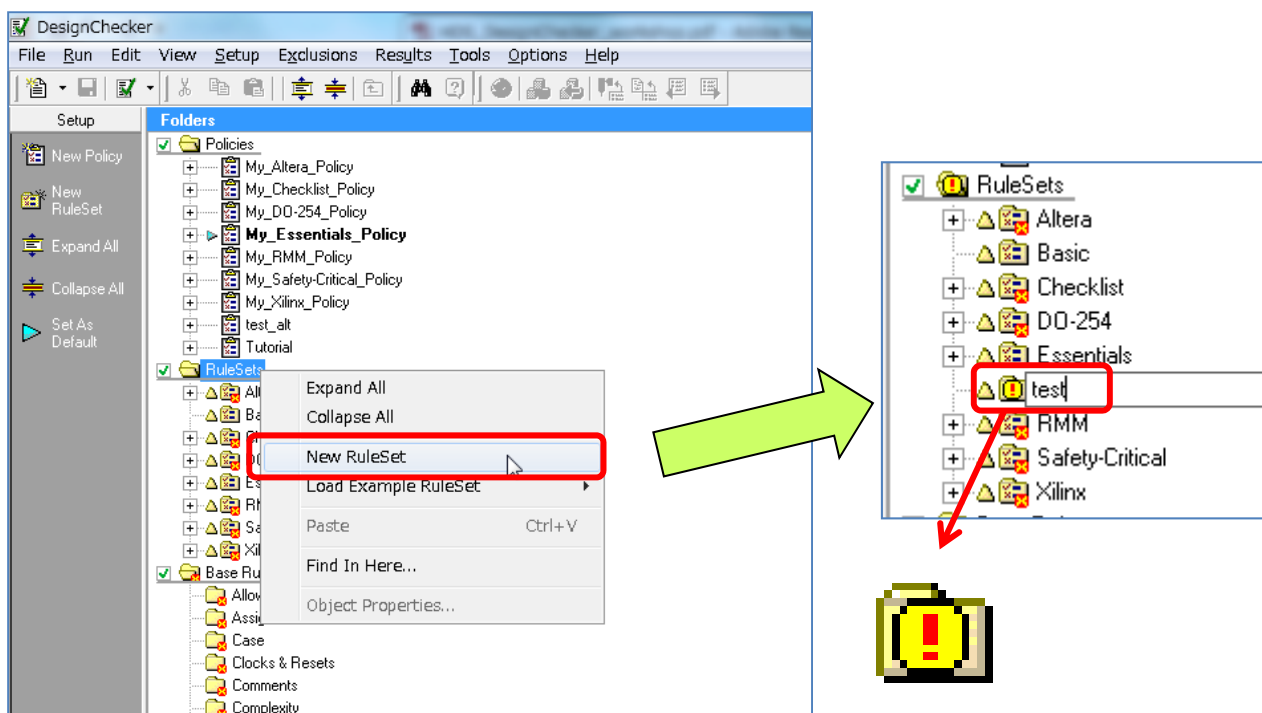
5. 解析ルールの設定

DesignChecker にはデフォルトで下記のルールセットが設定されています。このルールセットを使用して解析を行うことが可能です。ここでは、デフォルトのルールセット(Essentials)にルールを追加して使用方法を例としてご紹介します。

DesignChecker 上のルールの構成については Appendix 9-1.DesignChecker ルールの構成をご参照ください。

5-1. Ruleset フォルダに新規フォルダを作成

- ① 右側の Folders 欄より RuleSets フォルダを「右クリック」>「New Ruleset」を選択します。



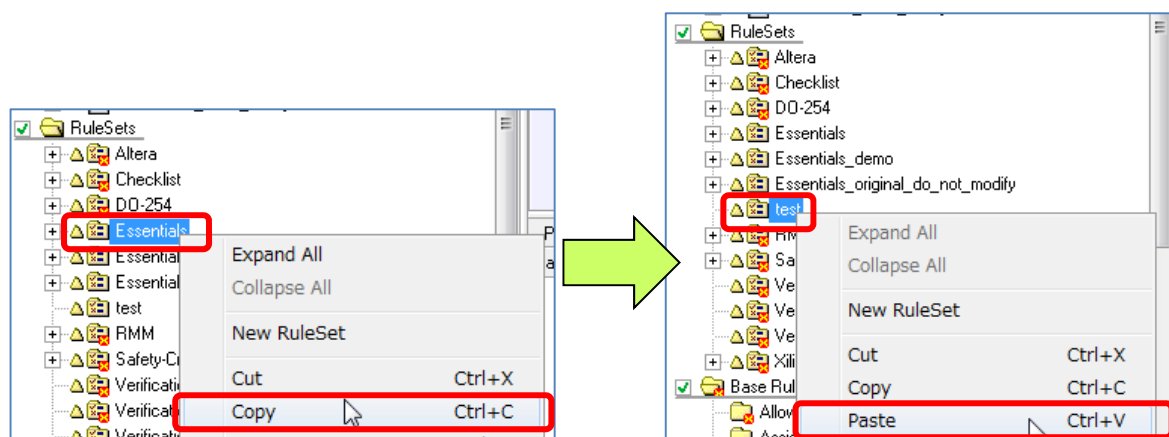
- ② RuleSets フォルダに新しいフォルダが作成されますので、任意のフォルダ名をつけます。ここでは“test”という名前を付けています。(フォルダ名には日本語、スペースを含むファイル名は使用しないでください)
- ③ 新規フォルダを生成した際にフォルダアイコン上に表示される「！」マークは変更内容がまだ保存されていないことを示しています。「Ctrl+S」もしくは「File メニュー」>「Save All」より設定を保存します。

5-2. Essential ルールをコピー

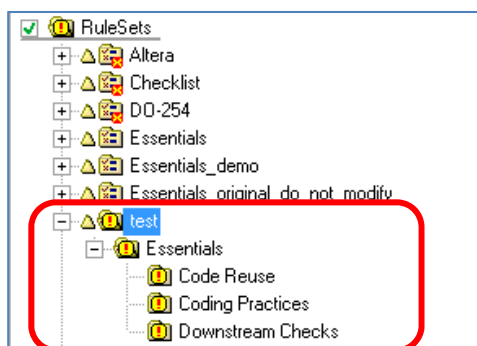
4-1 で作成したフォルダに既存の Essential ルールを下記の手順でコピーします。

※ Essential ルールはその他の既存のルールセットと異なり、編集可能となっています。デフォルトのルール設定を変更せずに残しておきたい場合は、コピーして使用することをお勧めします。

- ① RuleSets フォルダ内の Essential フォルダを「右クリック」>「Copy」を選択します。
- ② その後、5-1 で作成した test フォルダで「右クリック」>「Paste」を選択します。



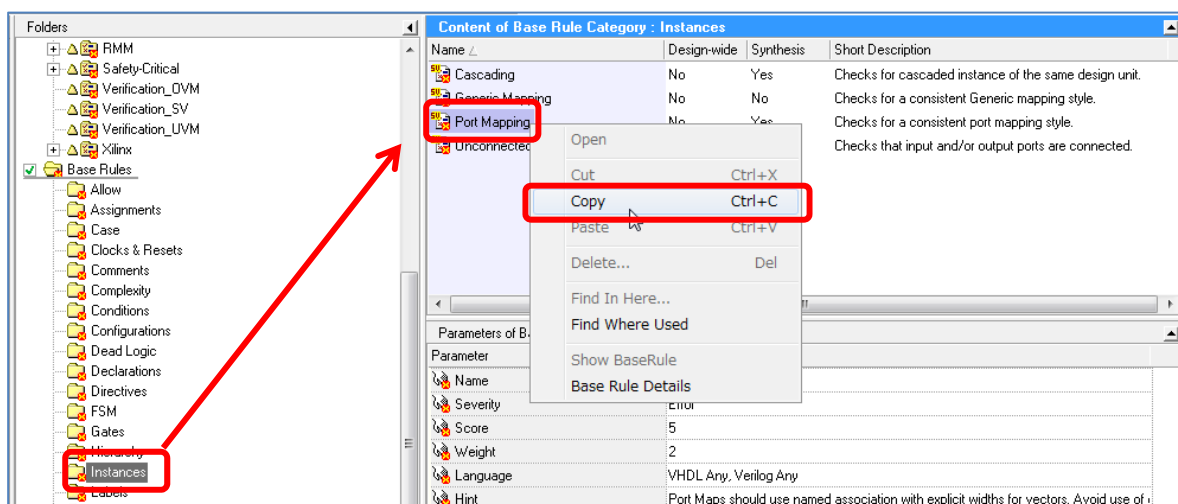
test フォルダに Essential ルールがコピーされました。「！」マークがフォルダにつきますので「Ctrl+S」で保存します。



5-3. ベースルールから追加したいルールをコピー

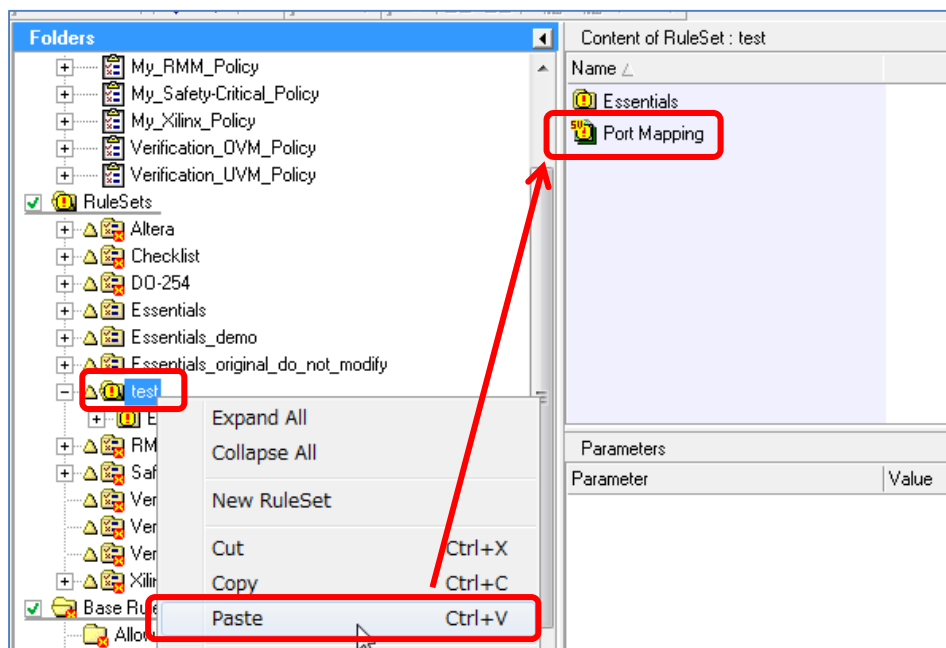
ユーザが作成したルールセットでは、追加したいルールを Base Rules フォルダよりルールセットに追加して使用することができます。ここでは、例として “Port Mapping” というルール 5-1 で作成した test ルールセットフォルダにコピーしてみましょう。

- ① Base Rules フォルダ より Instances フォルダを選択します。
- ② 右上の Content of Base Rule Category 欄に Instances フォルダ内のベースルール一覧が表示されます。
- ③ “Port Mapping” ルールを「右クリック」>「Copy」を選択します。



- ④ RuleSets > test フォルダを「右クリック」 > 「Paste」を選択します。

右上の Content of RuleSet 欄に “Port Mapping” ルールが追加されます。



5-4. ルールのパラメーターを編集

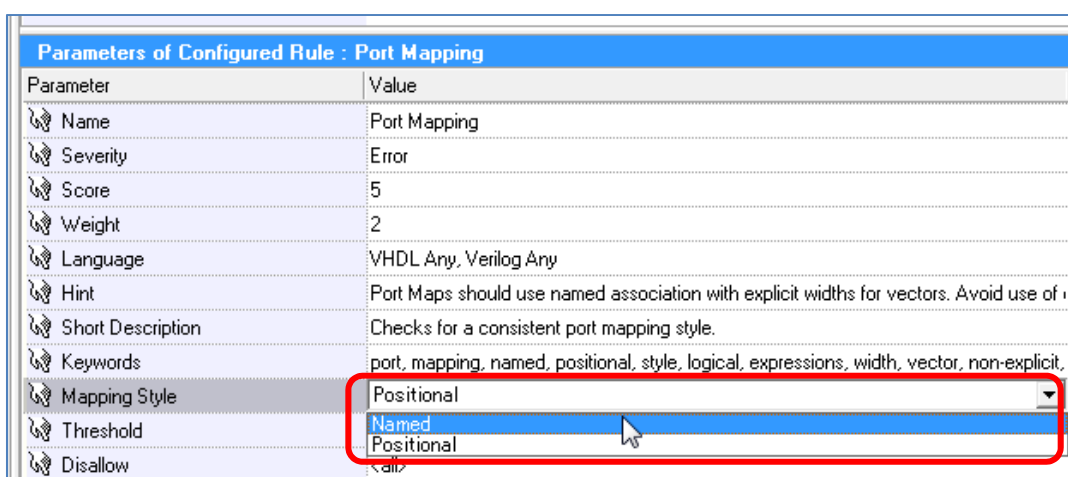
ルールセットに追加したベースルールのパラメーターを編集することが可能です。

- ① RuleSets の test フォルダをハイライトして、Content of RuleSet 欄に test フォルダを表示させ、Port Mapping ルールを選択します。

右下の Parameter of Configured Rule 欄に、Port Mapping ルールのパラメーターが表示されます。

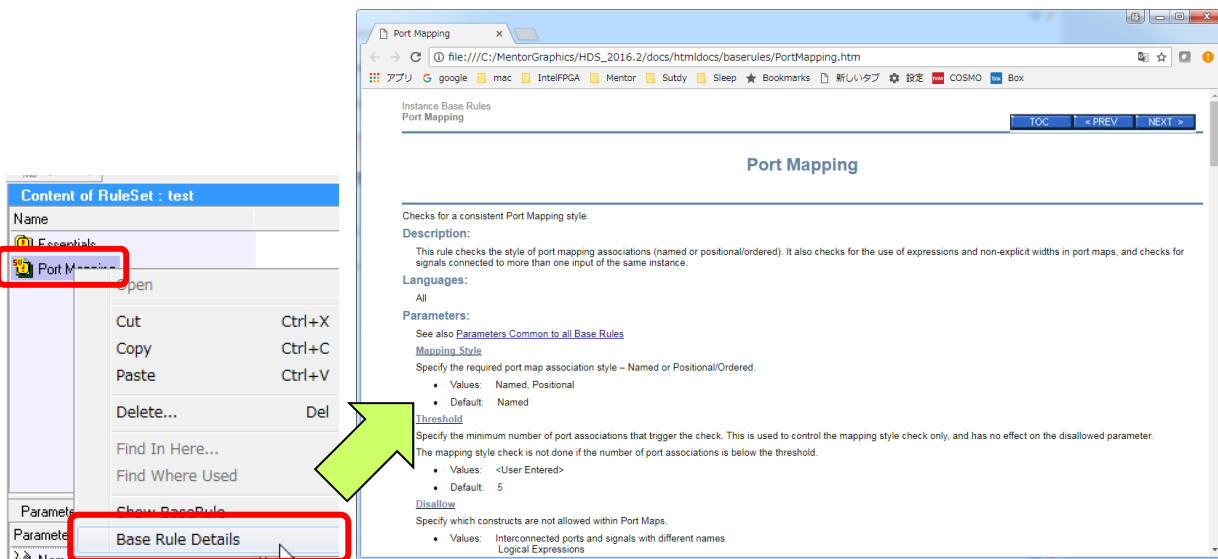
- ② パラメーターを編集する場合には、各パラメーターの Value 欄をクリックし編集します。

- ③ ルールの編集が完了しましたら、「Ctrl + S」で編集した内容を保存します。



※ 各ルールのパラメーターには、すべてのルールに共通の項目と、ルール毎の項目があります。

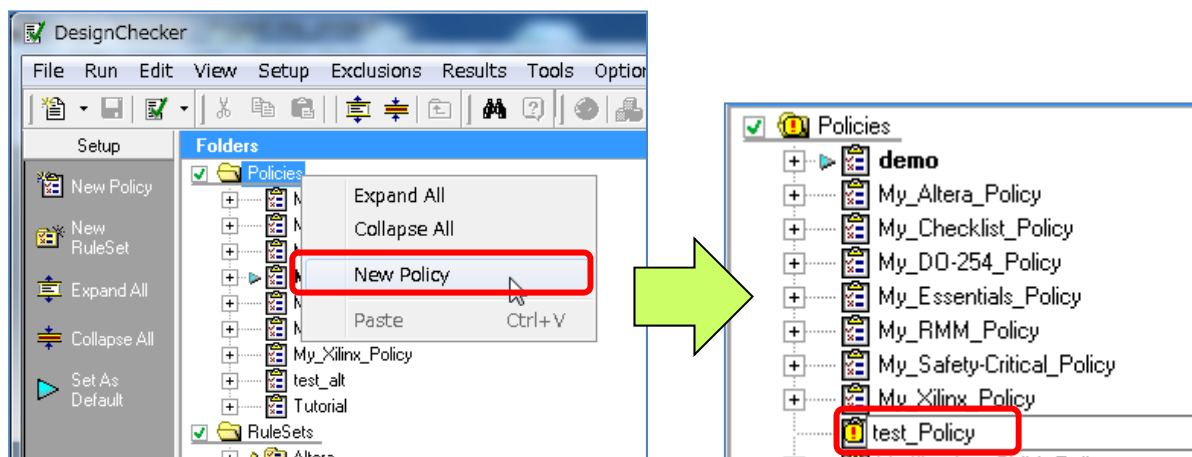
※ ルールのパラメータの詳細を確認するには、ルールを「右クリック」>「Base Rule Details」を選択すると、ルールの内容やパラメータの説明が記載された HTML 形式のページが表示されます。こちらには、説明とともにエラーになる記述サンプル等も合わせて記載されています。



5-5. ポリシーの作成

チェックを実行する単位は、ルールセットではなく、ポリシー単位で行います。作成した test ルールセットを使用するために、新規でポリシーを作成します。

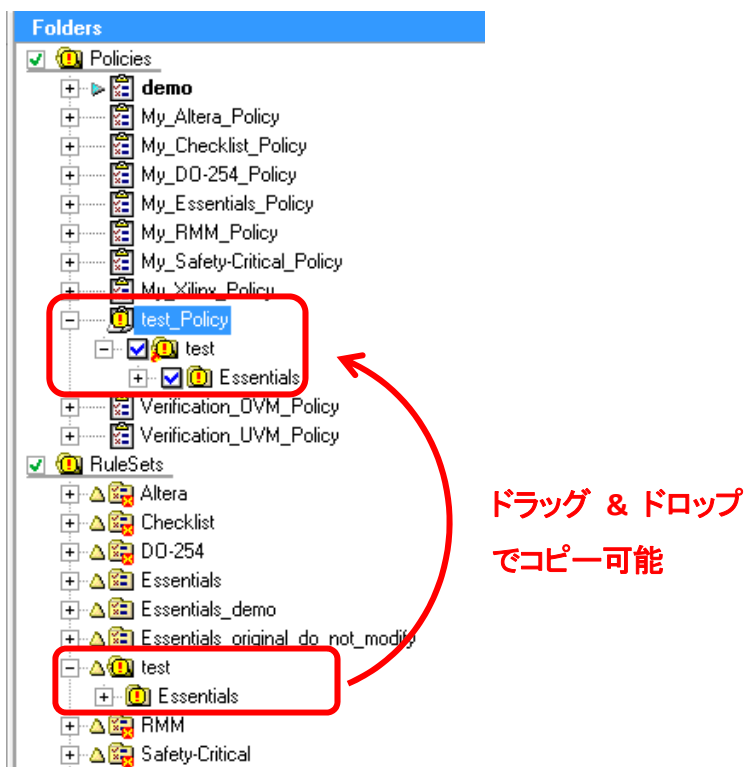
- ① Folders 欄の Policies フォルダを「右クリック」>「New Policy」を選択します。
- ② 新規フォルダが作成されるので、任意の名前を付けます。ここでは “test_Policy” という名前にしています。



5-6. ポリシーにルールセットをコピー

作成したポリシーフォルダに使用するルールセットをコピーします。

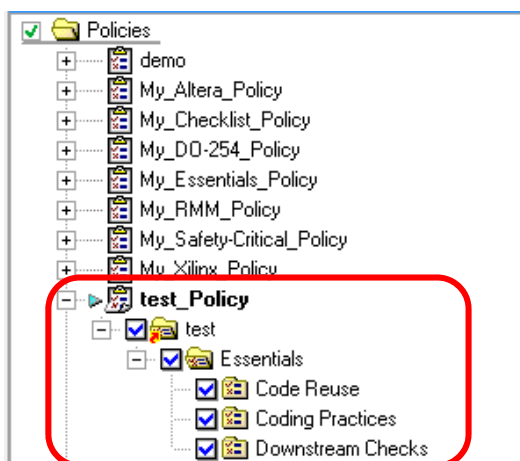
- ① Rulesets の test フォルダを Policies の test_Policy フォルダにコピー & ペースト、もしくはドラッグ & ドロップでコピーすることができます。
- ② コピーしたら「Ctrl+S」で保存します。



5-7. 解析に使用するポリシーを選択

Policies フォルダには複数のポリシーを保存しておくことができます。これらの中でどのポリシーを解析に使用するのかを設定しておく必要があります。

- ① 使用するポリシー(今回は test_Policy) をハイライトして「右クリック」>「Set As Default」を選択します。



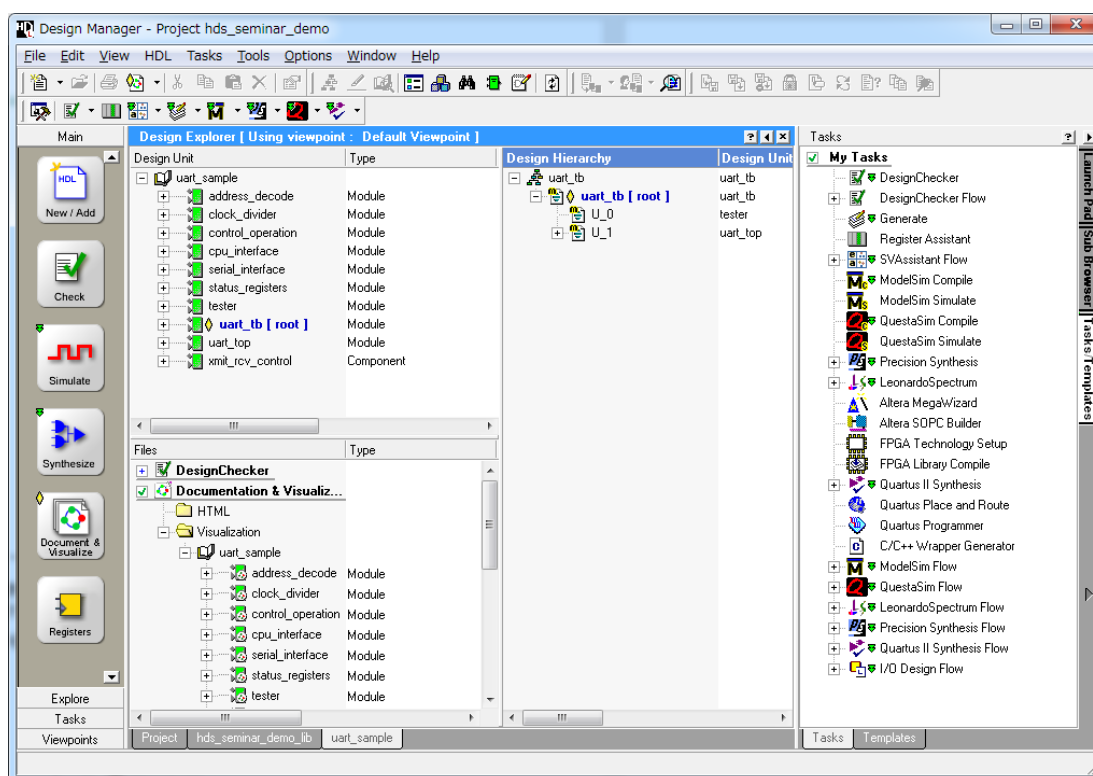
Test_Policy が太字になります。これで解析ルールの設定が完了しました。

6. 解析の実行

5. 章で設定したルールを使用して解析を実行します。

6-1. Design Manager ウィンドウを開く

Design Manager のウィンドウに戻ります。



6-2. 解析の実行

- ① Design Unit 欄から解析を実行するモジュールを選択してハイライトします。
- ② メニューバーにある「Design Checker」のプルダウンを開きます。どの範囲で解析を行うかを選択して実行します。



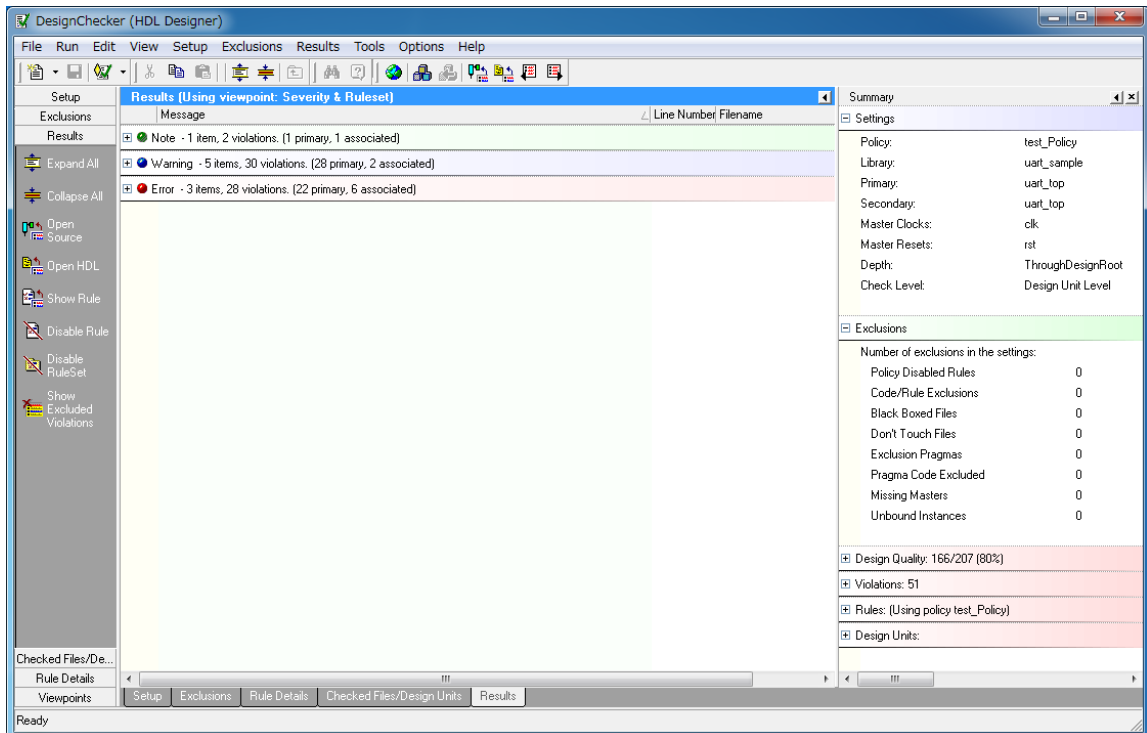
Single :	選択したモジュールのみ解析
Through Block :	選択したブロック以下すべてのモジュールを解析
Through Component :	選択したコンポーネント以下のモジュールを解析
Through Design :	Root 以下すべてのモジュールを解析*

(*) あらかじめデザインルートを設定しておく必要があります。

Design Unit 欄よりモジュールを選択して右クリックから設定できます。

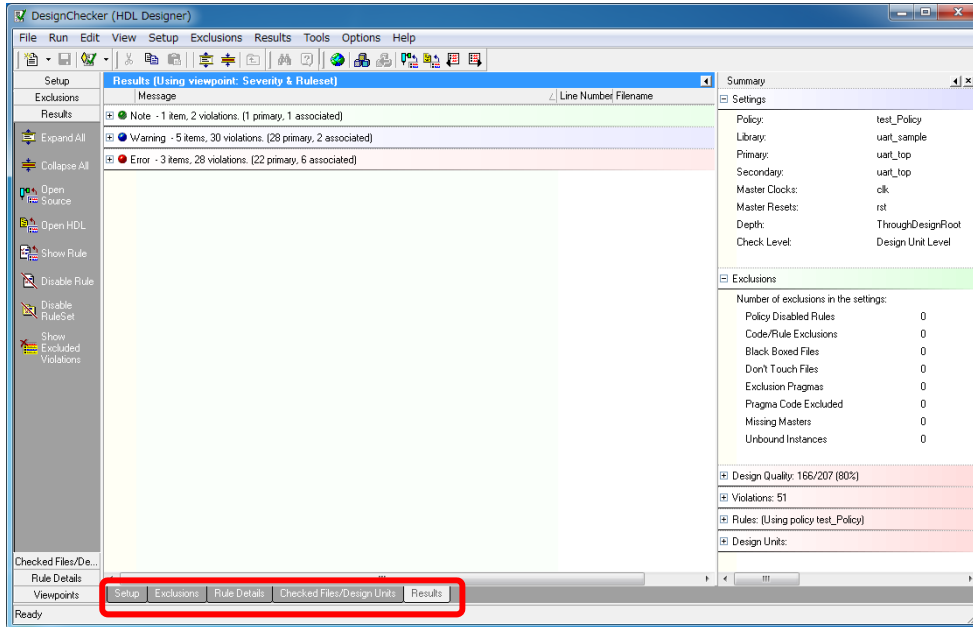
6-3. 解析結果のレポート表示

解析が完了すると下記のように DesignChecker の Result 画面が表示されます。



7. 解析結果の確認

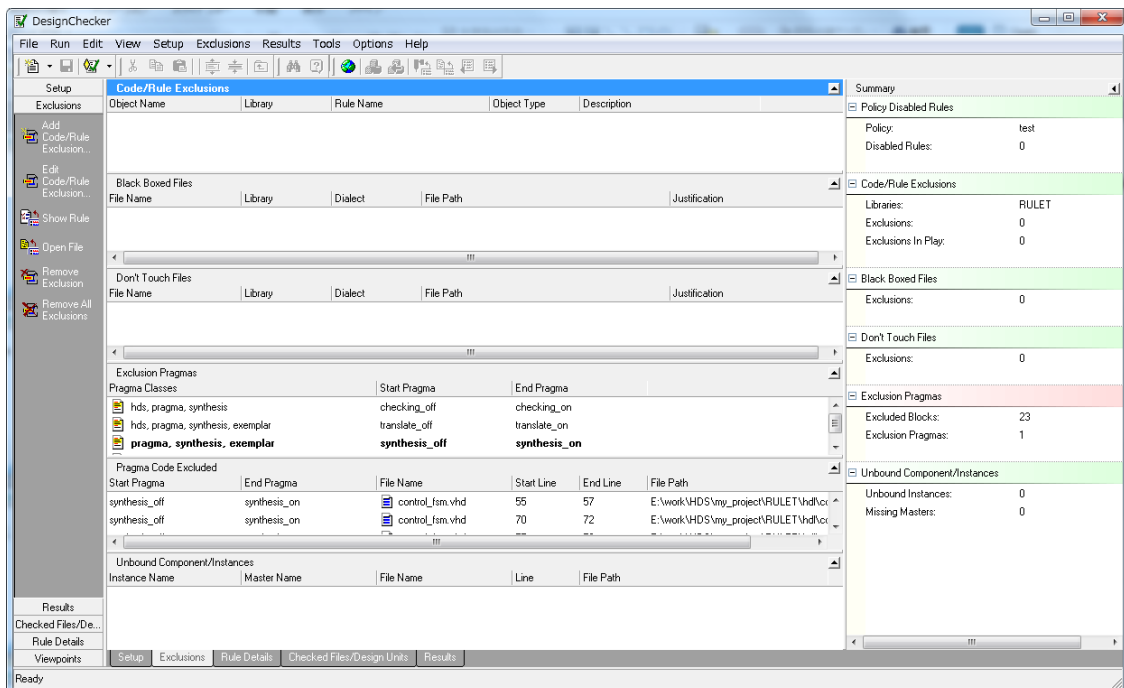
解析結果は DesignChecker ウィンドウに複数のタブに分かれて表示されます。この章では DesignChecker で表示される解析結果の各項目について説明します。



7-1. Exceptions タブ

解析から除外されたファイル・デザインユニットの一覧です。

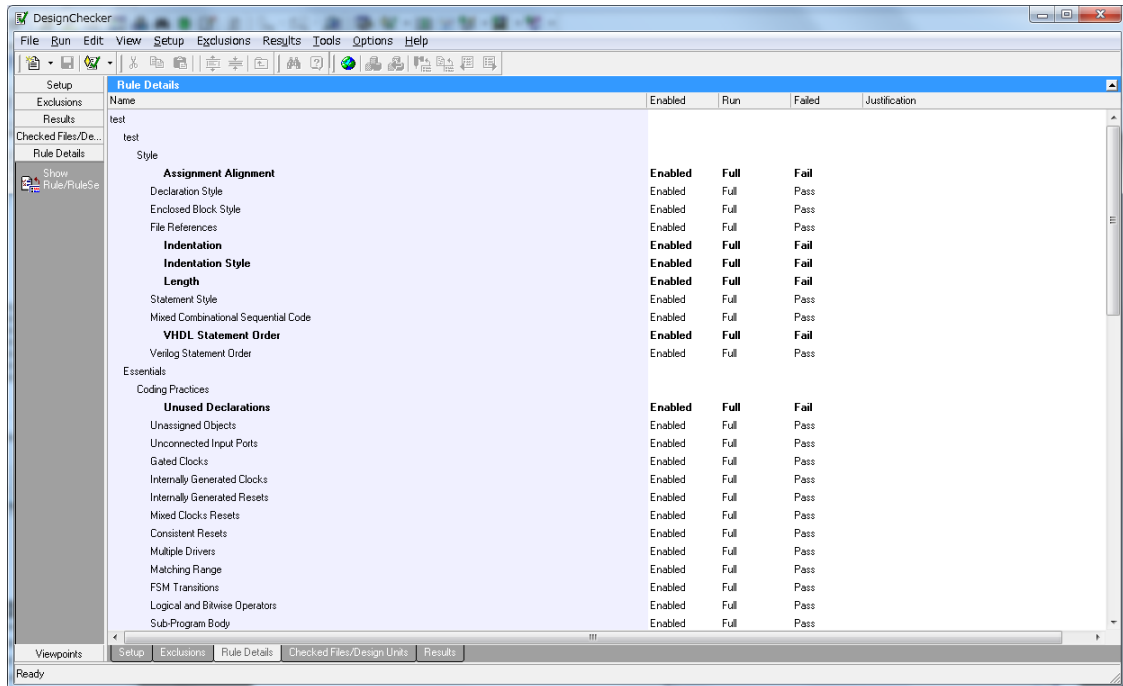
ブラック・ボックス、Don't Touch、プラグマ除外により解析対象でないデザインやファイルが表示されます。



7-2. Rule Details タブ

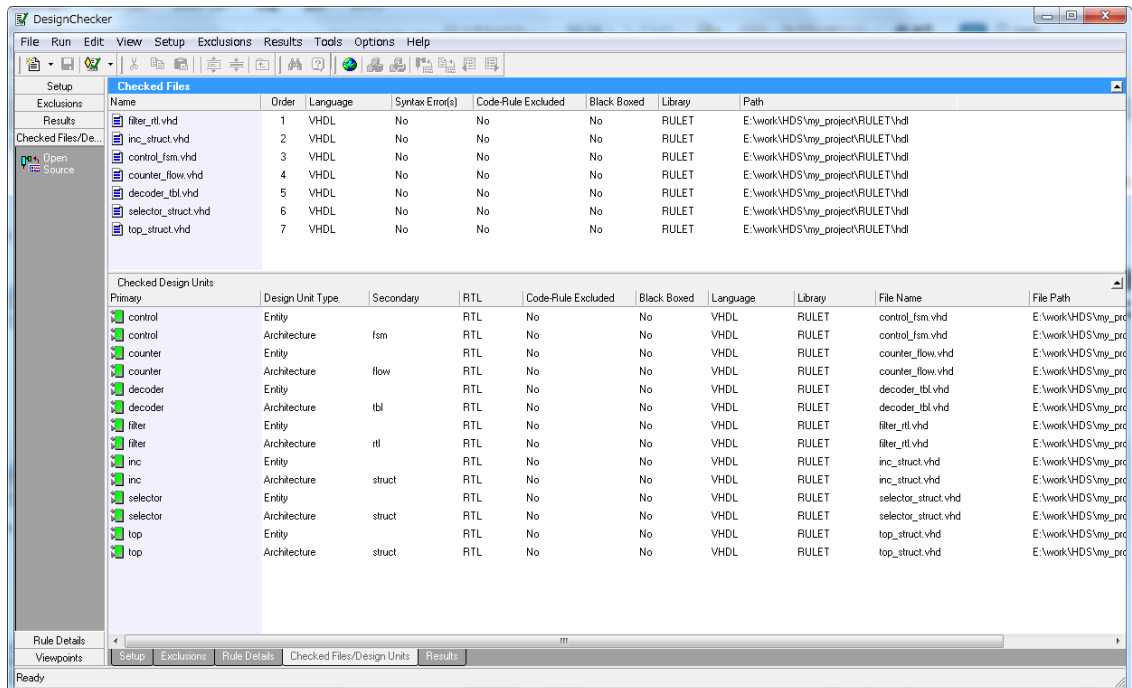
解析に使用したルールの一覧を確認することができます。

ルールの詳細ウィンドウには、ポリシー、ルールセットと設定されたルールの名前が表示されます。



7-3. Checked Files / Design Unit タブ

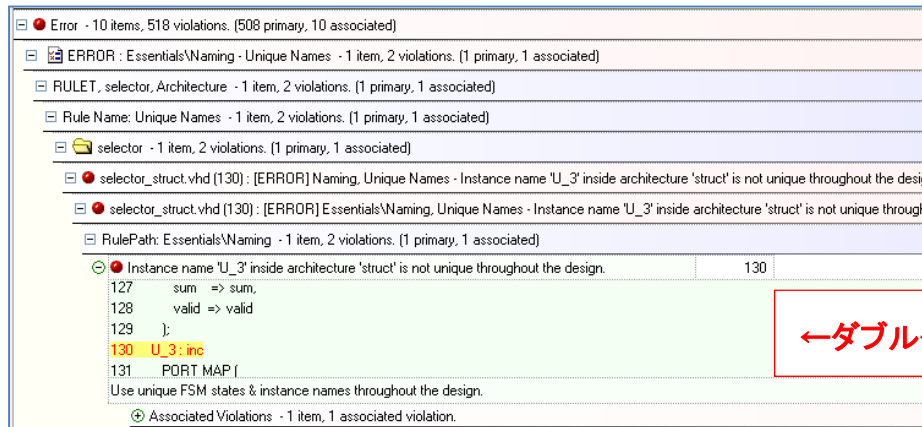
解析対象となったファイルやデザインユニットの一覧を確認することができます。



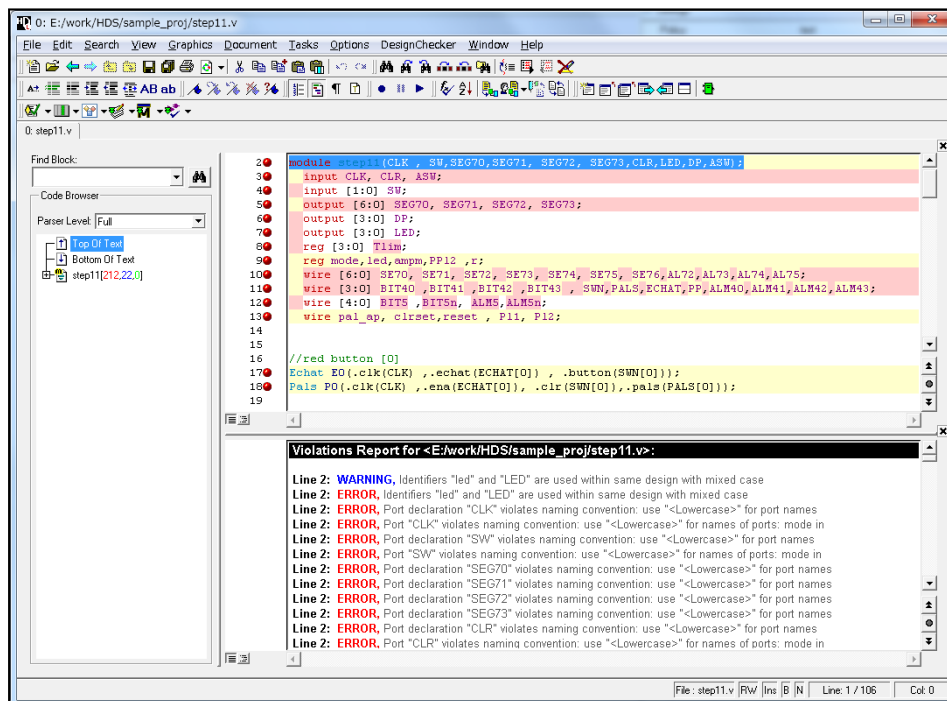
7-4. Results タブ

ルールをもとに解析した結果(エラー / ワーニング / ノート)が表示されます。

下記のようにエラーやワーニングの種類、対象となったルール、対象のファイル・行数という風にカテゴリー分けされてツリー表示されます。



ツリーを開くとソースが表示されます。こちらをダブルクリックすることによって、テキストエディタにて対象のファイルを開くことができます。ファイルを開くと、下記のようにエラー / ワーニングとなっている箇所がハイライトされ、ウィンドウ下部にメッセージの内容が表示され、ソースファイル上でどこがエラーになっているのかを確認しながら修正することも可能です。



また、Results タブには Summary の項目があり、解析結果のまとめが表示されています。

① Settings

解析に使用したポリシー名や、デザイン名等が表示されます。

Summary	
Settings	
Policy:	test
Library:	RULET
Primary:	top
Secondary:	struct
Master Clocks:	clk
Master Resets:	rst_n
Depth:	ThroughDesignRoot
Check Level:	Design Unit Level

② Exclusions ペイン

最新の分析結果に影響を与える除外設定だけに関する情報が表示されます。最新の実行に関与しているポリシー、無効のルール、コード/ルールの除外、ブラックボックスファイル、および除外プラグマの数などです。

Exclusions	
Number of exclusions in the settings:	
Policy Disabled Rules	0
Code/Rule Exclusions	0
Black Boxed Files	0
Don't Touch Files	0
Exclusion Pragmas	1
Pragma Code Excluded	23
Missing Masters	0
Unbound Instances	0

③ Rules ペイン

使用したポリシー内の各ルールに対して、違反となったルールの個数を表示します。

Rules: (Using policy test)							
Rules Setting, grouped by Ruleset:							
RuleSet	Failed	Total	Failed %	Disabled	Not-Run	Partially-Run	Fully-Run
All	12	65	18.46%	0	0	0	65
test	5	11	45.45%	0	0	0	11
Style	5	11	45.45%	0	0	0	11
Essentials	7	54	12.96%	0	0	0	54
Coding Practices	2	19	10.53%	0	0	0	19
Downstream Checks	1	22	4.55%	0	0	0	22
Code Reuse	0	6	0.00%	0	0	0	6
Naming	4	7	57.14%	0	0	0	7

④ Design Units ペイン

各デザインユニットのルール違反を表示します。

Design Units:

Failed Design Unit types:

Design Unit	Failed	Total	Failed %	Excluded
All	12	21	57.14%	0
File	0	7	0.00%	0
Module	0	0	0.00%	0
Interface	0	0	0.00%	0
Program Block	0	0	0.00%	0
Configuration	0	0	0.00%	0
SV Package	0	0	0.00%	0
Class	0	0	0.00%	0
Package Header	0	0	0.00%	0
Package Body	0	0	0.00%	0
Architecture	5	7	71.43%	0
Entity	7	7	100.00%	0

⑤ Violations ペイン

設計対象物の種類ごとエラー、ワーニング、ノートの数が表示されます。

Violations: 510

Number of primary violations for each severity:

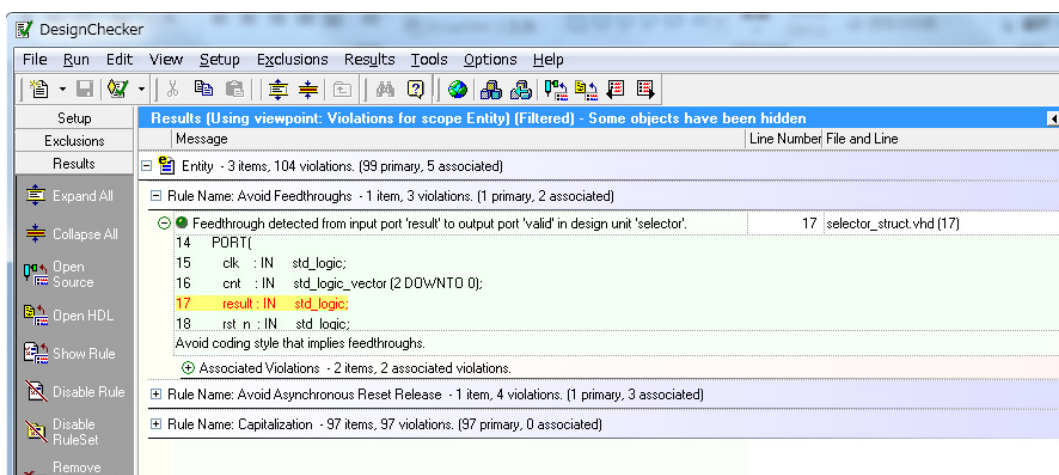
Syntax Error	0
Elaboration Error	0
Synthesis Error	0
Error	508 from 10 Rules
Warning	1 from 1 Rule
Note	1 from 1 Rule

Number of primary violations for each scope:

Scope	Violations	%
File	0	0.00%
Unknown	0	0.00%
Configuration	0	0.00%
Package Header	0	0.00%
Package Body	0	0.00%
Module	0	0.00%
Interface	0	0.00%
SV Package	0	0.00%
Program Block	0	0.00%
Class	0	0.00%
Architecture	411	80.59%
Entity	99	19.41%

←ダブルクリック

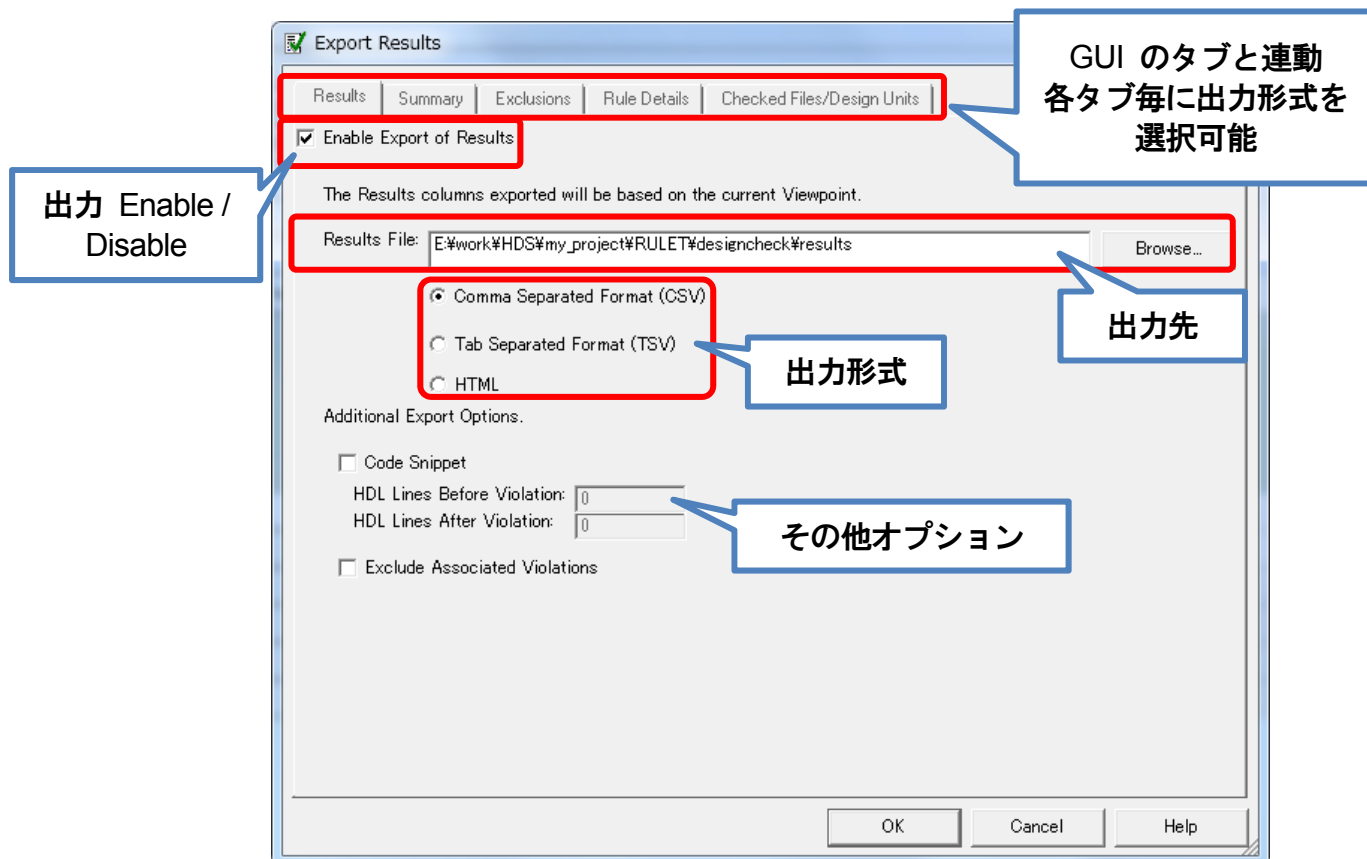
テーブル内の行をダブルクリックすると、各スコープの違反の詳細を表示することができます。



8. 解析レポートの出力

DesignChecker のレポートを CSV、TSV、HTML 形式で出力することができます。HTML など汎用的なファイル形式にて出力することによって、HDL Designer を起動せずに解析結果のレポートを参照することが可能となります。

- ① DesignChecker ウィンドウより「File メニュー」>「Export Results..」を選択します。
- ② Export Results ウィンドウにて出力形式等を選択し「OK」をクリックすると各指定したファイル形式で出力されます。



9. Appendix

9-1. DesignChecker ルールの構成

DesignChecker で使用するルールは、ベースルール、ルールセット、ポリシーの 3 つの階層で構成されています。

- ベースルール

パラメーター設定可能な基本ルールで、このベースルールをもとにパラメーターをカスタマイズすることによってオリジナルルールを作成することが可能です。130 以上の豊富なルールがそろっています。

ルールの一覧は下記をご参照ください。

<PDF>

<インストールディレクトリ>\%docs%\htmldocs\baserules\ base_rules.pdf

<HTML> ※Web ブラウザで一覧を表示することができます

<インストールディレクトリ>/docs/htmldocs/baserules/BaseRuleTOC.htm

- ルールセット

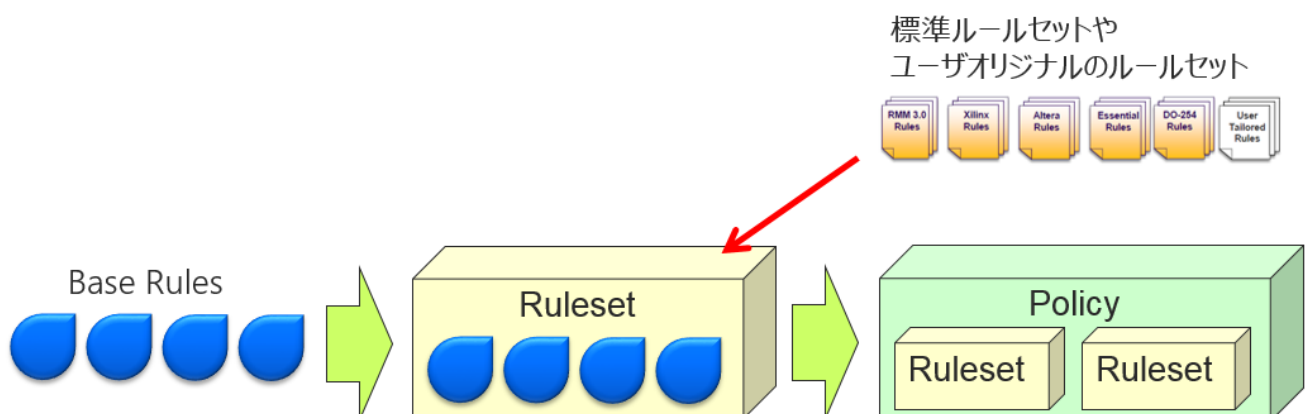
ベースルールを組み合わせて作成されたセットです。あらかじめ基本的なルールをまとめた標準ルールセットが用意されています。独自のルールセットを作成することも可能です。

<標準ルールセット>

- ◇ Essentials
- ◇ RMM
- ◇ Safety-Critical
- ◇ Checklist
- ◇ DO-254 など

- ポリシー

ポリシー単位で解析が行われます。ルールセットを組み合わせてポリシーを作成することができ、標準ルールセットに対応するポリシーはあらかじめ設定されています。



改版履歴

Revision	年月	概要
1	2017 年 10 月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社マクニカ アルティマ カンパニー <https://www.alt.macnica.co.jp/> 技術情報サイト アルティマ技術データベース <http://www.altima.jp/members/>

株式会社エルセナ <http://www.elsena.co.jp> 技術情報サイト ETS <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。