



MACNICA

Floorplanning

技術統括部

2020年7月

V1.0

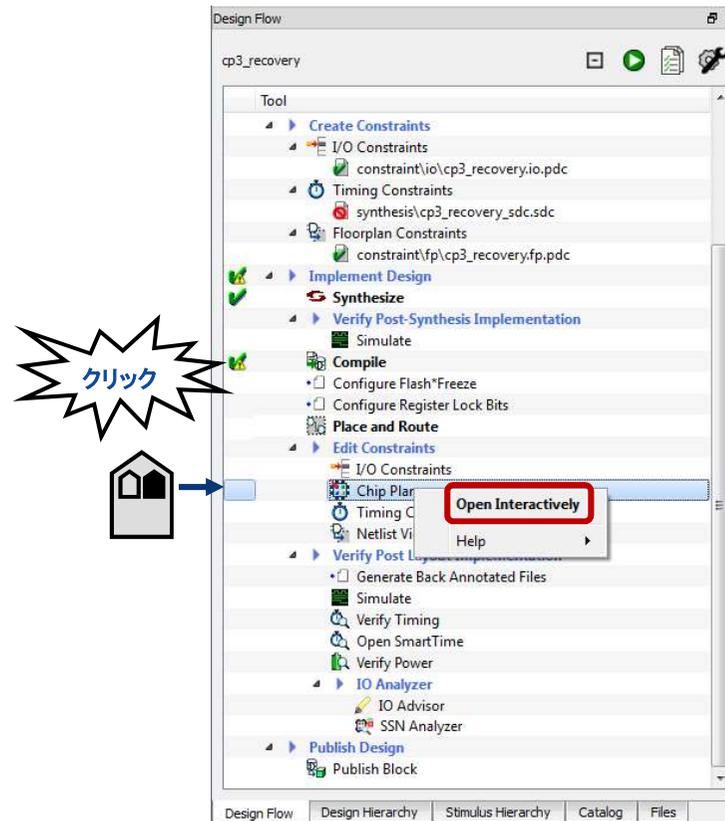
Libero SoC v12.3

Chip Planner

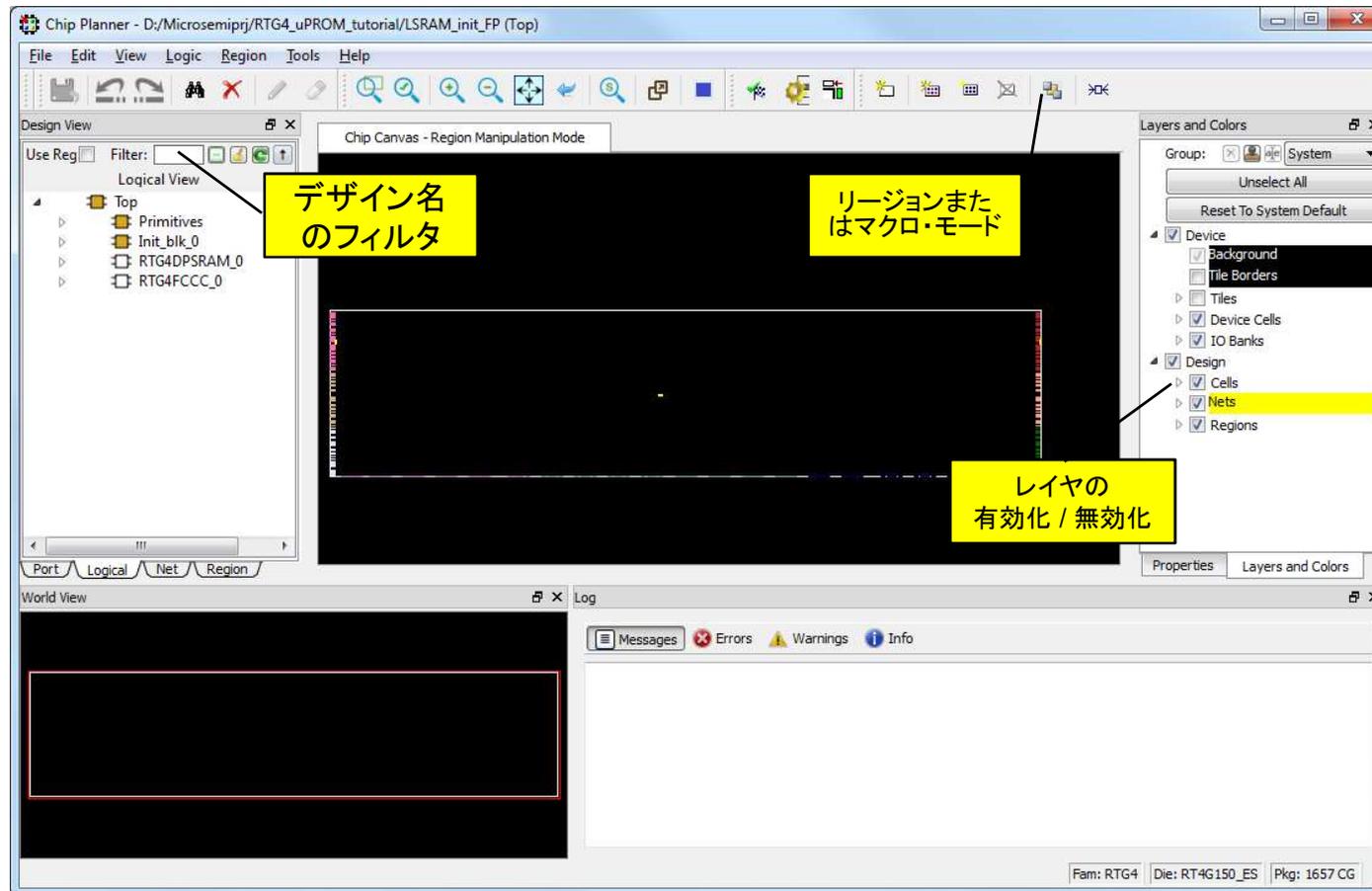
- 編集とフロア・プランニングのサポート：
 - PolarFire, RTG4, SmartFusion2, IGL002 ファミリ

- チップ・プランナの機能：
 - 閲覧
 - レイアウト中に作成されたマクロの配置を表示
 - アーキテクチャの境界を表示
 - IOバンクなどのシリコン機能の表示と編集
 - 編集
 - ロジックとI/Oの配置/非配置および移動
 - フロア・プランニング
 - ロジックまたはネットを作成しリージョンに割り当て
 - SmartTimeとクロス・プローブし、タイミングの問題の原因を特定

Launch Chip Planner



Chip Planner



Chip Planner Terminology

- Region (リージョン)
 - ダイに定義される領域
 - 形状 – 長方形または直線 (長方形の連結)
 - タイプ :
 - Empty – 指定領域にロジックの配置は不可
 - Inclusive – アサインされたロジックはこの領域に配置される
 - レイアウトによってこの領域に、他のアサインされていないロジックを追加可能
 - Exclusive – アサインされたロジックのみこの領域に配置可能
- Assign (アサイン)
 - 特定のリージョンまたは場所にロジックを配置
- Lock (ロック)
 - 特定の場所へのロジックのアサインをファイナライズ (完了)

Chip Planner: Editing and Floorplanning

- Chip Planner フロア・プランニング機能
 - ロジック・リージョンの作成
 - Empty リージョンの作成
 - リージョンの移動 / サイズ変更 / 消去
 - リージョンへのロジックの割り当て / 割り当て解除
- リージョンはロジック、メモリ・ブロック、I/Oにまたがる
ことが可能
- ロジックまたは I/O を目的の場所にドラッグ

Chip Planner: Empty / Inclusive / Exclusive Regions

■ Empty リージョン

- “Region” => “Create Empty”
 - No Logic Assigned to Empty Regions
 - Empty リージョンにアサインされたロジックは無い

■ Inclusive リージョン

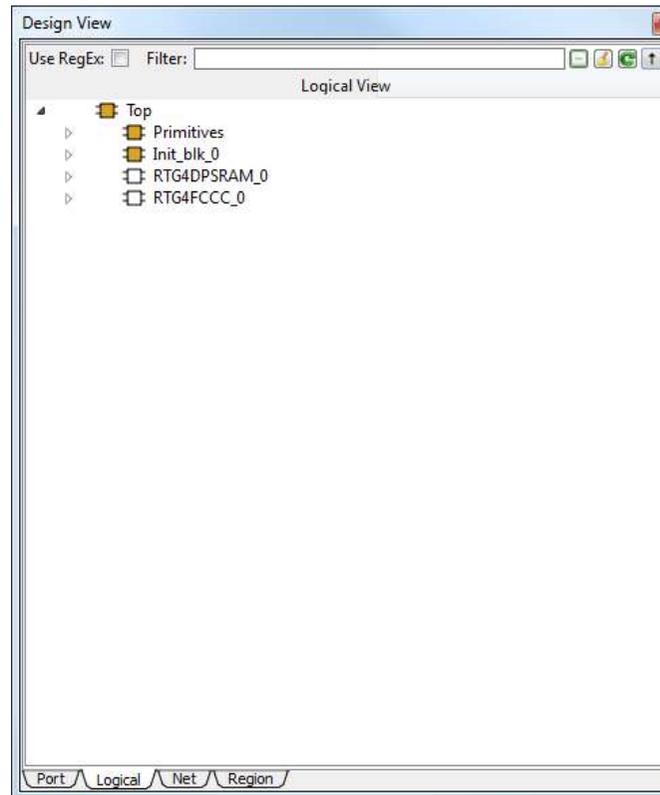
- “Region” => “Create Inclusive”
 - Inclusive リージョンにアサインされたロジック
 - 他のロジックもこのリージョンに配置される可能性あり

■ Exclusive Region

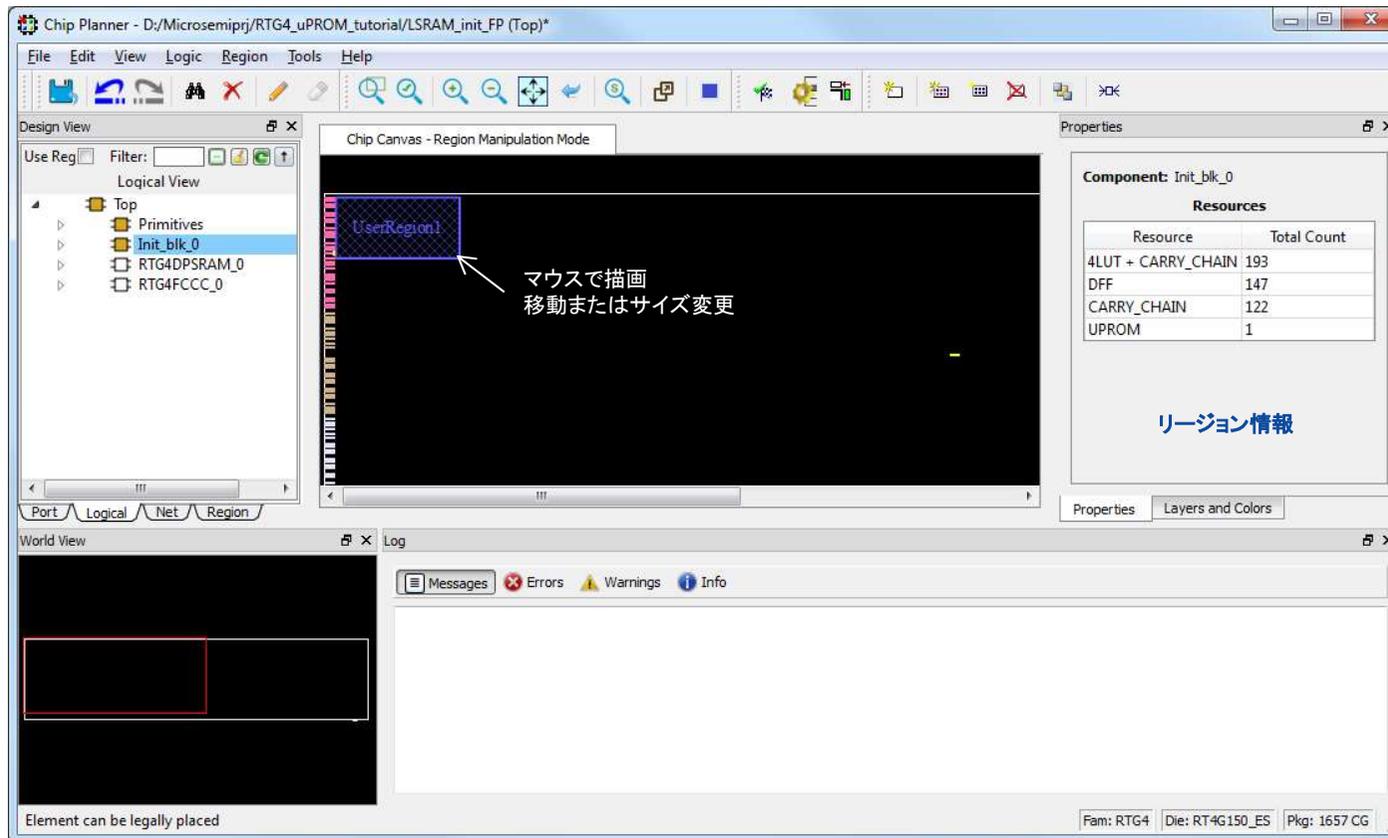
- “Region” => “Create Exclusive”
 - Exclusive リージョンにアサインされたロジックのみ

Chip Planner Design View

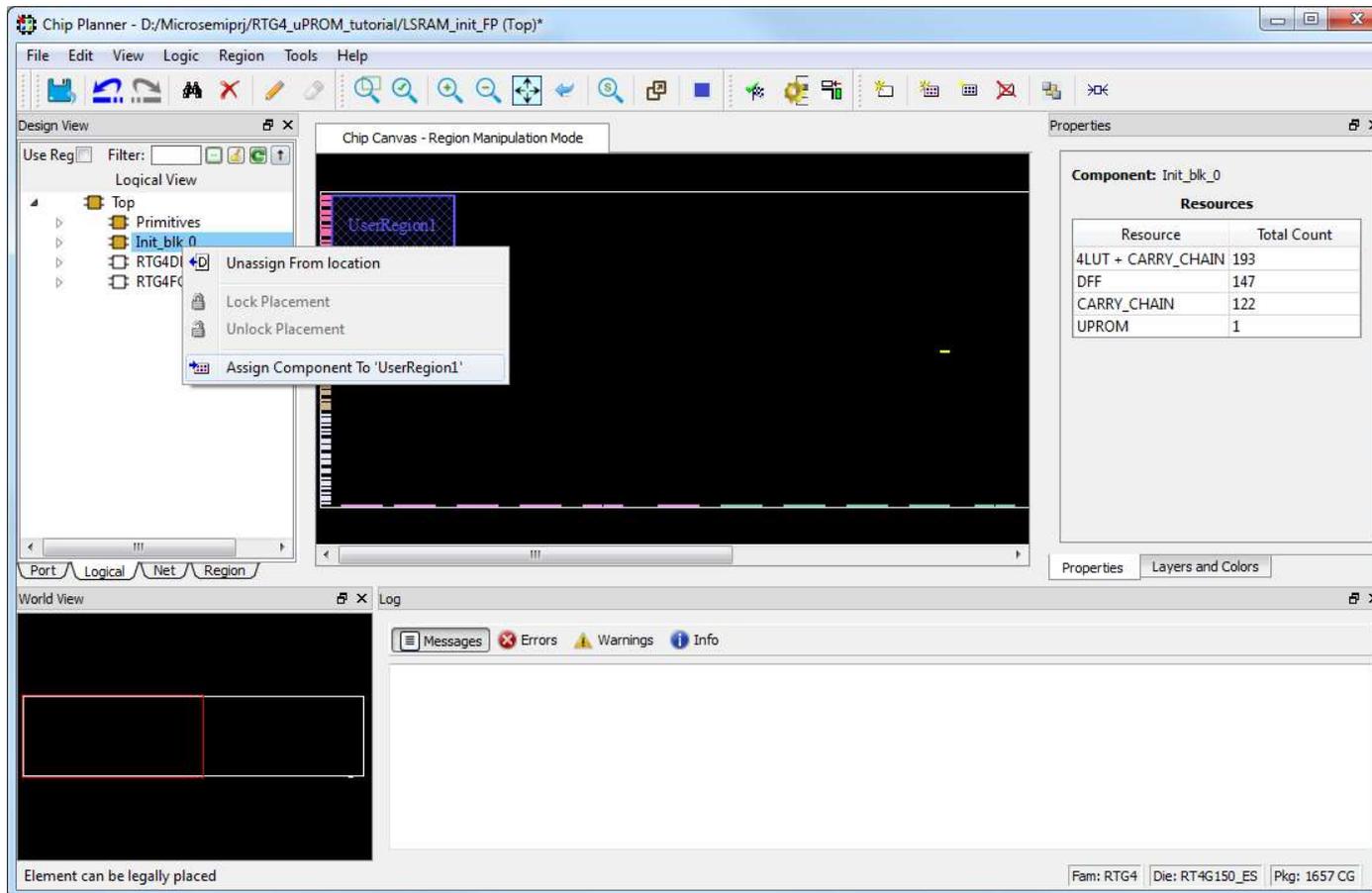
- Port、Logic、Net、Region
を表示
- 検索用 Filter 機能



Inclusive Region in ChipPlanner



Logic Assignment in Chip Planner



Assigned Logic

The screenshot displays the Xilinx Chip Planner interface for a design named "D:/Microsemiprj/RTG4_uPROM_tutorial/LSRAM_init_FP (Top)". The "Design View" on the left shows a tree structure with "UserRegion1" containing a component "Init_blk_0", which is expanded to show multiple instances of "Init_blk_0/APB_maste". The "Chip Canvas - Region Manipulation Mode" in the center shows a grid with a blue box labeled "UserRegion1". The "Properties" panel on the right shows the component "Init_blk_0" with a table of resources:

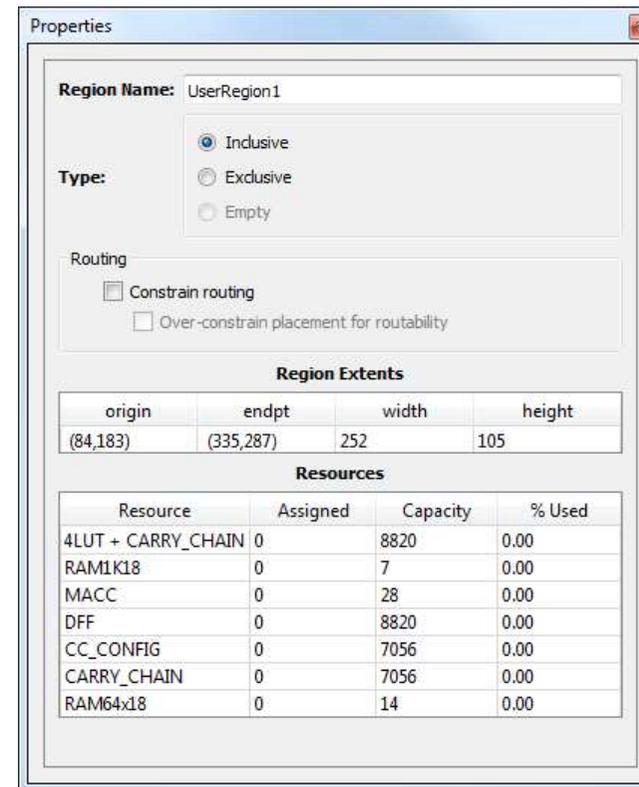
Resources	
Resource	Total Count
4LUT + CARRY_CHAIN	193
DFF	147
CARRY_CHAIN	122
UPROM	1

Below the table, the text "リージョンのロジック数" (Logic count of the region) is displayed. At the bottom, the "World View" tab is active, showing a red box on a black background. A blue arrow points from the "Region" tab in the bottom navigation bar to the "World View" tab, with the text "Region タブは、割り当てられたリージョンとロジックを表示" (The Region tab displays the assigned region and logic).

Fam: RTG4 Die: RT4G150_ES Pkg: 1657 CG

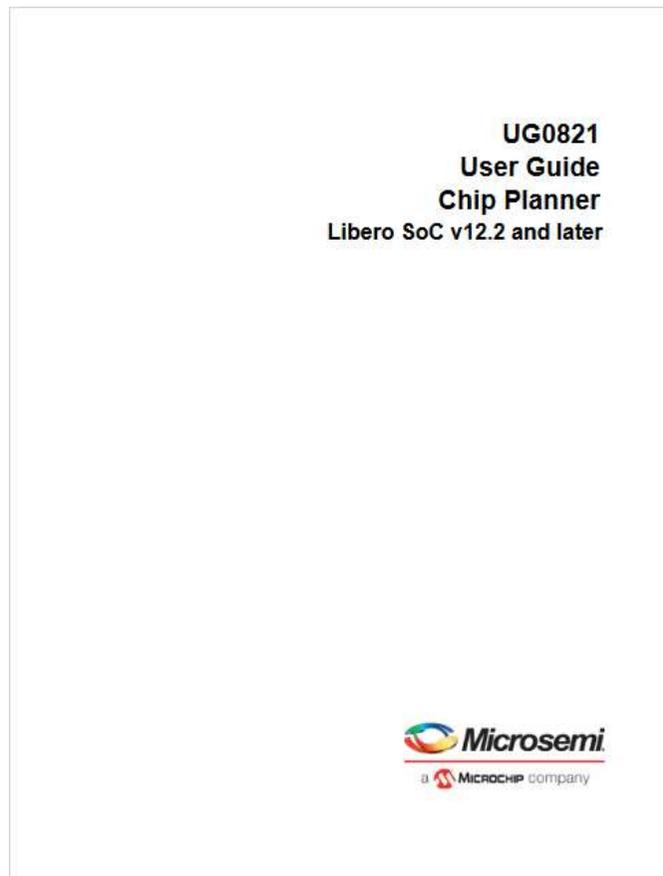
Region Properties

- 動的なリージョン情報を提供
 - Name : 名称
 - Type : Inclusive / Exclusive / Empty タイプ
 - Origin : 座標
 - Utilization : 使用率
- Region name および type の変更 (Inclusive / Exclusive のみ)
- ルーティング制約
 - ユーザ・リージョンに配置制限に加え、ルーティング制約を適用するよう配置配線ツールに指示



ChipPlanner: More Information

- “Chip Planner User Guide” を参照
 - Libero SoCの”Help”メニュー => ”Reference Manuals”



履歴

■ 改版

リビジョン	日付	概要
V1.0	2020年4月	新規作成

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。