

# DDR デザインガイドライン i.MX6/7編

株式会社マクニカ  
Rev.1.0

# Agenda

1. はじめに
2. DDRデザインフロー
3. DDR デバッグフロー
4. Appendix
  - 4-1. DDR Register Programming Aid
  - 4-2. DDR Stress Test
  - 4-3. ボードシミュレーション結果の確認項目
  - 4-4. i.MX 6/7シリーズと対応DRAM

# 1. はじめに

# 本資料の目的

- メモリーインターフェースの高速化に伴い、データバリッドウインドウの縮小や信号品質の悪化が課題として挙げられます
- 仕様要求を満たすための検証やデバッグに費やす時間が増加傾向にあるため、適切な手順でデバイス・ボードの設計をおこない、かつ、設計段階であらかじめデバッグするための手段を実装することが重要です
- 本資料はデザインフローとデバッグフローを示し、適切な手順で設計をおこなうことにより不具合混入を防ぐことと、デバッグに必要な仕組みを実装することにより速やかに問題を解決することを目的とします
- なお、本資料は i.MX 6/7 + DDR3, DDR3L を想定しています

## ◆ デザインフロー



上

UART や JTAG からなどデバッグモードに入れるか

メモリーデータシートを元に正しいパラメーターを入力したか

IO の Drive Strength など、ボードシミュレーションの結果を反映しているか

ストレスチェックテストで温度、電圧が変化しても通る事を確認したか

## ◆ 電源関連の確認事項

VDD\_SOC\_IN, VDD\_ARM\_CAP, VDD\_SOC\_CAP, VDD\_HIGH\_IN, VDD\_HIGH\_CAP, NVCC\_DRAM, NVCC\_DRAM\_2P5, DRAM\_VREFの電圧を測定できるように設計したか

測定する電源は電圧調整できるように設計したか

## ◆ 波形関連の確認事項

マイコン側とメモリー側の各端子にできるだけ近い箇所に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が確認できるようにしたか

DQ/DQS グループごとに、DQS に対する DQ の Skew がワーストと2番目にワーストになる信号をオシロスコープで確認できるようにしたか

以下をオシロスコープで測定できるように設計したか

① マイコンの入力 CLK と Reset

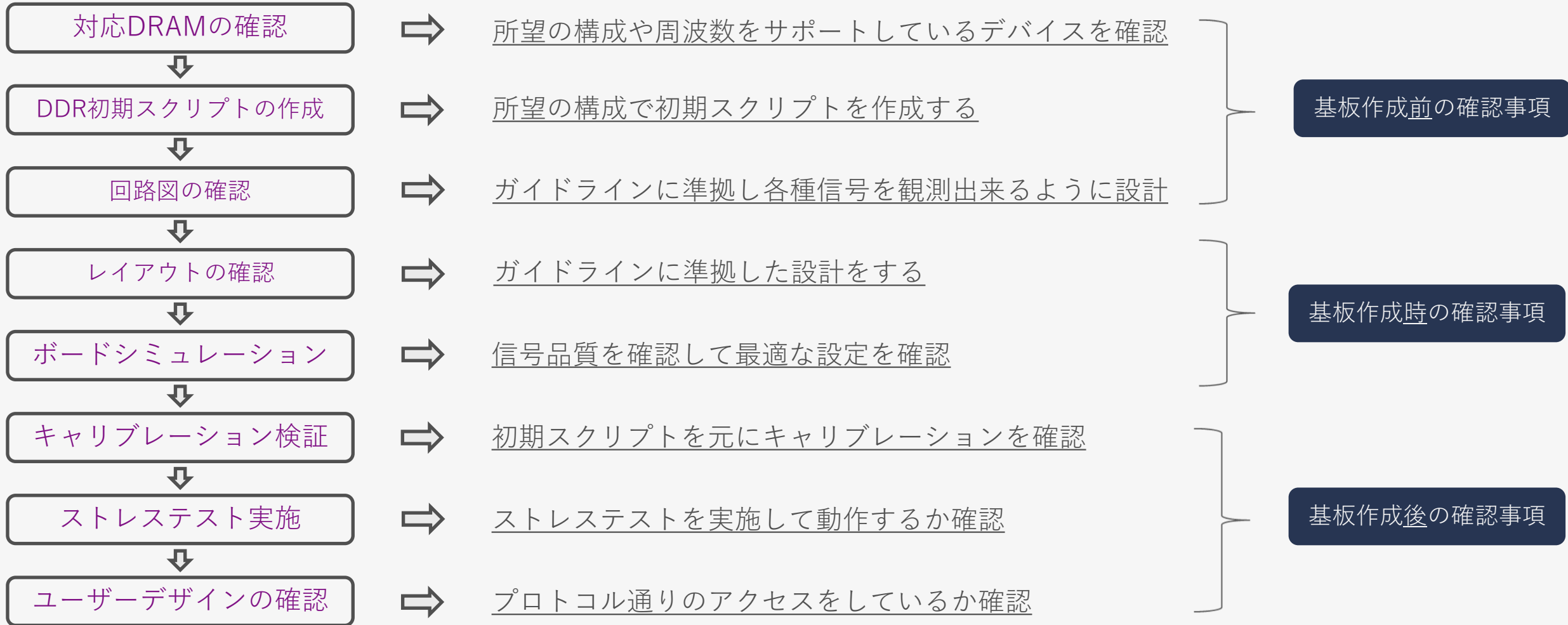
② メモリーの入力 CLK

オシロスコープで確認する信号をビア観測できるようにしたか (スルーホール推奨)

最低 5G 帯域のアクティブプローブのオシロスコープで波形を確認する

## 2. DDR デザインフロー

# デザインフロー



# デザインフロー：対応DRAMの確認



- 各デバイスのデータシートから対応外部メモリーを確認する

- [i.MX 6ULL Applications Processor | NXP Semiconductors](#)

- \* i.MX 6ULL を例にした場合の URL

**Documentation**  
Quick reference to our [documentation types](#).

Filter by keyword

1-5 of 25 documents Sort by | Relevance ▾

**SUPPORTING INFORMATION**

[L4.1.15\\_2.0.0\\_LINUX\\_DOCS](#) FEATURED 🔗

GZ Rev L4.1.15\_2.0.0 Jan 18, 2017 8.8 MB L4.1.15\_2.0.0-LINUX-DOCS English  
Sign in required

---

**DATA SHEET**

[i.MX 6ULL Applications Processors for Consumer Products](#) 🔗

PDF Rev 1.3 Sep 13, 2018 2.4 MB IMX6ULLCEC English [Supported Parts](#)

---

**DATA SHEET**

[i.MX 6ULL Applications Processors for Industrial Products](#) 🔗

PDF Rev 1.2 Nov 20, 2017 2.3 MB IMX6ULLIEC English [Supported Parts](#)

---

**EXTERNAL MEMORY INTERFACES**

- External memory interfaces: The i.MX 6ULL processors support latest, high volume, cost effective handheld DRAM, NOR, and NAND Flash memory standards.
  - 16-bit LP-**DDR2**-800, 16-bit **DDR3**-800 and **DDR3L**-800

---

**REFERENCE MANUAL**

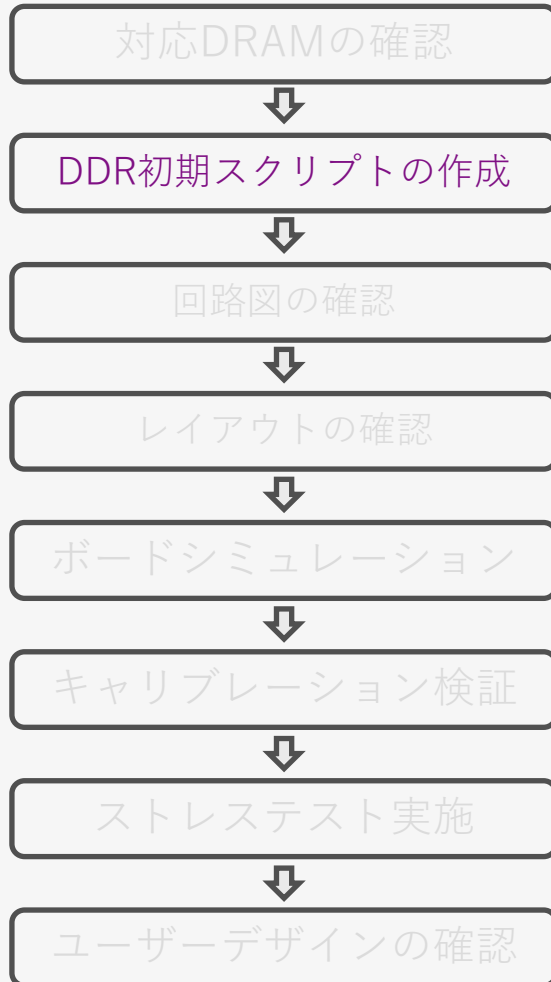
[Security Reference Manual for the i.MX 6ULL Applications Processor](#) 🔗

PDF Rev 0 Sep 26, 2016 2.4 MB IMX6ULLSRM English  
Sign in required



# デザインフロー：DDR初期スクリプトの作成

- DDR Register Programming Aid (RPA) を使用
  - メモリーベンダーのデータシートを用いて各種値を設定する
    - **正確にパラメーターを入力する**
    - 本資料の Appendix 「[DDR Register Programming Aid](#)」を参照



i.MX6 UL/ULL/ULZ MMDc DDR3 Configuration Spreadsheet  
Based on NXP board

Instructions	Legend
Shaded cells may require updating per the DRAM memory data sheet parameters. Certain registers should not need to be modified by the user. If a register is not provided then it is assumed this parameter is not to be changed per the provided initialization script. Certain registers are provided though they may be noted as recommended to not change.	On Register Configuration Tab, this color indicates the bitfields that would commonly require updating.
	On Register Configuration Tab, this color indicates the bitfields that may be updated, but should typically not require it.
	On Register Configuration Tab, this color indicates the bitfields that are updated automatically from setting provided in the "Device Information" table or other cells, and should not be changed manually.
	On Register Configuration Tab, an unshaded cell means that the value should remain as is and should not be modified. In these cases, the settings are provided for completeness.
	On other tabs, this color indicates the cells that are affected by changes on the Register Configuration tab.

Device Information	
Soc type (MX6UL/ULL/ULZ):	MX6UL
Memory type:	DDR3
Manufacturer:	Micron
Memory part number:	MT41K256M16HA-125E
Density per chip select (Gb):	4
Number of Chip Selects per channel used <sup>1</sup> :	1
Total DRAM density (Gb):	4
Number of ROW Addresses <sup>2</sup> :	15
Number of COLUMN Addresses <sup>2</sup> :	10
Number of BANKS <sup>2</sup> :	8
Bus Width (16bit only):	16
Clock Cycle Freq (MHz) <sup>3</sup> :	400
Clock Cycle Time (ns):	2.5

Revision History	
See Revision History worksheet tab	

DRAM Pad Name	Field (i.e. DSE)	Binary Setting	within register	Notes	Register name	Register address (HEX)	Pad Register value (HEX)
DDRM0DE	DDR_INPUT	1	00020000	DDR7 CMOS Input Mode Freq Select one out of next values for group: DDRMODE (Pads: DRAM_0[15:0]). 0: CMOS input type 1: Differential input mode	HCMLXC_SW_PAD_CTL_GRP_DDRMODE	0x020E04B0	0x00020000
DORPKE	PKE	0	00000000	Pull / Keep Enable Field for DDR pads 0: Pull/keeper Disabled (recommended) 1: Pull/keeper Enabled	HCMLXC_SW_PAD_CTL_GRP_DORPKE	0x020E04AC	0x00000000
SDCLK_0	DDR_INPUT	0	00000000	Differential input mode	HCMLXC_SW_PAD_CTL_PAD_DRAM_SDCLK0_P	0x020E027C	0x00000030
	DSE	110	00000030	000: output driver disabled 001: Weakest 111: Strongest			
CAS_RAS	DDR_INPUT	0	00000000	Differential input mode	HCMLXC_SW_PAD_CTL_PAD_DRAM_CAS	0x020E0250	0x00000030
	DSE	110	00000030	000: output driver disabled 001: Weakest 111: Strongest			

- RPAにより、後述する キャリブレーション検証やストレステスト用の DDR初期スクリプトが作成される

# デザインフロー：回路図の確認 (1/4)



- 各プロセッサの“Hardware Development Guide”を元に回路図の設計をおこなう
  - “Hardware Development Guide”のを見つけ方：i.MX 6ULL の場合
    - ① [i.MX 6ULLのページ](#)からドキュメンテーションを選択
    - ② フィルターに“development”と入力
    - ③ “Hardware Development Guide…”をクリック

The screenshot shows the NXP website for the i.MX 6ULL Single-Core Processor. The 'Documentation' tab is selected and highlighted with a red box and circled number 1. A search filter 'development' is entered in the search bar, also highlighted with a red box and circled number 2. The search results list 'Hardware Development Guide for the i.MX 6ULL Applications Processor' as the first item, highlighted with a red box and circled number 3.

- “Hardware Development Guide”が無い場合は同等のデバイスファミリーを参照する

# デザインフロー：回路図の確認 (2/4)



- “Hardware Development Guide” でDDRに関連する主な項目
  - “Design Checklist” の章を確認する
    - i.MX 6ULL の場合：2. i.MX 6ULL Design Checklist
      - Table 4. DDR recommendations
- 評価ボードの回路図を参考にする
  - “評価ボード”の資料の見つけ方：i.MX 6ULL の場合
    - ① [i.MX 6ULLのページ](#)から設計・リソースを選択
    - ② 少しスクロールして「ハードウェア」の欄で“Evaluation Kit …”をクリック

NXP i.MX 6ULL Single-Core Processor with Arm® Cortex®-A7 Core

概要 製品詳細 ドキュメンテーション **設計・リソース**① トレーニング サポート

購入/パラメータ パッケージ/品質

**ハードウェア**

NXP (2)  
 パートナー (50)

絞り込み

ハードウェア開発ツール

エミュレータ/プローブ  
 ハードウェア開発ツール  
 ハードウェア開発ツール

キーワードでフィルタ

2ハードウェア提供 並び替え 関連性


 ② 評価/開発ボードおよびシステム  
**Evaluation kit for the i.MX 6ULL and 6ULZ Applications Processor** 注目  
 MICIMX6ULL-EVK

エミュレータ/プローブ  
 IMX6\_L4.1.15\_2.0.0\_MFG\_TOOL  
 IMX6\_L4-1-15\_2-0-0\_MFG-TOOL  
 サインインが必要です

# デザインフロー：回路図の確認 (3/4)



- プロセッサやメモリの種類ごとに処理方法が変わるので注意する  
(回路図の流用時は特に注意する)
  - ADDR/CMD(CKE) の終端方法
  - RZQPADの抵抗値
  - フライバイ配線とバランスド配線(T配線)のデバイス対応の確認
  - 終端処理の方法が曖昧な場合は0Ω抵抗でプルアップ/プルダウン可能な状態にしておく
- 電源電圧を確認できるように設計
  - **VDD SOC IN, VDD ARM CAP, VDD SOC CAP, VDD HIGH IN, VDD HIGH CAP, NVCC DRAM, NVCC DRAM 2P5, DRAM VREF の電圧を測定できるように設計**
    - i.MX直下の電源ピン (VIAでのスルーホール)
  - 動作中に電圧許容範囲内であることを確認
- 各種信号をオシロスコープで確認できるように設計
  - **プロセッサとメモリ側の各端子の直近に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が確認できるようにする**
    - **DQ/DQS グループごとに、DQS に対する DQ の Skew がワーストの信号を確認できるようにする**
    - **DQ/DQS グループごとに、DQS に対する DQ の Skew が2番目にワーストになる信号を確認できるようにする**
    - **VIA でのスルーホール**

# デザインフロー：回路図の確認 (3/3)



- 以下の点に気を付ける

1. 全ての ZQPAD ピン (i.MX6 と DDRチップ) を240Ω抵抗(1%精度)を介してGNDに接続
2. DRAM\_VREFは NVCC\_DRAMの50%の電圧を供給する

- i.MX 6ULL の例

Vref入力電流が2 $\mu$ AのDRAMの個数	抵抗分割値 (2つの抵抗を使用)
2	= 1.21 k $\Omega$ 1%
2	= 1.54 k $\Omega$ 0.5%
2	= 2.32 k $\Omega$ 0.1%

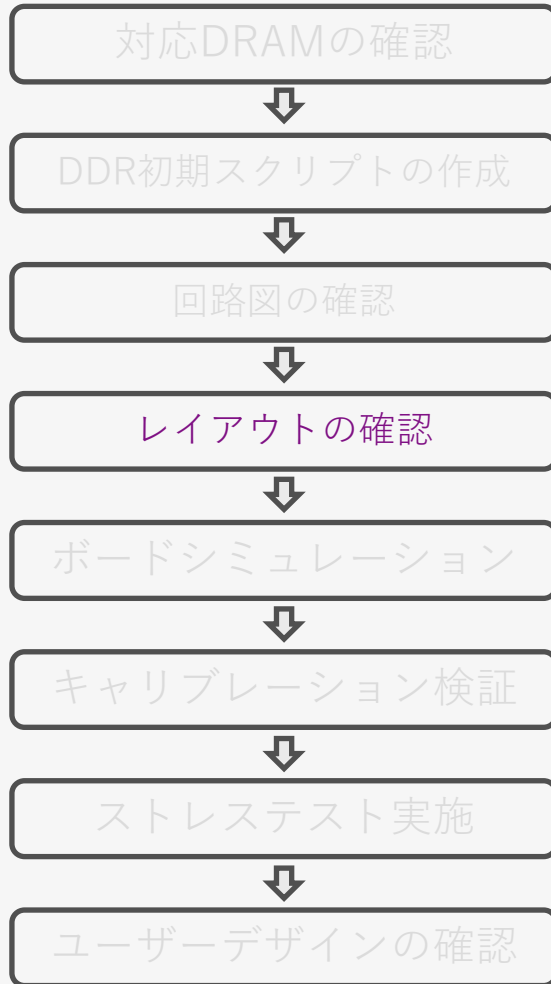
3. DRAM\_RESETは10K $\Omega$ 抵抗(5%精度)を介してGNDにプルダウンする
4. DRAM\_SDCKE0/DRAM\_SDCKE1 は個別に10K $\Omega$ 抵抗(5%精度)でGNDに接続する
  - LPDDR2 : JEDECに準拠するため
  - DDR3 : Deep-Sleep Mode や Standby Mode 時にCKEが Hi-Z状態となり、浮いた状態を回避するため。この時ボードシミュレーションでCKE信号の品質を確認する
5. 正しいLPDDR2機能が正しいI/Oに接続されていることを確認してください
  - 詳細は Reference Manual の “LPDDR2 and DDR3 pin mux mapping” を参照して下さい

# デザインフロー：レイアウトの確認 (1/2)



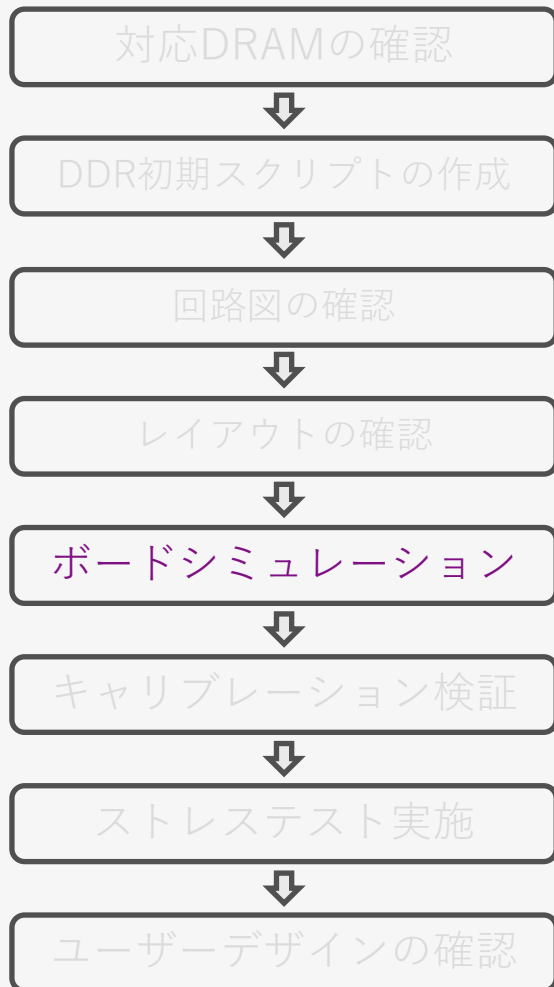
- 各プロセッサの“Hardware Development Guide”を元にレイアウトの設計をおこなう  
 (“Hardware Development Guide”の入手方法は[回路図](#)の時と同じ)
  - “Layout Recommendations”の章を確認する
    - i.MX 6ULL の場合：3. i.MX 6ULL Layout Recommendations
      - 3.4. DDR connection information
      - 3.5. Routing considerations
      - 3.6. DDR power recommendations
- レイアウト確認例
  1. 差動信号(DQS, CK信号)は100Ωのインピーダンスにコントロール、それ以外のシングルエンドの信号(Data, Addr, Cmd 信号)は50Ωにインピーダンスコントロールする
  2. 差動信号のP側とN側の配線長差は ±5mil 以下に合わせる
- 可能な限りレイアウトガイドラインよりもマージンを持って設計することを推奨

# デザインフロー：レイアウトの確認 (2/2)



- 高速伝送デザインの考察
  - [AN12298: High frequency design considerations](#)
- 評価ボードのレイアウトを参考にする
  - 評価ボード資料の見つけ方は[回路図](#)と同じ
- **最後に“Hardware Development Guide”の“Avoiding Board Bring-up Problems”を参考に何か問題があったときの対処方法がなされているか確認する**
  - 4. Avoiding Board Bring-up Problems
    - 主に問題となる3つの要素(電源、クロック、リセット)に関して対処方法が記載されている

# デザインフロー：ボードシミュレーション (1/3)



## ● 信号品質の確認

- IBISファイルを用いてボードシミュレーションをおこなう
- IBISファイルのを見つけ方：i.MX 6ULL の場合
  - ① [i.MX 6ULLのページ](#)から 設計・リソース を選択
  - ② フィルターに“IBIS”と入力
  - ③ “… IBIS …”の「ダウンロード」をクリック

NXP i.MX 6ULL Single-Core Processor with Arm® Cortex®-A7 Core

概要 製品詳細 ドキュメンテーション **設計・リソース** トレーニング サポート

購入/パラメータ パッケージ/品質

### 設計・リソース

セクションを選択:

設計・ファイル | ハードウェア | ソフトウェア | エンジニアリング・サービス

#### 設計・ファイル

NXP (2)

絞り込み

IBIS

"IBIS" × 全てクリア

1 / 2 設計文件

並び替え | 関連性 ▾

シミュレーションとモデル

**i.MX 6ULL IBIS Model files**

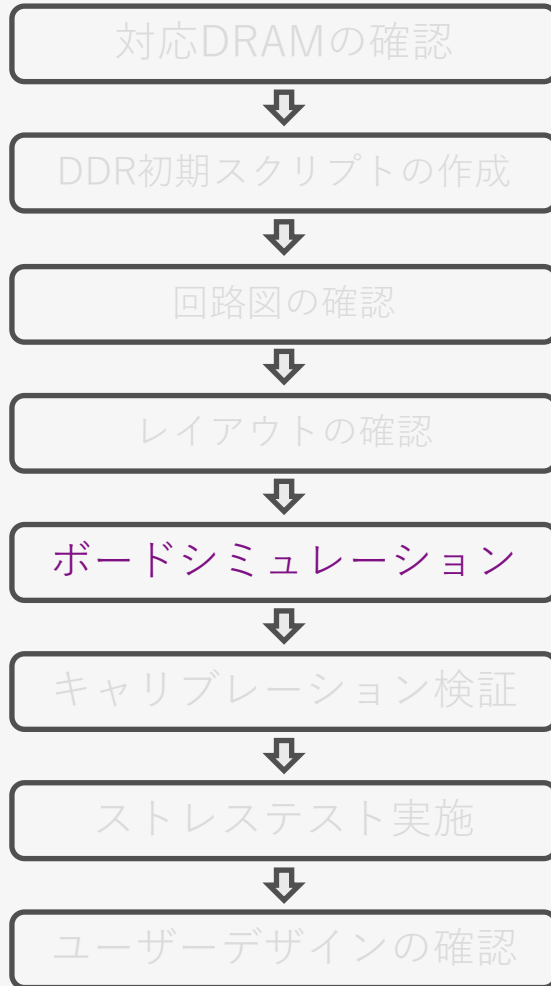
ZIP 改訂 1.0 Jan 11, 2017 13.6 MB IMX6ULL\_IBIS

ダウンロード

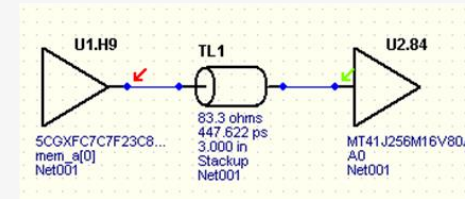
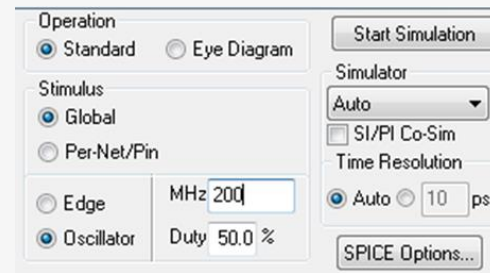
サインインが必要です



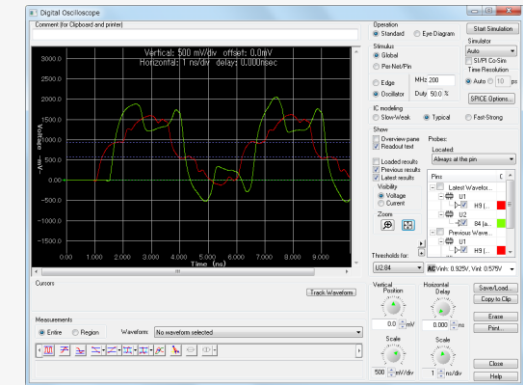
# デザインフロー：ボードシミュレーション (2/3)



- 基板パラメーターの抽出
  - レイアウトツールから基板のタイミングに関わるパラメーターを抽出する
- ボードシミュレーションツールにて、トポロジーの作成やIBISからIOピンモデルを割り当てて、波形のシミュレーションをおこなう

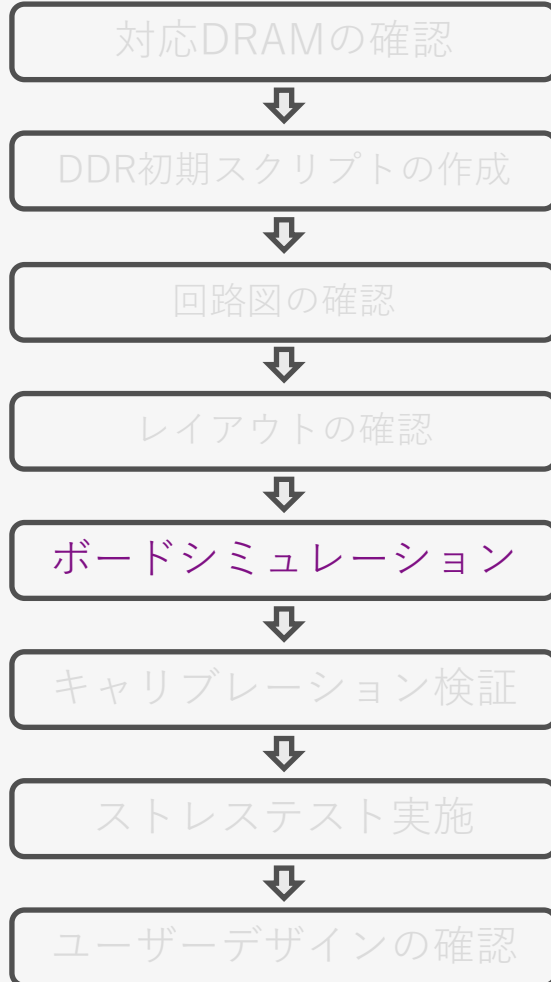


[シーメンス社の HyperLynx より引用](#)



- ボードシミュレーション時に用いるシミュレーションモデル(IBIS等)は、Max/Minの条件でシミュレーションをおこなうようにする
- 信号変異の激しい Data や DQS 信号は、観測点を Pin では無く Die にして観測する

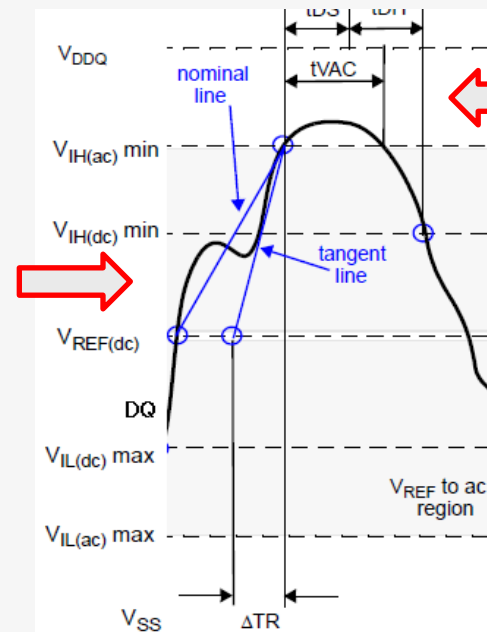
# デザインフロー：ボードシミュレーション (3/3)



## ● ボードシミュレーション結果の確認

- 概略確認：明らかに問題のない波形かどうかを確認
- 精査確認：波形を主に下記2点について精査する
  - 詳細は Appendix: [ボードシミュレーション結果の確認項目](#) を参照
    - (1) 電圧レベル：各種電圧条件に適合しているかを確認
    - (2) 遷移波形：誤動作となる様な問題ないか（特にクロックとストロブ信号）
- 波形の電圧等に明確に問題があれば改善すべき個所まで戻る

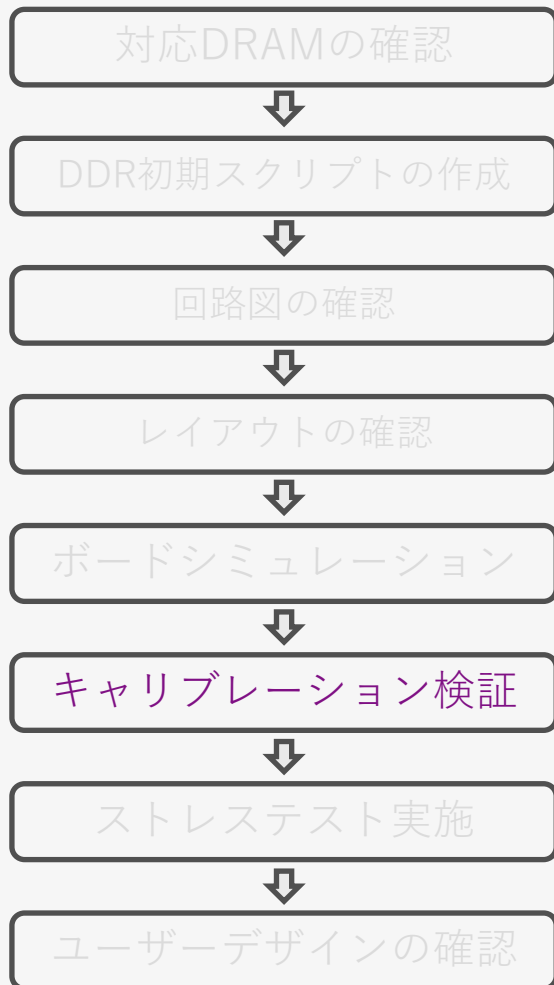
遷移時の波形に問題が無いか？  
(信号によっては誤動作要因)



電圧条件に適合しているか  
(定格や推奨条件順守、遷移前後で維持すべき範囲)

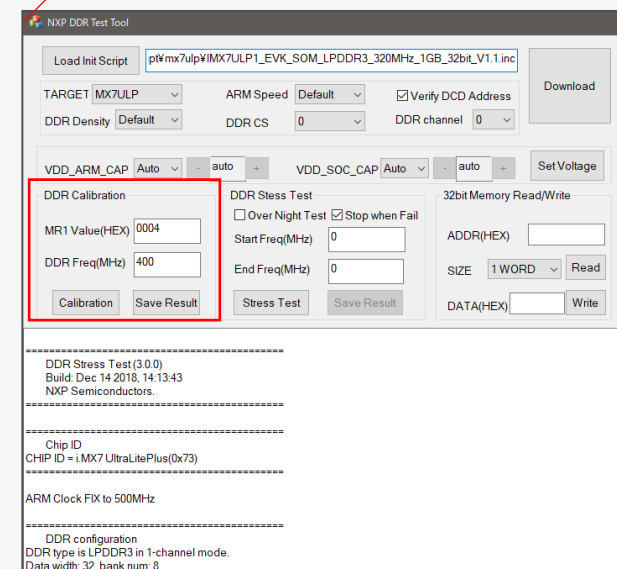
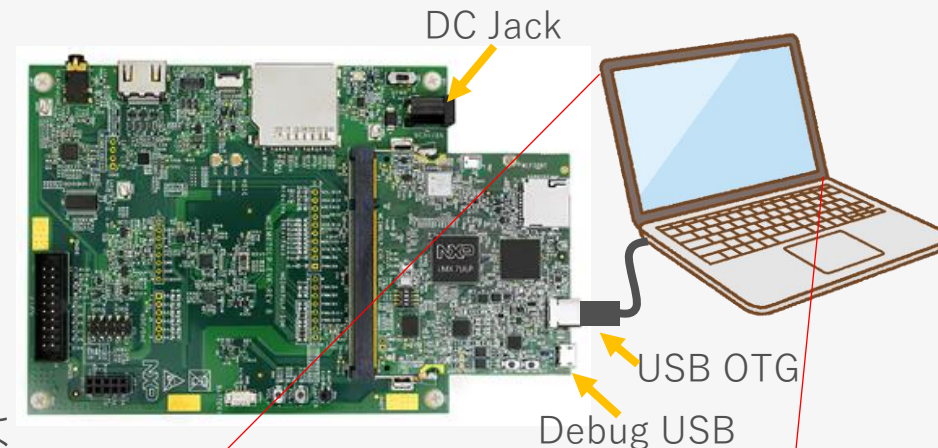
波形に問題が無いか？

# デザインフロー：キャリブレーション検証



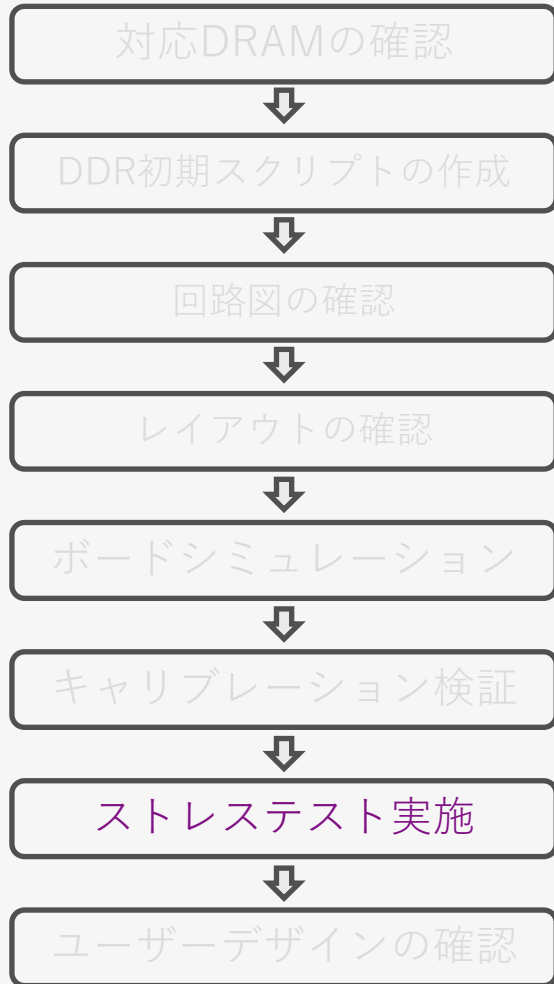
- RPAの設定値を最適化するためにDDR Stress Test ツールでキャリブレーションを実行

- ボードとPCを接続してDDR Stress Test ツールを実行
  - 具体的な使用方法は [Appendix DDR Stress Test](#) を参照
- Calibration がパスするか確認
- Calibration がパスしないときは以下の点を確認
  - 配線の接続に間違いは無いか
  - 各種信号の処理に間違いは無いか
  - 電源、クロックは正常に供給されているか
  - Drive Strength の設定はボードシミュレーションの値を反映しているか

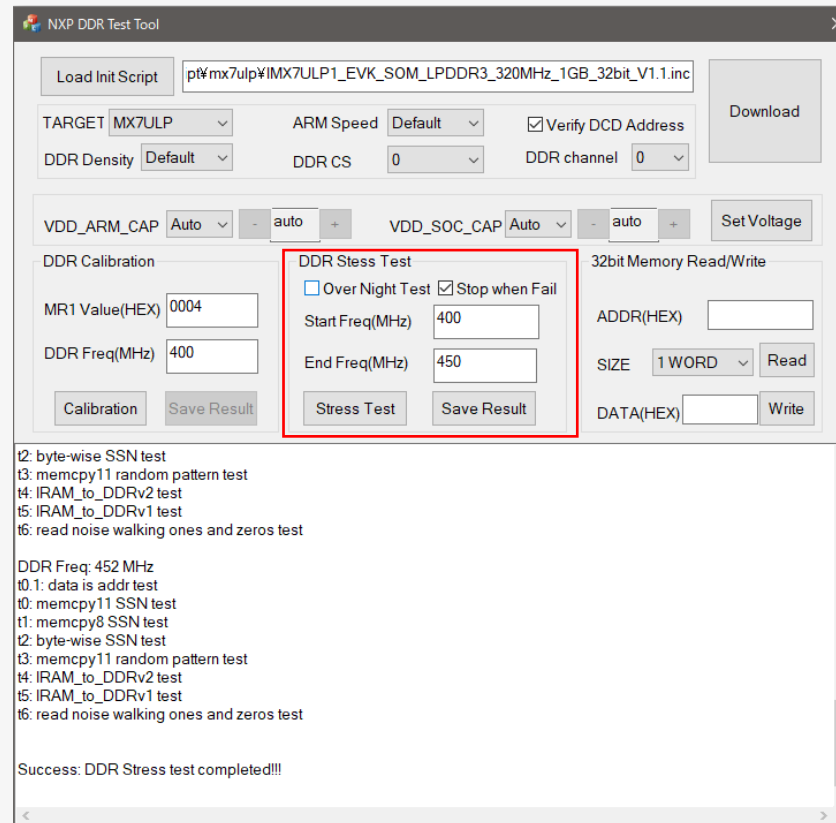


DDR Stress Test GUI ツール

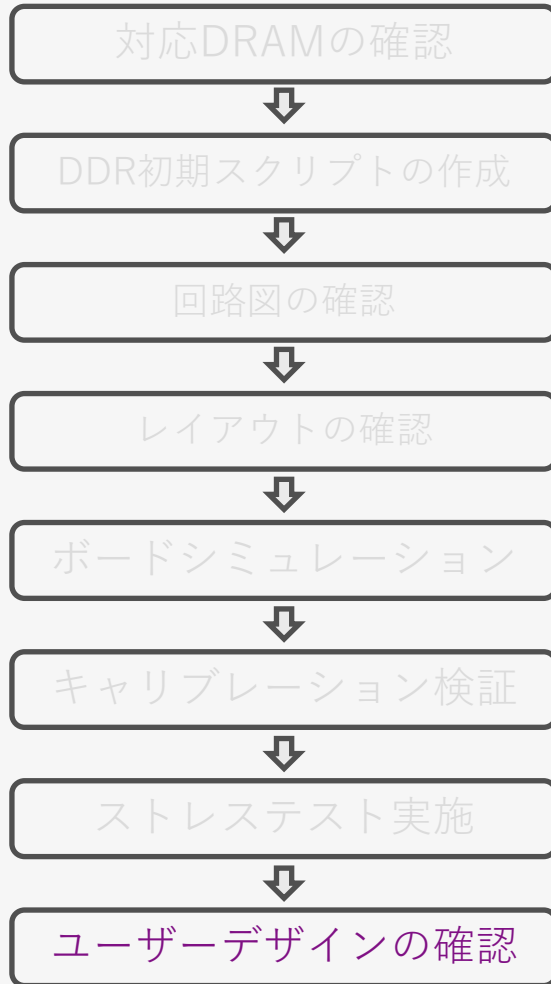
# デザインフロー：ストレステスト実施



- DDR Stress Test ツールでストレステストを実行
  - ストレステストにより様々なデータ/アドレスパターンがパスするか確認
    - 具体的な使用方法は [Appendix DDR Stress Test](#) を参照



# デザインフロー：ユーザーデザインの確認



- ユーザーデザインのコードからDDRメモリーにアクセスして動作に問題無いか確認する
- OSを実装している場合：OSのメモリー負荷プログラムを実行する
  - 例：Linux の場合 ⇒ “stress” や “memtester” コマンド

## 3. DDR デバッグフロー

# デバッグフロー

## デバッグフロー

デバイススペックの確認



電源の確認



クロック/リセットの確認



信号品質の確認



回路図の確認



キャリブレーションの確認



ストレステストの確認



ユーザーデザインの確認



動作周波数はスペック範囲内か？



電源は許容範囲内か？



クロック/リセットの波形は規定内か？



メモリー関連の信号波形は規定内か？



ガイドラインの準拠通りに処理をしたか？



キャリブレーションはパスするか？



ストレステストはパスするか？



プロトコル通りのアクセスをしているか？

## デザインフロー

対応DRAMの確認



DDR初期スクリプトの作成



回路図の確認



レイアウトの確認



ボードシミュレーション



キャリブレーション検証



ストレステスト実施



ユーザーデザインの確認

# デバッグフロー：電源、クロック/リセットの確認

## デバッグフロー

デバイススペックの確認



電源の確認



クロック/リセットの確認



信号品質の確認



回路図の確認



キャリブレーションの確認



ストレステストの確認



ユーザーデザインの確認

- 最低 5G 帯域のオシロスコープで波形を確認
  - 必ずアクティブプローブを使用
- 電源の確認
  - 動作中の VDD SOC IN, VDD ARM CAP, VDD SOC CAP, VDD HIGH IN, VDD HIGH CAP, NVCC DRAM, NVCC DRAM 2P5, DRAM VREF の電圧を測定
    - 動作条件内に収まっているか
      - オシロの積算モードで確認
      - オシロのトリガー・モードで電圧の上限値と下限値を確認
  - 電源電圧を変更
    - 動作条件の上限値、下限値で確認
- クロックを確認
  - RTC\_XTALI に 32.768 kHz が入力されているか
  - XTALI/XTALO に 24MHz が入力されているか
- リセットを確認
  - POR\_B がアクティブになる前から 24MHz や 32.768 kHz のクロックが入力されているか
  - パワーアップシーケンスを満たしているか
  - 起動に関連するすべての電圧レールがオンになるまで、POR\_B信号がアサートされたままか



# デバッグフロー：信号品質の確認

## デバッグフロー

デバイススペックの確認



電源の確認



クロック/リセットの確認



信号品質の確認



回路図の確認



キャリブレーションの確認



ストレステストの確認



ユーザーデザインの確認

- 最低 5G 帯域のオシロスコープで波形を確認
  - 必ずアクティブプローブを使用
- 信号品質の確認
  - DQ/DQS, Add/Cmd の波形を確認
    - ボードシミュレーション結果と同じ波形か
    - マージンが取れているか
- DDR Register Programming Aid では、i.MX 側と DDRメモリーの Drive Strength が変更できるので、変更して現象に違いが出るか試してみる
  - Addr, Command, Data, DQS, DM ...
    - 例：i.MX側の Data 信号の Drive Strength を変更するレジスタ

B0DS, B1DS (DRAM data byte groups)	DSE	110	00000030	000: output driver disabled 001: Weakest ... 111: Strongest	IOMUXC_SW_PAD_CTL_ PAD_DRAM_B[1:0]DS	0x020E0498  0x020E04A4	0x00000030
---------------------------------------	-----	-----	----------	--	---	------------------------------	------------

# デバッグフロー：キャリブレーションの確認

## デバッグフロー

デバイススペックの確認



電源の確認



クロック/リセットの確認



信号品質の確認



回路図の確認



キャリブレーションの確認



ストレステストの確認



ユーザーデザインの確認

- キャリブレーションがエラーとなった場合
  - どのキャリブレーションステージでエラーとなったか確認する
    - キャリブレーションは以下の4ステージ
      1. Write leveling calibration
      2. Read DQS Gating calibration
      3. Read calibration
      4. Write calibration
  - “Save Result” で結果を確認
  - 再度キャリブレーションを実施し再現性を確認
  - 複数基板を使った再現性の確認
  - 最新の RPA, DDR Stress Test ツールを使って確認
  - メモリを張り替える（優先順位：低）
  - ステージごとの確認事項でも原因が特定できない場合
    - ⇒ [P23 : デバッグフロー](#)に戻ってデバッグを進める

# デバッグフロー：ストレステスト/ユーザーデザインの確認

## デバッグフロー



- ストレステストやユーザーデザインで以下の事象が発生する場合は[信号品質の確認](#)に戻る
  - ボード依存性がある
  - 温度依存性がある
  - 電源投入後、時間経過で事象が変化する
  - モニタピンをつなぐと事象が変化する

## さいごに

- メモリーインターフェースの高速化に伴い、ボード設計の厳密化への要求が高まっており、メモリーに関する動作不具合も増加傾向にあります
- デバッグに費やす時間の短縮のため、あらかじめデバッグする手段の実装や部品ばらつきによる不安定動作を防止するためにメーカー推奨以上のマージンを確保した設計が重要となります
- 設計時間の短縮、市場への不良流出の防止のためにガイドラインを守り、不具合のない製品を最短期間で市場に投入させましょう

# 4-1. Appendix DDR Register Programming Aid

# DDR Register Programming Aid (RPA) とは

- DDR メモリーとインターフェースするための初期化スクリプトを生成する Excelベースのファイル
  - 設定できるレジスタ項目
    - IOMUX レジスタ：i.MX DDIOの Drive Strength を設定
    - MPMC レジスタ
    - DDRメモリーの Mode Register
- 主に JEDECで規定されるタイミングやDDRメモリーのパラメーターの設定に使用
  - タイミング：tRCD, tRC, tRFC ...
    - DDRメモリーベンダー提供のデータシートよりスピードグレードや容量から適切な値を選定する
  - パラメーター：Row, Column, Bank Address, Chip select
- 初期化スクリプトを自動生成
  - ARM RVD(.inc ファイル) や ARM DS5(.dsファイル) のデバッグフォーマットが生成される
- NXP社の評価ボードを元に開発
  - ユーザー開発ボードにもカスタマイズが可能
- i.MX 6/7 の RPA は [こちら](#)

**i.MX6 UL/ULL/ULZ MPMC DDR3 Configuration Spreadsheet**  
Based on NXP board

Instructions		Legend	
Shaded cells may require updating per the DRAM memory data sheet parameters. Certain registers should not need to be modified by the user. If a register is not provided then it is assumed this parameter is not to be changed per the provided initialization script. Certain registers are provided though they may be noted as recommended to not change.		On Register Configuration Tab, this color indicates the bitfields that would commonly require updating.	
		On Register Configuration Tab, this color indicates the bitfields that may be updated, but should typically not require it.	
		On Register Configuration Tab, this color indicates the bitfields that are updated automatically from settings provided in the "Device Information" table or other cells, and should not be changed manually.	Automatically Updated Setting
		On Register Configuration Tab, an unshaded cell means that the value should remain as is and should not be modified. In these cases, the settings are provided for completeness.	
		On other tabs, this color indicates the cells that are affected by changes on the Register Configuration tab.	

Device Information	
SoC type (MX6UL/ULL/ULZ)	MX6UL
Memory type:	DDR3
Manufacturer:	Micron
Memory part number:	MT41K256M16HA-125E
Density per chip select (Gb):	4
Number of Chip Selects per channel used <sup>2</sup> :	1
Total DRAM density (Gb):	4
Number of ROW Addresses <sup>3</sup> :	15
Number of COLUMN Addresses <sup>3</sup> :	10
Number of BANKS <sup>3</sup> :	8
Bus Width (16bit only):	16
Clock Cycle Freq (MHz):	400
Clock Cycle Time (ns):	2.5

1. Important: it is necessary to populate this field with the density in Gb/s as it is used later in the CS0\_END calculation. This field is calculated from the previous two fields. The user can also simply type in the total density as well in this field.  
2. Important: these fields need to be filled out correctly as these values are used later in this tool for register settings.  
3. Needed for timing calculations.

DRAM Pad Name	Field (i.e. DSE)	Binary Setting	within register	Notes	Register name	Register address (HEX)	Pad Register value (HEX)
DDRMODE	DDR_INPUT	1	00020000	DDR / CMOS Input Mode Field Select one out of next values for group: DDRMODE (Pads: DRAM_DT15:0): 0: CMOS input type 1: Differential input mode	IOMUX_SW_PAD_CTL_GRP_DDRMODE	0x020E04B0	0x00020000
DDRPKE	PKE	0	00000000	Pull / Keep Enable Field for DDR pads 0: Pull/Keep Disabled (recommended) 1: Pull/Keep Enabled	IOMUX_SW_PAD_CTL_GRP_DDRPKE	0x020E04AC	0x00000000
SDCLK_0	DDR_INPUT	0	00000000	0: CMOS mode (recommended) 1: Differential input mode	IOMUX_SW_PAD_CTL_PAD_DRAM_SDCLK0_P	0x020E027C	0x00000030
	DSE	110	00000030	000: output driver disabled 001: Weakest 111: Strongest			
CAS, RAS	DDR_INPUT	0	00000000	0: CMOS mode (recommended) 1: Differential input mode	IOMUX_SW_PAD_CTL_PAD_DRAM_CAS	0x020E0250	0x00000030
	DSE	110	00000030	000: output driver disabled 001: Weakest 111: Strongest	IOMUX_SW_PAD_CTL_PAD_DRAM_RAS	0x020E024C	

# DDR Register Programming Aid の使い方

1. DDRメモリーベンダーよりデータシートを入手する
2. RPA の “REGISTER\_CONFIGURATION” シートを開く



3. Device Information の表を埋める
4. 以下の Legend のように必要なセルに値を入力する
  - 通常、値の入力が必要なセル
  - 入力が必要かも知れないが、通常は入力の必要が無いセル
  - 自動更新されるので個別編集は必要無いセル
  - 記載されている値をそのままにしておくセル
  - 他のシートで “REGISTER\_CONFIGURATION” シートを  
変更すると更新される項目

Device Information	
SoC type (MX6UL/JUL/LJLZ):	MX6UL
Memory type:	DDR3
Manufacturer:	Micron
Memory part number:	MT41K256M16HA-12SE
Density per chip select (Gb):	4
Number of Chip Selects per channel used <sup>2</sup>	1
Total DRAM density (Gb)	4
Number of ROW Addresses <sup>2</sup>	15
Number of COLUMN Addresses <sup>2</sup>	10
Number of BANKS <sup>2</sup>	8
Bus Width (16bit only)	16
Clock Cycle Freq (MHz) <sup>3</sup>	400
Clock Cycle Time (ns)	2.5

Legend	
On Register Configuration Tab, this color indicates the bitfields that would commonly require updating.	
On Register Configuration Tab, this color indicates the bitfields that may be updated, but should typically not require it.	
On Register Configuration Tab, this color indicates the bitfields that are updated automatically from setting provided in the "Device Information" table or other cells, and should not be changed manually	<b>Automatically Updated Setting</b>
On Register Configuration Tab, an unshaded cell means that the value should remain as is and should not be modified. In these cases, the settings are provided for completeness.	
On other tabs, this color indicates the cells that are affected by changes on the Register Configuration tab.	

5. “DStream.ds file” や “RealView .inc. file” に初期化スクリプトが作成されるので  
テキストエディターにコピー&ペーストして \*.ds ファイル、\*.inc ファイルとして保存する
  - \*.ds は DStream.dsファイルとして使用することも、ブートローダーDRAMの初期化の参照として使用することもできます
    - ARM DStream development system に取り込むことが可能

# DDR Register Programming Aid の入力方法詳細 (1)

## ● Title, Device Information

How To Use

Revision History

REGISTER\_CONFIGURATION

DStream .ds file

RealView .inc file

Title が使用ファミリーに  
合っているか確認

## i.MX6 UL/ULL/ULZ MDC DDR3 Configuration Spreadsheet Based on NXP board

Instructions	Legend
<p>Shaded cells may require updating per the DRAM memory data sheet parameters. Certain registers should not need to be modified by the user. If a register is not provided then it is assumed this parameter is not to be changed per the provided initialization script. Certain registers are provided though they may be noted as recommended to not change.</p>	<p>On Register Configuration Tab, this color indicates the bitfields that would commonly require updating.</p>
	<p>On Register Configuration Tab, this color indicates the bitfields that may be updated, but should typically not require it.</p>
	<p>On Register Configuration Tab, this color indicates the bitfields that are updated automatically from setting provided in the "Device Information" table or other cells, and should not be changed manually</p> <p style="text-align: center;"><b>Automatically Updated Setting</b></p>
	<p>On Register Configuration Tab, an unshaded cell means that the value should remain as is and should not be modified. In these cases, the settings are provided for completeness.</p>
	<p>On other tabs, this color indicates the cells that are affected by changes on the Register Configuration tab.</p>

この項目には正確に記入  
してください  
多くのレジスタプログラ  
ミング値はこのセクショ  
ンに依存します

Device Information	
SoC type (MX6UL/ULL/ULZ):	MX6UL
Memory type:	DDR3
Manufacturer:	Micron
Memory part number:	MT41K256M16HA-125E
Density per chip select (Gb):	4
Number of Chip Selects per channel used <sup>2</sup>	1
Total DRAM density (Gb)	4
Number of ROW Addresses <sup>2</sup>	15
Number of COLUMN Addresses <sup>2</sup>	10
Number of BANKS <sup>2</sup>	8
Bus Width (16bit only)	16
Clock Cycle Freq (MHz) <sup>3</sup>	400
Clock Cycle Time (ns)	2.5

1. Important: it is necessary to populate this field with the density in Gbits as it is used later in the CS0\_END calculation. This field is calculated from the previous two fields. The user can also simply type in the total density as well in this field.  
2. Important, these fields need to be filled out correctly as these values are used later in this tool for register settings.  
3. Needed for timing calculations

### Revision History

See Revision History worksheet tab



# DDR Register Programming Aid の入力方法詳細 (2)

## ● Drive Strength (DSE)

How To Use

Revision History

REGISTER\_CONFIGURATION

DStream .ds file

RealView .inc file

ユーザーはプルダウン・メニューからドライブ強度を簡単に選択可能

DRAM Pad Name	Field (i.e. DSE)	Binary Setting	within register	Notes	Register name	Register address (HEX)	Pad Register value (HEX)
DDRMODE	DDR_INPUT	1	00020000	DDR / CMOS Input Mode Field Select one out of next values for group: DDRMODE (Pads: DRAM_D[15:0]). 0: CMOS input type 1: Differential input mode	IOMUXC_SW_PAD_CTL_GRP_DDRMODE	0x020E04B0	0x00020000
DDRPKE	PKE	0	00000000	Pull / Keep Enable Field for DDR pads 0: Pull/Keeper Disabled (recommended) 1: Pull/Keeper Enabled	IOMUXC_SW_PAD_CTL_GRP_DDRPKE	0x020E04AC	0x00000000
SDCLK_0	DDR_INPUT	0	00000000	0: CMOS mode (recommended) 1: Differential input mode	IOMUXC_SW_PAD_CTL_PAD_DRAM_SDCLK0_P	0x020E027C	0x00000030
	DSE	110	00000030	000: output driver disabled 001: Weakest ... 111: Strongest			
CAS, RAS	DDR_INPUT	001 010 011	00000000	0: CMOS mode (recommended) 1: Differential input mode	IOMUXC_SW_PAD_CTL_PAD_DRAM_CAS	0x020E0250	0x00000000
	DSE	100 101	00000000	000: output driver disabled 001: Weakest ... 111: Strongest	IOMUXC_SW_PAD_CTL_PAD_DRAM_RAS	0x020E024C	
		110 111		ddr_sel Field			

免責事項：NXP社では、ドライブ強度 (DSE) を60Ω以上に設定することは推奨していません  
推奨DSE設定：111b (34Ω); 110b (40Ω); 101b (48Ω)

# DDR Register Programming Aid の入力方法詳細 (3)

## ● その他の変更例

これらのセルは、前述の [Device Information] テーブルに基づいて自動的に設定されます

Device Information	
SoC type (MX6UL/ULL/ULZ):	MX6UL
Memory type:	DDR3
Manufacturer:	Micron
Memory part number:	MT41K256M16HA-125E
Density per chip select (Gb):	4
Number of Chip Selects per channel used <sup>2</sup>	1
Total DRAM density (Gb)	4
Number of ROW Addresses <sup>2</sup>	15
Number of COLUMN Addresses <sup>2</sup>	10
Number of BANKS <sup>2</sup>	8
Bus Width (16bit only)	16
Clock Cycle Freq (MHz) <sup>3</sup>	400
Clock Cycle Time (ns)	2.5

このカラーコーディングでは、DDRデータシートに基づいてこれらのセルに値を入力してください

MMDC Control Parameter	N/A	control bit setting (decimal)	within register	Notes	Register name	Register address	Register value (HEX)
SDE_0	-	1	80000000	SDE_0: Enable Chip Select 0, set to 0 (disable) or 1 (enable). Note that it is assumed that at the least, CS0 will be populated, hence this bit should remain set and not optional to clear. On MX6 series, it does not make sense to populate CS1 if only one chip select is used. In other words, if only one chip select is to be used, then use CS0.	MDCTL	0x021B0000	0x84180000
SDE_1	-	0	00000000	SDE_1: Enable Chip Select 1, set to 0 (disable) or 1 (enable). This bit is optional, based on whether or not two chip selects are populated with DRAM. If only 1 chip select populated, then this bit is cleared meaning that CS1 won't be used (and assumed CS0 is used and it's corresponding bit is set), otherwise, if two chip selects are used, then this bit should be set.			
ROW	-	4	04000000	ROW: number of ROW addresses. NOTE: this value is taken from the Device Information table above. Modify this value only in the table above.			
COL	-	1	00100000	COL: number of Column addresses. NOTE: : this value is taken from the Device Information table above. Modify this value only in the table above.			
BL	-	1	00080000	BL: Burst length. For DDR3 set to 1 for burst length 8.			
DSIZ	-	0	00000000	DSIZ: Data bus size. Note: MX6UL supports 16-bits only.			

MMDC timing parameter (DDR device timing parameter)	value from DDR data sheet (ns)	Clock Cycle or Binary Setting	within register	Notes	Register name	Register address (HEX)	Register value (HEX)
tCKE	7.5	3	00020000	tCKE - CKE minimum pulse width. Obtain this value from DDR3 data sheet. Usually this is greater of 3CK or 7.5ns.	MDPDC	0x021B0004	0x0002002D
SLOW_PD	-	0	00000000	Slow/fast power down. In DDR3 mode this field is referred to slow precharge power-down. In LPDDR2 mode this field is not relevant. NOTE: Memory should be configured the same. 0 Fast mode. 1 Slow mode.			
tCKSRX	12.5	5	00000028	tCKSRX - This field determines the amount of clock cycles before self-refresh exit. Obtain this value from DDR3 data sheet. Usually the minimum value is great of 5CK or 12.5ns.			
tCKSRE	12.5	5	00000005	tCKSRE - This field determines the amount of clock cycles after self-refresh entry. Obtain this value from DDR3 data sheet. Usually the minimum value is great of 5CK or 12.5ns.			

# DDR Register Programming Aid の入力方法詳細 (4)

## ● DDR Mode Register の設定

Mode register programming sequence Order of programming: MR2, MR3, MR1, MR0							
If CS0 populated							
DDR3 MR2 Parameter or MMDC MDSCR Parameter	N/A	control bit setting (decimal)	within register	Notes	Register name	Register address	Register value (HEX)
MR2: RTT	-	1	02000000	Dynamic ODT (RTT(WR)). 00-disable; 01-RZQ/4; 10-RZQ/2; 11-reserved (RZQ=240ohm)	MDSCR	0x021B001C	0x02008032
MR2: SRT	-	0	00000000	SRT: Self refresh temperature, set to 0 for normal operation			
MR2: ASR	-	0	00000000	ASR: Auto self refresh, set to 0 for normal operation			
MR2: CWL	-	5	00000000	CAS Write Latency. This value is taken from the MMDC tCWL parameter setting above. Do not modify this bit as it is automatically programmed.			
CON_REQ	-	1	00008000	Configuration request - set to 1 for this operation.			
WL_EN	-	0	00000000	Set to 0; not applicable to mode register programming.			
CMD	-	3	00000030	CMD: set to 0x3 for load mode register command.			
CMD_CS	-	0	00000000	Determines which chip select command is targeted to.			
CMD_BA	-	2	00000002	CMD_BA - set to 0x2 for MR2			
DDR3 MR3 Parameter or MMDC MDSCR Parameter	N/A	control bit setting (decimal)	within register	Notes	Register name	Register address	Register value (HEX)
MR3: MPR	-	0	00000000	MPR enable - set to 0 for normal operation	MDSCR	0x021B001C	0x00008033
MR3: MPR_RF	-	0	00000000	Set to 0 for normal operation			
CON_REQ	-	1	00008000	Configuration request - set to 1 for this operation.			
WL_EN	-	0	00000000	Set to 0; not applicable to mode register programming.			
CMD	-	3	00000030	CMD: set to 0x3 for load mode register command.			
CMD_CS	-	0	00000000	Determines which chip select command is targeted to.			
CMD_BA	-	3	00000003	CMD_BA - set to 0x3 for MR3			
DDR3 MR1 Parameter or MMDC MDSCR Parameter	N/A	control bit setting (decimal)	within register	Notes			
MR1: Q Off	-	0	00000000	Set to 0 for normal operation	MDSCR	0x021B001C	0x00048031
MR1: TDQS	-	0	00000000	Termination data strobe (TDQS) is a function of the x8 DDR3 SDRAM configuration; set to 0 for x16 and x32 memories			
MR1: RTT (M9)	-	0	00000000	On-die termination (ODT) resistance RTT. 000-disable; 001-RZQ/4; 010-RZQ/2; 011-RZQ/6; 100-RZQ/12; 101-RZQ/8; 110&111-reserved (RZQ=240ohm)			
MR1: RTT (M6)	-	0	00000000				
MR1: RTT (M2)	-	1	00040000				
MR1: WL	-	0	00000000	Write leveling enable - set to 0 for normal operation			
MR1: ODS (M5)	-	0	00000000	Output Drive Strength: 00-RZQ/6 (40ohm); 01-RZQ/7 (34ohm); 10&11-reserved			
MR1: ODS (M1)	-	0	00000000				
MR1: AL	-	0	00000000	AL: Additive Latency, set to 0			
MR1: DLL	-	0	00000000	DLL Enable - set to 0			
CON_REQ	-	1	00008000	Configuration request - set to 1 for this operation.			
WL_EN	-	0	00000000	Set to 0; not applicable to mode register programming.			
CMD	-	3	00000030	CMD: set to 0x3 for load mode register command.			
CMD_CS	-	0	00000000	Determines which chip select command is targeted to.			
CMD_BA	-	1	00000001	CMD_BA - set to 0x1 for MR1			

Mode Register の Word を DDR に送る  
この例では DDR3 MR1 に 0x0004を送る

MMDC 設定 bit:  
CON\_REQ: 1  
CMD: 0x3 (load mode register)  
CMD\_BA: 1 (cmd bank addr)

# DDR Register Programming Aid の入力方法詳細 (5)

無断転載禁止

## ● Calibration の設定

How To Use

Revision History

REGISTER\_CONFIGURATION

DStream .ds file

RealView .inc file

	Register name	Register address	Register value (HEX)
These parameters are determined after running calibration. The parameters provided here are from Freescale's development board and will work as initial values. Update these values after running calibration.	MPDGCTRL0 PHY0	0x021b083c	0x41490145
	MPRDDLCTL PHY0	0x021b0848	0x40404546
	MPWRDLCTL PHY0	0x021b0850	0x4040524D
These are for write leveling calibration, which is needed for fly-by board layout topology	MPWLDECTRL0 PHY0	0x021b080c	0x00000000



DDRストレステストから取得した調整値を使用してこれらのフィールドを手動で更新してください

# 初期化スクリプトファイル

- 初期化スクリプトファイルが自動生成されます

## “DStream .ds file” シート

```

1 #=====
2 #init script for i.MX6UL
3 #=====
4 # Revision History
5 # 1.1
6 #=====
7
8 #stop # needed when using DSS debugger, remove if not using a debugger
9
10 #set semihosting enabled true # needed when using DSS debugger, remove if not using a debugger
11
12 #memory 0x00B00000 0x0BFFFFFF noverif # needed when using DSS debugger, remove if not using a debugger
13
14 #=====
15 # Disable WDOG
16 #=====
17 #memory set 0x020BC000 16 0x30
18
19 #=====
20 # Enable all clocks (they are disabled by ROM code)
21 #=====
22 memory set 0x020c4068 32 0xffffffff # [CCM_CCGR0]CCM Clock Gating Register 0
23 memory set 0x020c406c 32 0xffffffff # [CCM_CCGR1]CCM Clock Gating Register 1
24 memory set 0x020c4070 32 0xffffffff # [CCM_CCGR2]CCM Clock Gating Register 2
25 memory set 0x020c4074 32 0xffffffff # [CCM_CCGR3]CCM Clock Gating Register 3
26 memory set 0x020c4078 32 0xffffffff # [CCM_CCGR4]CCM Clock Gating Register 4
27 memory set 0x020c407c 32 0xffffffff # [CCM_CCGR5]CCM Clock Gating Register 5
28 memory set 0x020c4080 32 0xffffffff # [CCM_CCGR6]CCM Clock Gating Register 6
29
30 #=====
31 # IOMUX
32 #=====
33 #DDR IO TYPE:
34 memory set 0x020E04B4 32 0x000C0000 # IOMUXC_SW_PAD_CTL_GRP_DDR_TYPE
35 memory set 0x020E04AC 32 0x00000000 # IOMUXC_SW_PAD_CTL_GRP_DDRPKE
36
37 #CLOCK:
38 memory set 0x020E027C 32 0x00000030 # IOMUXC_SW_PAD_CTL_PAD_DRAM_SDCLK0_P
39
40 #Control and Address:
41 memory set 0x020E0250 32 0x00000000 # IOMUXC_SW_PAD_CTL_PAD_DRAM_CAS
42 memory set 0x020E024C 32 0x00000000 # IOMUXC_SW_PAD_CTL_PAD_DRAM_RAS
43 memory set 0x020E0490 32 0x00000030 # IOMUXC_SW_PAD_CTL_GRP_ADDDS
44 memory set 0x020E0288 32 0x000C0030 # IOMUXC_SW_PAD_CTL_PAD_DRAM_RESET

```

## “RealView .inc file” シート

```

1 //=====
2 //init script for i.MX6UL
3 //=====
4 // Revision History
5 // 1.1
6 //=====
7
8 //wait = on // needed when using RealView Ice debugger, otherwise remove
9 //=====
10 // Disable WDOG
11 //=====
12 //setmem /16 0x020BC000 = 0x30
13
14 //=====
15 // Enable all clocks (they are disabled by ROM code)
16 //=====
17 setmem /32 0x020C4068 = 0xFFFFFFFF // [CCM_CCGR0]CCM Clock Gating Register 0
18 setmem /32 0x020C406C = 0xFFFFFFFF // [CCM_CCGR1]CCM Clock Gating Register 1
19 setmem /32 0x020C4070 = 0xFFFFFFFF // [CCM_CCGR2]CCM Clock Gating Register 2
20 setmem /32 0x020C4074 = 0xFFFFFFFF // [CCM_CCGR3]CCM Clock Gating Register 3
21 setmem /32 0x020C4078 = 0xFFFFFFFF // [CCM_CCGR4]CCM Clock Gating Register 4
22 setmem /32 0x020C407C = 0xFFFFFFFF // [CCM_CCGR5]CCM Clock Gating Register 5
23 setmem /32 0x020C4080 = 0xFFFFFFFF // [CCM_CCGR6]CCM Clock Gating Register 6
24
25 //=====
26 // IOMUX
27 //=====
28 //DDR IO TYPE:
29 setmem /32 0x020E04B4 = 0x000C0000 // IOMUXC_SW_PAD_CTL_GRP_DDR_TYPE
30 setmem /32 0x020E04AC = 0x00000000 // IOMUXC_SW_PAD_CTL_GRP_DDRPKE
31
32 //CLOCK:
33 setmem /32 0x020E027C = 0x00000030 // IOMUXC_SW_PAD_CTL_PAD_DRAM_SDCLK0_P
34
35 //Control:
36 setmem /32 0x020E0250 = 0x00000000 // IOMUXC_SW_PAD_CTL_PAD_DRAM_CAS
37 setmem /32 0x020E024C = 0x00000000 // IOMUXC_SW_PAD_CTL_PAD_DRAM_RAS
38 setmem /32 0x020E0490 = 0x00000030 // IOMUXC_SW_PAD_CTL_GRP_ADDDS
39 setmem /32 0x020E0288 = 0x000C0030 // IOMUXC_SW_PAD_CTL_PAD_DRAM_RESET
40 setmem /32 0x020E0270 = 0x00000000 // IOMUXC_SW_PAD_CTL_PAD_DRAM_SDBA2 - DSE can be configured us
41 setmem /32 0x020E0260 = 0x00000030 // IOMUXC_SW_PAD_CTL_PAD_DRAM_ODT0
42 setmem /32 0x020E0264 = 0x00000030 // IOMUXC_SW_PAD_CTL_PAD_DRAM_ODT1
43 setmem /32 0x020E04A0 = 0x00000030 // IOMUXC_SW_PAD_CTL_GRP_CILDS
44

```

これらのコマンドをテキストファイルにコピーして貼り付け  
ファイル名を <file name>.ds または <file name>.inc に変更します

# 補足：DDRに対するレジスタ設定内容の確認方法

- レジスタの内容に関してはReference Manualに記載のレジスタの記載を確認
  - PRAの” Register name” や “Register Address” から検索する

## RPA

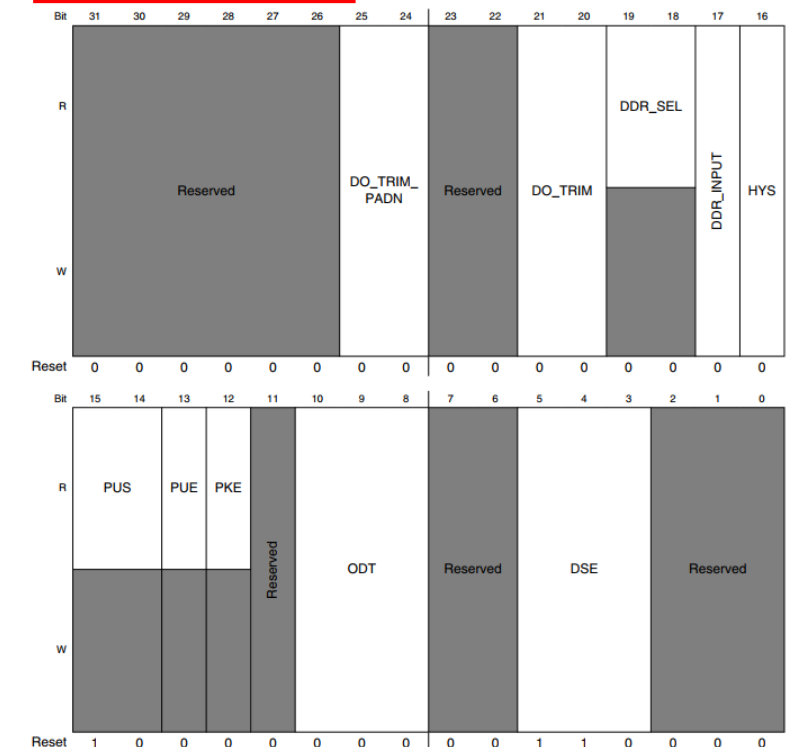
DRAM Pad Name	Field (i.e. DSE)	Binary Setting	within register	Notes	Register name	Register address (HEX)	Pad Register value (HEX)
DDRMODE	DDR_INPUT	1	00020000	DDR / CMOS Input Mode Field Select one out of next values for group: DDRMODE (Pads: DRAM_D[15:0]). 0: CMOS input type 1: Differential input mode	IOMUXC_SW_PAD_CTL_GRP_DDRMODE	0x020E04B0	0x00020000
DDRPKE	PKE	0	00000000	Pull / Keep Enable Field for DDR pads 0: Pull/Keeper Disabled (recommended) 1: Pull/Keeper Enabled	IOMUXC_SW_PAD_CTL_GRP_DDRPKE	0x020E04AC	0x00000000
SDCLK_0	DDR_INPUT	0	00000000	0: CMOS mode (recommended) 1: Differential input mode	IOMUXC_SW_PAD_CTL_PAD_DRAM_SDCLK0_P	0x020E027C	0x00000030
	DSE	110	00000030	000: output driver disabled 001: Weakest .... 111: Strongest			

## Reference Manual

### 32.6.143 SW\_PAD\_CTL\_PAD\_DRAM\_SDCLK0\_P SW PAD Control Register (IOMUXC\_SW\_PAD\_CTL\_PAD\_DRAM\_SDCLK0\_P)

SW\_PAD\_CTL Register

Address: 20E\_0000h base + 27Ch offset = 20E\_027Ch

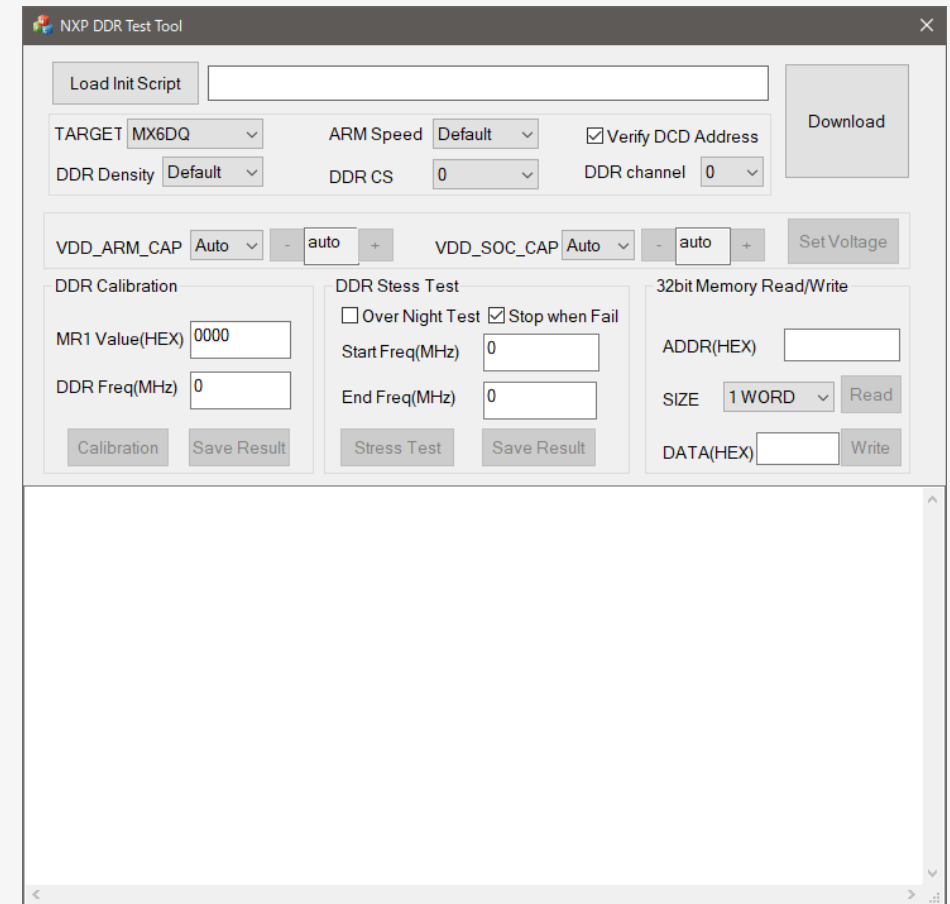


## 4-2. Appendix DDR Stress Test



# DDR Stress Test Tool 概要

- 設定した各種パラメーターがどの程度堅牢性を持っているか確認するツール
  - RPAで設定した、Drive Strength やタイミング、ボード情報の确实性の確認
  - OSが必要ないToolのため、OSに実装前にDDRインターフェースの信号品質を確認できる
  - 主に連続データをシーケンシャルにバースト転送して同時スイッチング・ノイズ (SSN) の検出に使用
- 設定可能な項目
  - DDR Calibration のTest
  - VDD\_ARM\_CAP や VDD\_SOC\_CAP の電圧を変更できる
  - Stress Test :
    - 周波数の変更 (Start Freq/End Freq)
    - 連続負荷テストの実行(Over Night Test)
- 3種類の実行方法を用意
  - ① i.MX の USB OTG ポート経由でホストPCのUSBに接続し、GUIツールから実行
  - ② JTAGバージョン(elf)によるシリアルターミナルでの実行
  - ③ Binary バージョン(bin)による u-boot からの実行





# OS 搭載のメモリテストとの違い

- DDRストレステストが十分な余裕を持って合格したら、DDRの問題が原因でOSが失敗しないことが保証できるか？
  - 信頼度の高いDDRストレステストは十分に堅牢です、しかし、、、
  - OSは依然として最もストレスの多いプログラムであり、特にLinuxカーネルの圧縮解除を行うmemtester や u-boot などの OS ストレステストを実行することをお勧めします
  - OSストレステストを実行してダブルチェックすることをお勧めします




DDR Stress Test	OS stress test (例 memtester)
DDR周波数の最大値を超えた実行が可能	固定の周波数で実行
シングルタスク、軽量 (他のプログラムは実行されない)	OSの下で実行され、多くのプログラムが実行されるため、より多くのシステムストレスとなる
OCRAMから実行されるため、簡単にDDRエラー(データエラー)のチェックが可能	DDRから実行されるため、解析が困難になる場合がある(データエラーまたはコードのロックアップが発生する可能性がある)

# DDR Stress Test Tool ダウンロードURL

- DDR Stress Test Tool ダウンロード URL は [こちら](#)

- スクリプトフォルダーにあるDDR初期化スクリプトは、さまざまなi.MXデバイス用のサンプルスクリプトです
- スクリプトを参照し、ボード用のカスタムスクリプトを作成することをお勧めします

**添付**

[ddr\\_stress\\_tester\\_jtag\\_v3.00\\_setup.exe.zip](#)   
[ddr\\_stress\\_tester\\_uboot\\_v3.00\\_setup.exe.zip](#)   
[ddr\\_stress\\_tester\\_v3.00\\_setup.exe.zip](#) 

“添付”の欄から Tool をダウンロード

- ddr\_stress\_test\_v3.00
- ddr\_stress\_tester\_jtag\_v3.00
- ddr\_stress\_tester\_uboot\_v3.00

- bin
- log
- script
- DDR\_Tester.exe
- LA\_OPT\_Base\_License.html
- SCR-ddr\_stress\_tester\_v3.0.0.txt

- mx6dl
- mx6dq
- mx6sl
- mx6sll
- mx6sx
- mx6ul
- mx6ull
- mx7d
- mx7ulp
- readme.txt

GUI ツール & USB接続版

- add\_uart\_support\_in\_script.txt
- ddr-test-uboot-jtag-mx6dl.elf
- ddr-test-uboot-jtag-mx6dq.elf
- ddr-test-uboot-jtag-mx6sl.elf
- ddr-test-uboot-jtag-mx6sll.elf
- ddr-test-uboot-jtag-mx6sx.elf
- ddr-test-uboot-jtag-mx6ul.elf
- ddr-test-uboot-jtag-mx6ull.elf
- ddr-test-uboot-jtag-mx7d.elf
- LA\_OPT\_Base\_License.html
- SCR-ddr\_stress\_tester\_jtag\_v3.0.0.txt

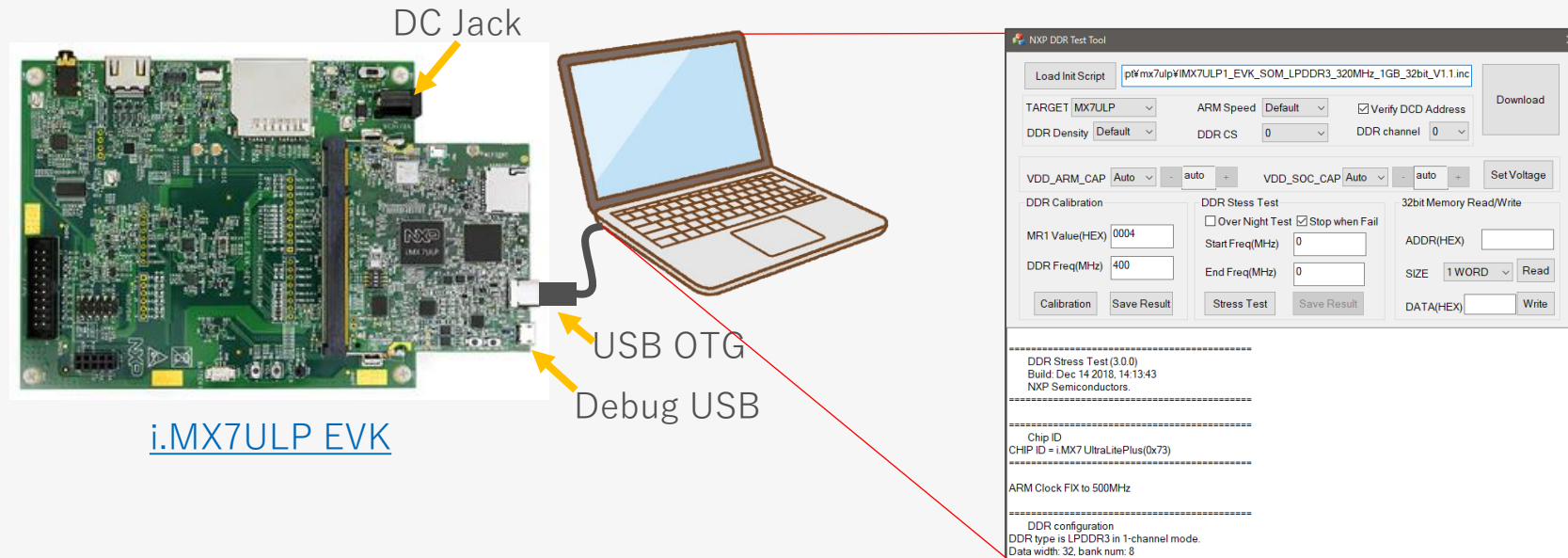
JTAG デバッガー版 (elf ファイル)

- ddr-test-uboot-jtag-mx6dl.bin
- ddr-test-uboot-jtag-mx6dq.bin
- ddr-test-uboot-jtag-mx6sl.bin
- ddr-test-uboot-jtag-mx6sll.bin
- ddr-test-uboot-jtag-mx6sx.bin
- ddr-test-uboot-jtag-mx6ul.bin
- ddr-test-uboot-jtag-mx6ull.bin
- ddr-test-uboot-jtag-mx7d.bin
- LA\_OPT\_Base\_License.html
- SCR-ddr\_stress\_tester\_uboot\_v3.0.0.txt

U-boot 版 (binary ファイル)

# GUIツール & USB接続版

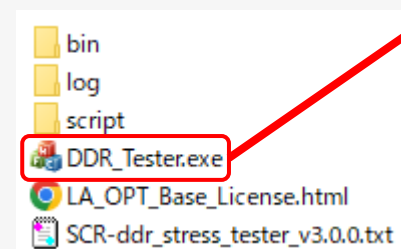
- i.MX の USB OTG ポート経由でホストPCのUSBに接続
- DDR\_Tester.exe を実行すると GUI Tool が立ち上がる



i.MX7ULP EVK

USB OTG  
Debug USB

GUI Tool



# GUIツール使用方法：初期化スクリプトのダウンロード

無断転載禁止

① DDR初期化スクリプトを選択 (\*.inc)

② ターゲットデバイスの選択

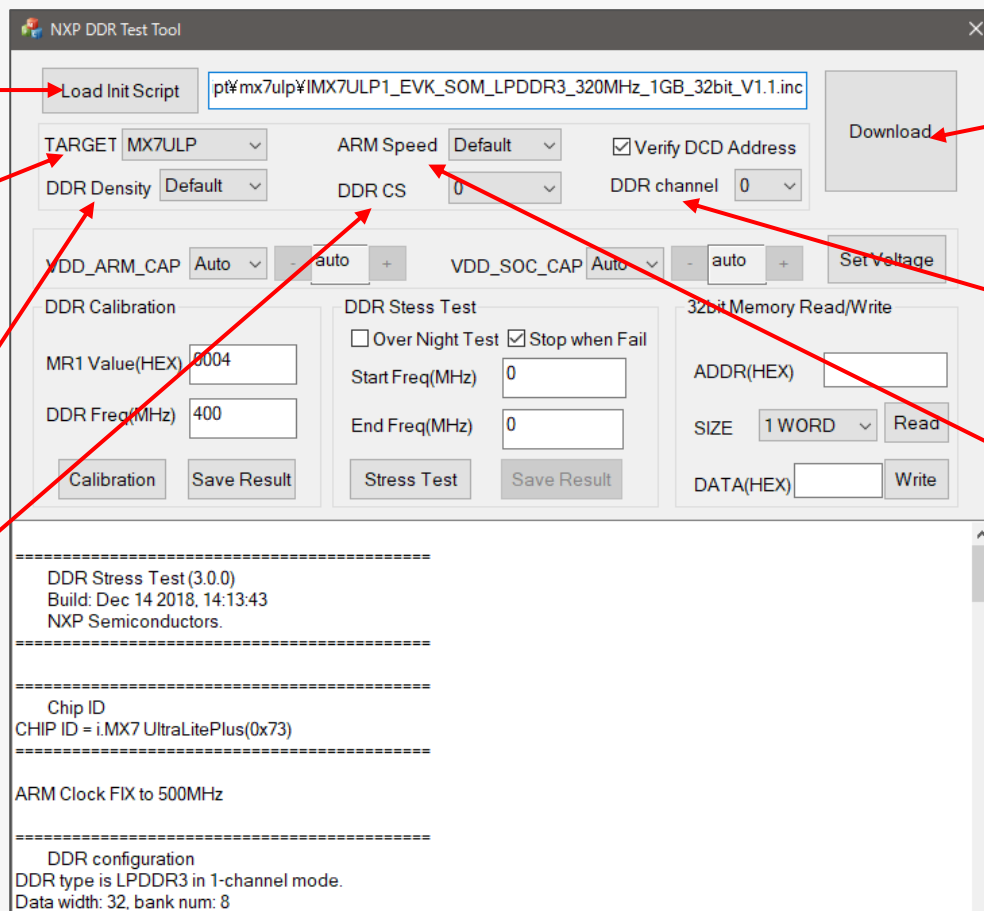
③ “DDR Density” は Default を推奨  
Density の情報は初期化スクリプトから得ます

④ テストする Chip Select 番号を選択

⑦ 初期化スクリプト①とターゲットデバイスの選択②を設定をおこなったならば “Download” をクリック

⑥ DDRコントローラーのチャンネル番号を選択

⑤ ARM 動作周波数を選択  
プルダウンに無い周波数の場合は “Default” を選択する



# GUIツール使用方法：電圧選択オプション

電圧の選択オプションは“Auto”か“Manual”が選べます  
 “Manual”ではユーザーが電圧を調整できますが、データシートのスペックに従う必要があります(下記参照)

“Manual”を設定した場合、その電圧値を反映させるためにクリックする

VDD_ARM_CAP	A7 core at 900 MHz	1.25	1.275	1.3	V	—
	A7 core at 528 MHz	1.15	—	1.3		
	A7 core at 396 MHz	1.00	—	1.3		
	A7 core at 198 MHz	0.925	—	1.3		
VDD_SOC_CAP	A7 core at 900 MHz	1.225	—	1.3	V	—
	A7 core at 528 MHz and below	1.15	—	1.3		

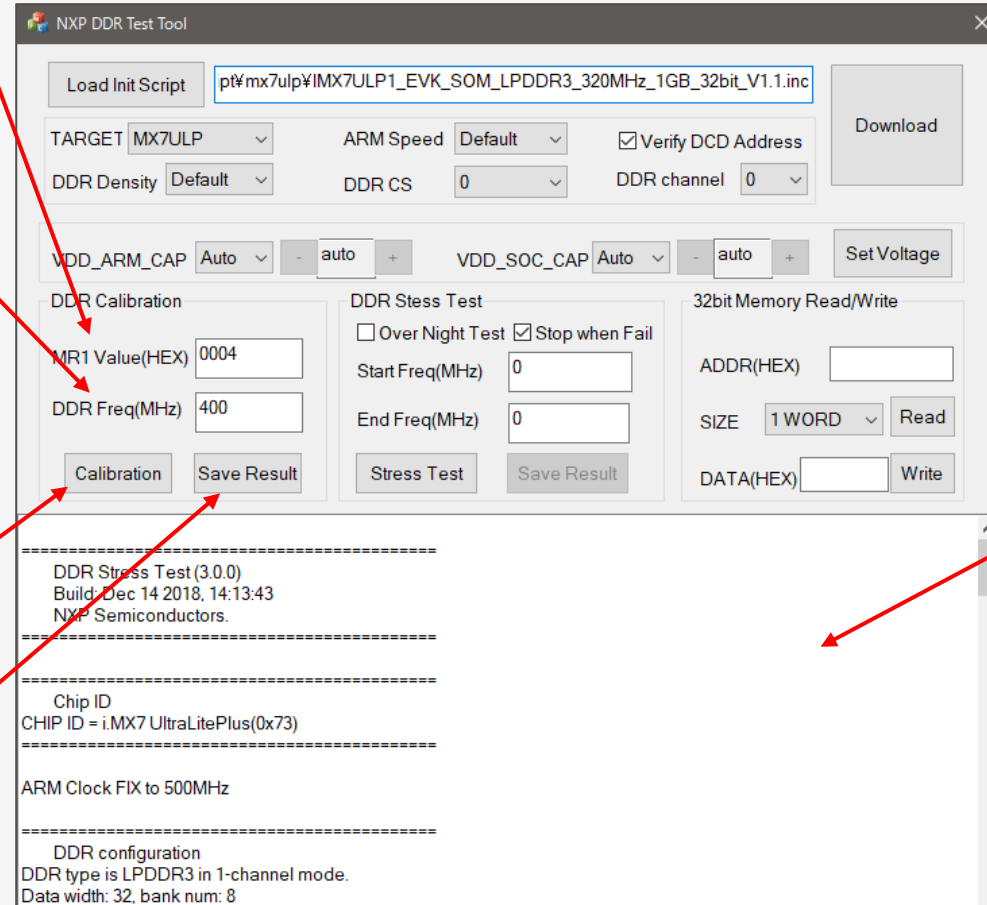
# GUIツール使用方法：DDR Calibration

① MR1 の値を設定 (例 : 0004)

② DDRインターフェースの周波数を設定

③ Calibration の実行

④ 結果をログファイルとして保存



⑤ Calibration の結果をコピーして、RPAで設定して初期化スクリプトに反映させる

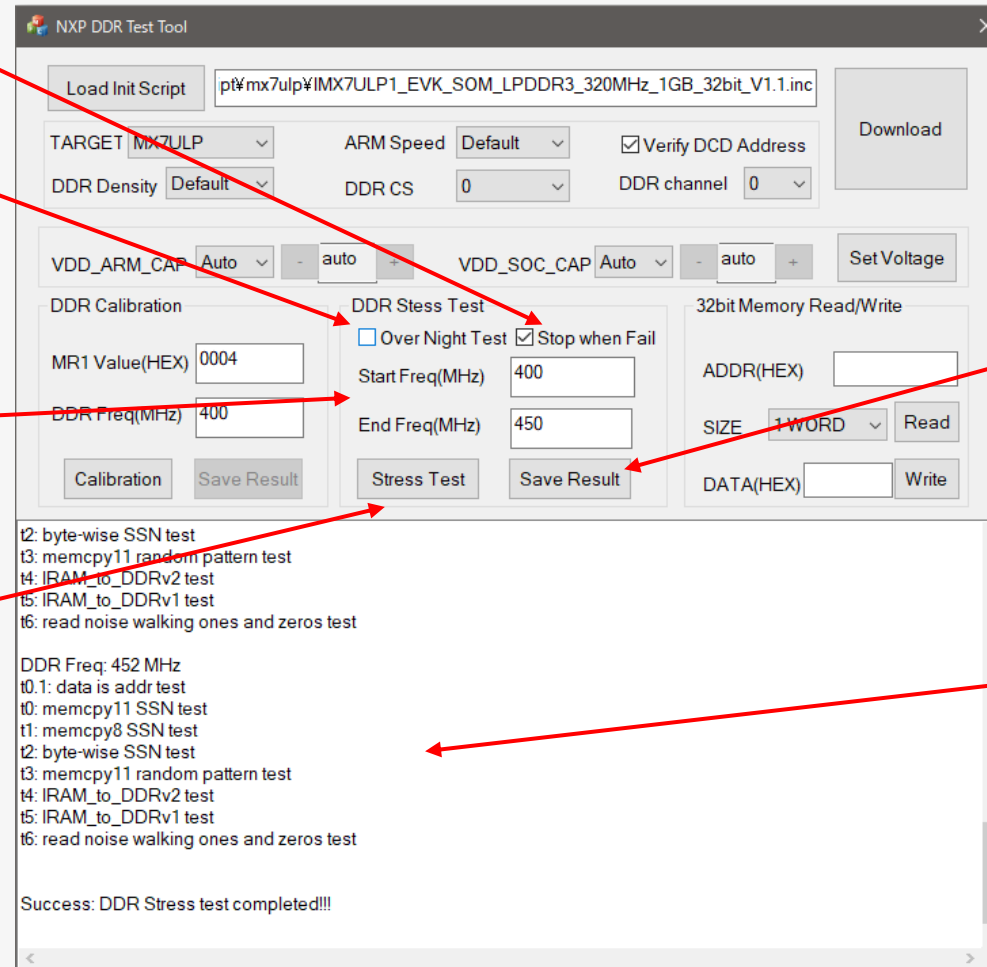
# GUIツール使用方法：DDR Stress Test

Stop when Fail : Fail するまでテスト実行

Over Night Test : 無限にテスト実行

開始と終了の周波数の設定  
この設定内で段階的に周波数を変更して  
Stress Test を実行する  
推奨は 400MHz - 450MHz

Stress Test の実行



結果をログファイルとして保存

Stress Test の結果 (周波数やテスト項目) を表示  
Over Night Test を選択して実行している場合は繰り返し表示されます



# GUIツール使用方法：32bit Memory Read Write

アドレスの入力(HEX)

Write したい値を入力(HEX)  
“Write”ボタンのクリックで設定したアドレスにデータが書き込まれる

“Write”ボタンのクリックで出力

Success: DDR Stress test completed!!!!  
addr=0x80000000,data=0xA5A5A5A5

Success to write address 0x80000000

	0x0	0x4	0x8	0xC
0x80000000:	0xA5A5A5A5	0x0ECA8642	0x962FC963	0x1D950C84
0x80000010:	0xA4FA4FA5	0x2C5F92C6	0xB3C4D5E7	0x3B2A1908
0x80000020:	0xC28F5C29	0x49F49F4A	0xD159E26B	0x58BF258C
0x80000030:	0xE02468AD	0x6789ABCE	0xEEEEEEEF	0x76543210
0x80000040:	0xFDB97531	0x851EB852	0x0C83FB73	0x93E93E94
0x80000050:	0x1B4E81B5	0xA2B3C4D6	0x2A1907F7	0xB17E4B18
0x80000060:	0x38E38E39	0xC048D15A	0x47AE147B	0xCF13579C
0x80000070:	0x56789ABD	0xDDDDDDDE	0x654320FF	0xECA86420

memory read is done

Read したい WORD の単位を設定 (32bit)  
1 ~ 32 WORD まで設定可能

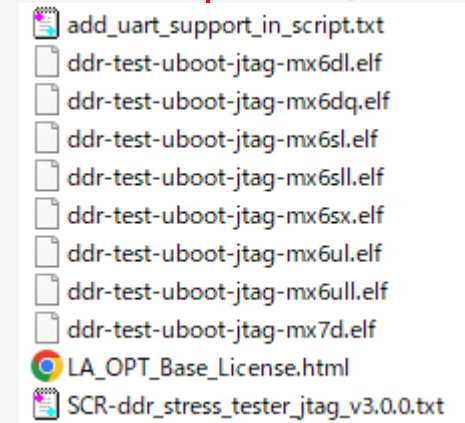
“Read”ボタンのクリックで設定した WORD 数でデータが Read される

“Read”ボタンのクリックで出力



# JTAG デバッガー版 (elf ファイル)

- JTAG デバッガーを利用して DDR初期化スクリプトを実効し  
ストレステストをダウンロード/実行する
  - UART を介したシリアル端末(TeraTerm など) で接続する
- 1つの elf ファイルが異なる UART インスタンスと IOMUX オプションを  
サポート
  - 異なる elf ファイルを構築する必要は無し
  - UART インスタンスと IOMUX オプションが DDR 初期化スクリプトから読み込まれる
  - このためユーザーは必要な UART オプションを DDR 初期化スクリプトに手動で追加する必要がある
  - デフォルトではストレステストは UART1 を使用する
- 異なる UART を選択するために DDR 初期化スクリプトに追加が必要な事
  - 必要な UART のゲートクロックを解除する(ほとんどのスクリプトは、すべての周辺機器へのクロックのゲートを解除しているので、これはすでにおこなわれています)
  - 必要な IOMUX ピンを構成する
  - 必要な UART を有効にする: UART [n] \_UCR1 に UART\_EN を設定 (n=必要な UART インスタンス)
    - i.MX 6UL の場合、UART1 と UART2 を必ず無効にする (UART\_EN=0) 必要な UART がない場合、ROMによって有効にされる
- 次頁の例を参照



# JTAG デバッガー版(elf ファイル)

- DDR 初期化スクリプトに必要な UART を追加する例
  - UART インスタンス: UART4, base address 0x021F0000
  - IOMUX オプション: UART4\_RX\_DATA と UART4\_TX\_DATA ピンを使用 (muxオプション ALTO)

```
/*=====
// Enable all clocks (they are disabled by ROM code)
/*=====
setmem /32 0x020c4068 = 0xffffffff
setmem /32 0x020c406c = 0xffffffff
setmem /32 0x020c4070 = 0xffffffff
setmem /32 0x020c4074 = 0xffffffff
setmem /32 0x020c4078 = 0xffffffff
setmem /32 0x020c407c = 0xffffffff
setmem /32 0x020c4080 = 0xffffffff

* * * Drive strength and MMDC programming stuff here * * *

// UART4 set up for DDR Stress Test
// Clock gating register (CGR) already taken care of above, all clocks including UART4 enable

// Configure IOMUX option for UART4 for UART4_RX_DATA and UART4_TX_DATA
setmem /32 0x020E00B4 = 0x00000000 // IOMUXC_SW_MUX_CTL_PAD_UART4_TX_DATA, MUX_MODE: ALTO
setmem /32 0x020E00B8 = 0x00000000 // IOMUXC_SW_MUX_CTL_PAD_UART4_RX_DATA, MUX_MODE: ALTO
setmem /32 0x020E063C = 0x00000000 // IOMUXC_UART4_RX_DATA_SELECT_INPUT, DAISY: 01, UART4_RX_DATA for Mode: ALTO

// Disable unused UART1 and UART2 that are enable by ROM
setmem /32 0x02020080 = 0x00000000 // UART1_UCR1[UART_EN] = 0
setmem /32 0x021E8080 = 0x00000000 // UART2_UCR1[UART_EN] = 0

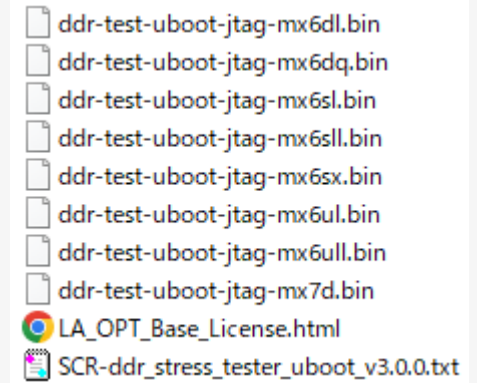
// Enable UART4
setmem /32 0x021F0080 = 0x00000001 // UART2_UCR1[UART_EN] = 1
```

# U-boot 版 (binary ファイル)

- u-bootおよび推奨される使用方法での実行

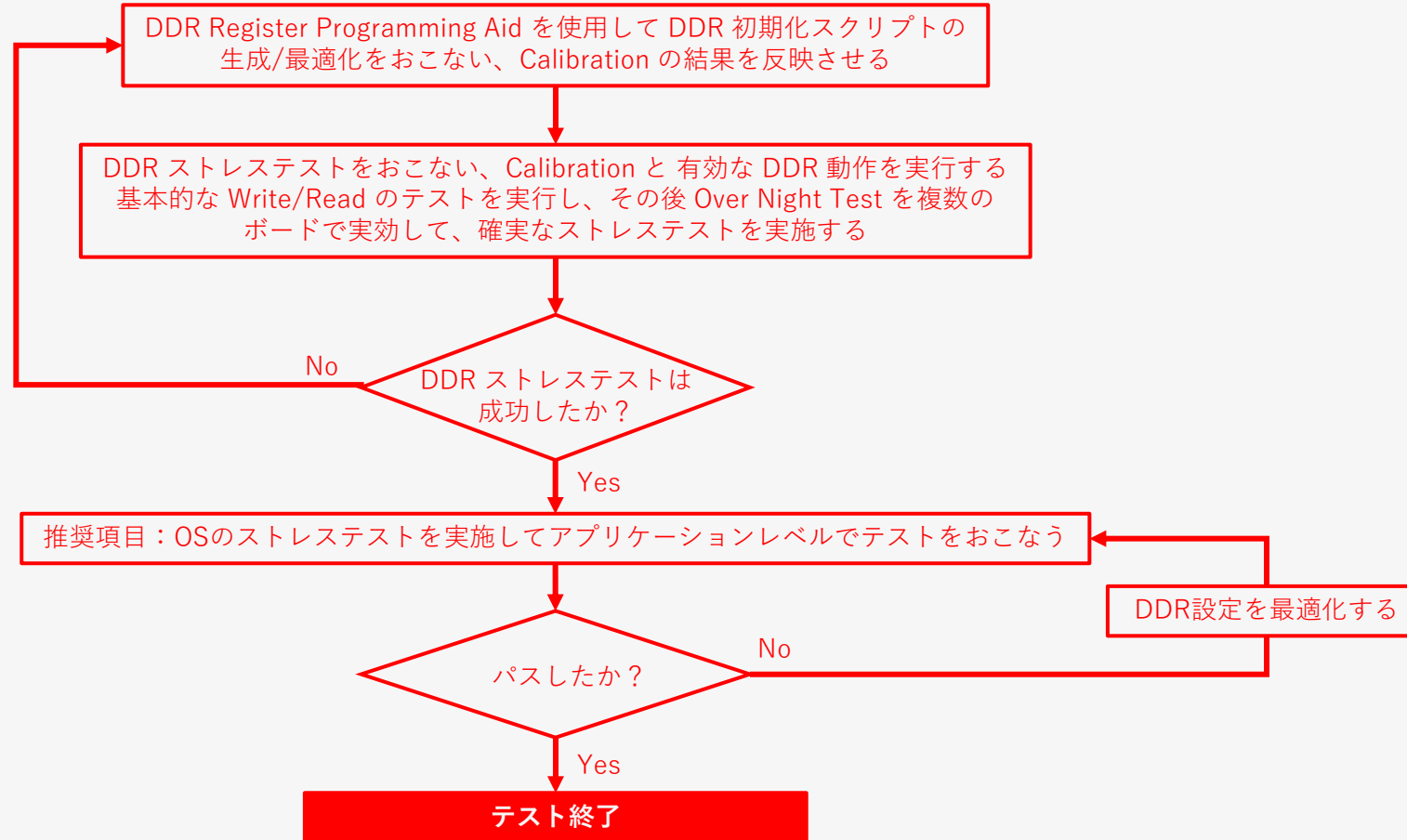
- U-boot での実行

- ddr-test-uboot-jtag-muXXX.bin を SD カードにコピー
- ‘fatload’ u-boot コマンドを使用して内部RAMにロードする  
ただし、DDRストレステストでキャッシュを再設定/再有効化するため、最初にキャッシュを無効にすることを推奨
- 例：  
u-boot> dcache off  
u-boot> icacheoff  
u-boot> fatload mmc 1:1 0x00907000 ddr-test-uboot-jtag-mx6ul.bin  
u-boot> go 0x00907000



# DDR ストレステスト フローチャート

- どの方法(GUI、JTAG、u-boot)を使用してストレス・テストを実行するかにかかわらず以下のフローチャートはストレス・テストで推奨されるフローを示しています

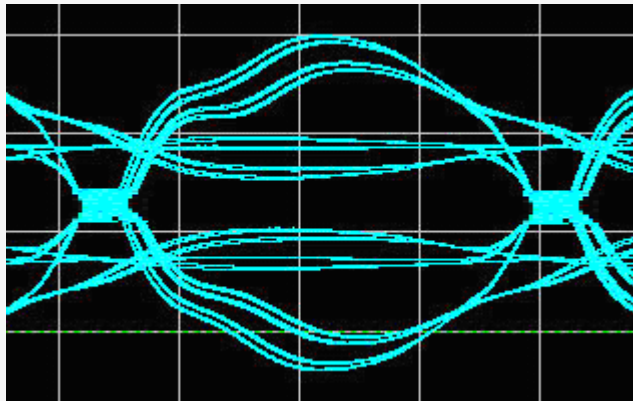


## 4-3. Appendix

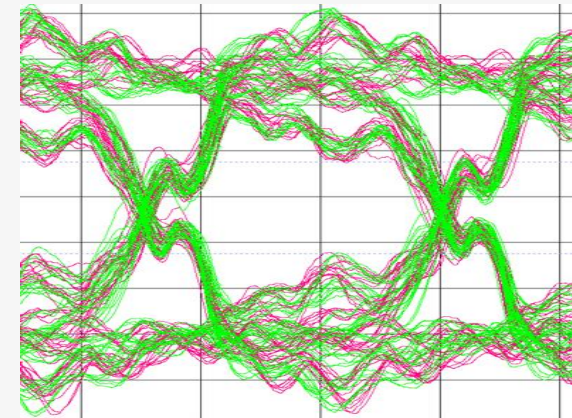
# ボードシミュレーション結果の確認項目

# ボードシミュレーション結果の概略確認：明らかにおかしい波形の例

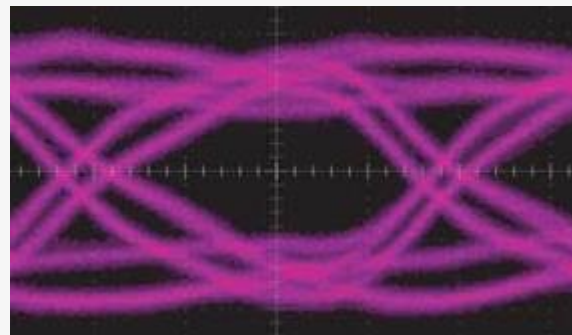
- ボードシミュレーション結果の確認
  - 明らかにおかしい波形：アイがつぶれている、波形の乱れ(リングング、階段)が激しい、等



例1: アイが上下方向でつぶれている  
(High/Low の電圧が要求を満たさない疑い)



例2: リンギングが激しい、立ち上がり時に  
しきい値付近でリングバックしている  
(クロック/ストロークでは不可の可能性)



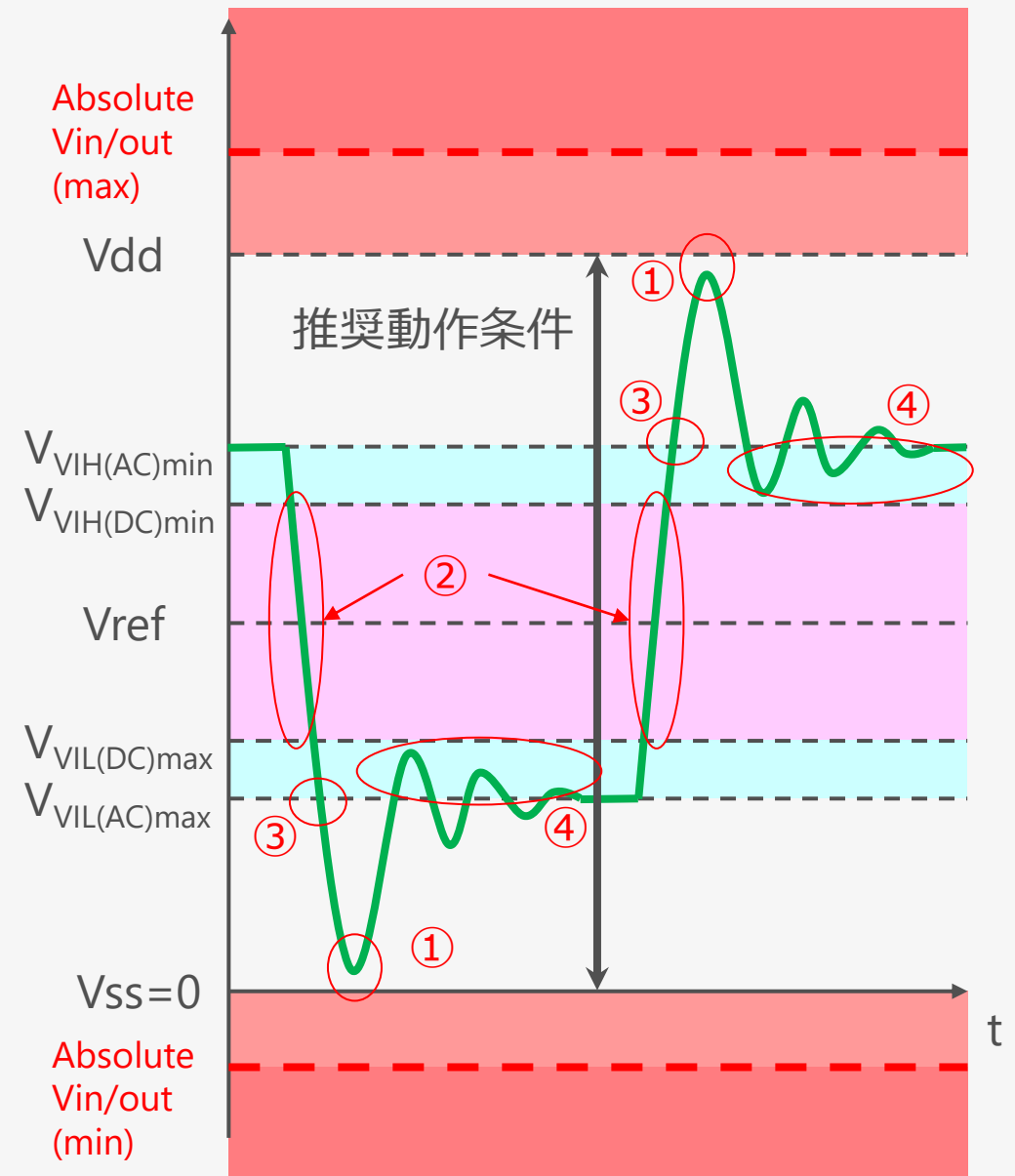
例3: スルーレートが小さい  
(左右(時間方向)のつぶれ、  
クロックでは要求仕様違反の可能性)

# ボードシミュレーション結果の詳細確認：(1) 電圧レベルの確認

## ● 電圧レベルの確認：

### 各種電圧条件に適合しているかを確認

- 推奨動作条件(および絶対最大定格)を満たしているか
  - ① 遷移後のオーバーシュートに注意
- 論理値確定期間(High 期間、Low 期間)を波形と規定値から決め、その期間中一定範囲にあること
  - ② 遷移中、Vref 前後の領域をまたぐこと
  - ③ 遷移後、論理値確定とみなすために VIH/VIL(AC) に達すること
    - ・ 信号の傾きによるディレーティングは別途考慮する
  - ④ 一度、VIH/VIL(AC) に達した後は次の遷移までは VIH/VIL(DC) をまたがない領域に維持すること
    - ・ Address/Command, Data 信号について、またいでしまう場合はタイミングマージンが減少してしまう
    - ・ クロック・ストロブ(DQS) について、またいでしまう場合は誤動作のリスクが生じる(次スライドも参照ください)

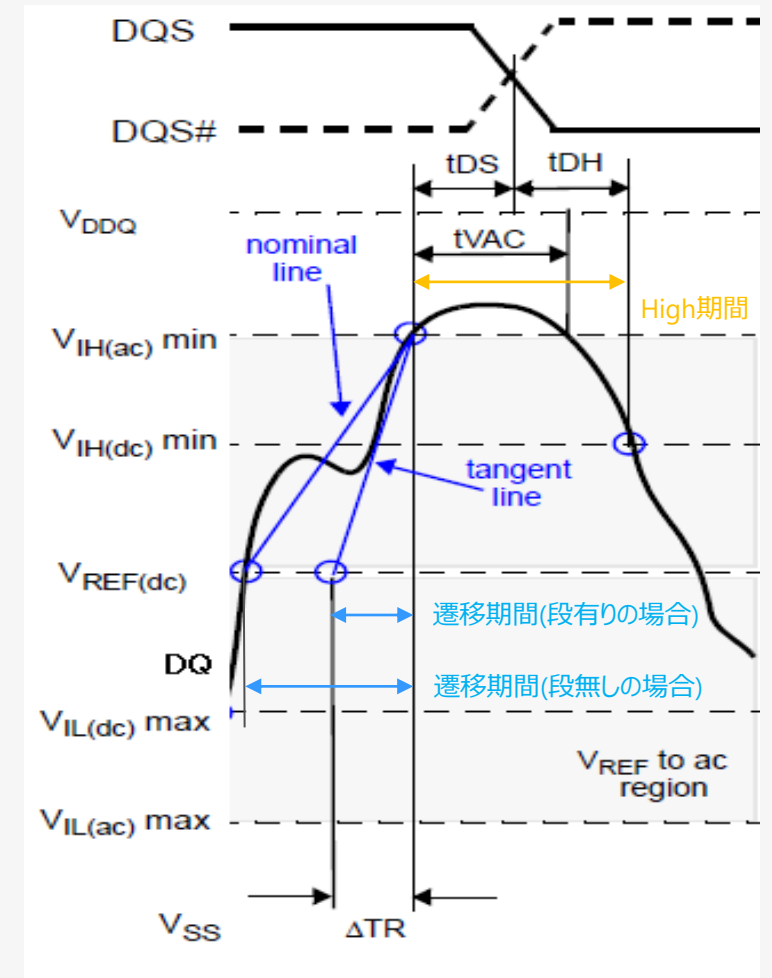


# ボードシミュレーション結果の詳細確認：(2) 遷移波形と傾きの確認

## ● 遷移波形と傾きの確認：

### 特にクロックとストローク信号では厳密に見る事

- 遷移波形：リングングやディップと呼ばれる階段～揺り戻し状の波形は大きさによっては誤動作の要因となる
  - 内部で論理反転として認識されてしまうと誤動作の原因となる
  - アドレス・データ信号では前スライドでの判断が良い
- 傾き：極端に傾きがなだらかになっていないか確認
  - クロックとストローク信号はなだらかだとタイミングのマージンに影響を及ぼすので標準値の傾きになるようにする
    - DDR2/3 では  $1V/ns$  が標準値の傾き





## 4-4. Appendix i.MX 6/7シリーズと対応DRAM

## ● i.MX 6/7シリーズと対応DRAM

ファミリ	シリーズ	対応DRAM, bit幅	周波数
i.MX6	<a href="#">i.MX 6ULZ</a>	1 x 16bit LPDDR2 or 1 x 16bit DDR3/DDR3L	Max 400MHz
	<a href="#">i.MX 6ULL</a>		
	<a href="#">i.MX 6UltraLite</a>		
	<a href="#">i.MX 6SLL</a>	1 x 32bit LPDDR2 or 1 x 32bit DDR3/DDR3L	
	<a href="#">i.MX 6SoloLite</a>		
	<a href="#">i.MX 6SoloX</a>		
	<a href="#">i.MX 6Solo</a>		
	<a href="#">i.MX 6DualLite</a>	2 x 32bit LPDDR2 or 1 x 64bit DDR3/DDR3L	Max 528MHz
	<a href="#">i.MX 6Dual</a>		
	<a href="#">i.MX 6DualPlus</a>		
	<a href="#">i.MX 6Quad</a>		
	<a href="#">i.MX 6QuadPlus</a>		
i.MX7	<a href="#">i.MX 7ULP</a>	1 x 32/16bit LPDDR2 or 1 x 32/16bit DDR3/DDR3L/LPDDR3	Max 533MHz
	<a href="#">i.MX 7Solo</a>		
	<a href="#">i.MX 7Dual</a>		

Revision	日付	概要
1.0	2024年3月	初版作成

- 弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。
  1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
  2. 本資料は予告なく変更することがあります。
  3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
  4. 本資料で取扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
  5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

Co.Tomorrowing  
**MACNICA**

- ・本資料に記載されている会社名、商品またはサービス名等は各社の商標または登録商標です。なお、本資料中では、「™」、「®」は明記していません。
- ・本資料のすべての著作権は、第三者または株式会社マクニカに属しており、(著作権法で許諾される範囲を超えて) 無断で本資料の全部または一部を複製・転載等することを禁じます。
- ・本資料は作成日現在における情報を元に作成されておりますが、その正確性、完全性を保証するものではありません。