

**CrossLink-NX**  
**MIPI DSI (Hard D-PHY) to RGB888**  
**リファレンスデザインユーザーマニュアル**

**macnica**

**Aug-2022**

# 免責事項

本ドキュメントに含まれる情報、及び本ドキュメントの対象であるリファレンスデザインの内容、動作、特性、品質に対して、マクニカはいかなる保証も行いません。

また、本ドキュメントに含まれる情報、及び本ドキュメントの対象であるリファレンスデザインは全て現状有姿にて提供され、これに対する改版や技術サポートのご依頼に関しては理由の如何を問わずお控え頂くようお願いしております。お客様ご用途における使用可否の判断、使用の際の動作確認、お客様製品への実装における適合性や安全性の確認、法的要件の確認はお客様にて実施頂きますようお願いいたします。これらに対してもマクニカは一切の責任を負うことが難しく、いかなる保証もいたしかねます。また、本ドキュメントの情報、及びドキュメントの対象であるリファレンスデザインはマクニカの所有物であり、予告なしに変更を加えることがございますので予めご了承ください。

# Table of Contents

1. デザイン概要
2. デザインフォルダ構成
3. 回路ブロック図
4. デザインポート説明
5. 各モジュール概要
6. ファンクションシミュレーション

# 1. デザイン概要

- 本デザインはCrossLink-NXのHard D-PHYを用いたDSI to パラレル (RGB888) リファレンスデザインです。
- 受信データはFull-HD (1080 60p) を想定しており、ピクセルクロックは148.5MHzとして各種IP設定を行っています。
- MIPI DSI Rxレーン数は4Lane、D-PHYでのデシリアライズ設定は1:8としており、バイトデータは32bitの設定です。
- 受信データレートは、 $2200(H) \times 1125(V) \times 24(bit) \times 60(fps) / 4(lane) = 891Mbps/Lane$ となっています。
- 本デザインではLattice社IP “CSI-2/DSI D-PHY Receiver (v1.4.0)” と “Byte to Pixel Converter (v1.5.0)” を使用しています。IPのユーザーガイドについては以下を参照してください。

CSI-2/DSI D-PHY Receiver

[http://www.latticesemi.com/view\\_document?document\\_id=52445](http://www.latticesemi.com/view_document?document_id=52445)

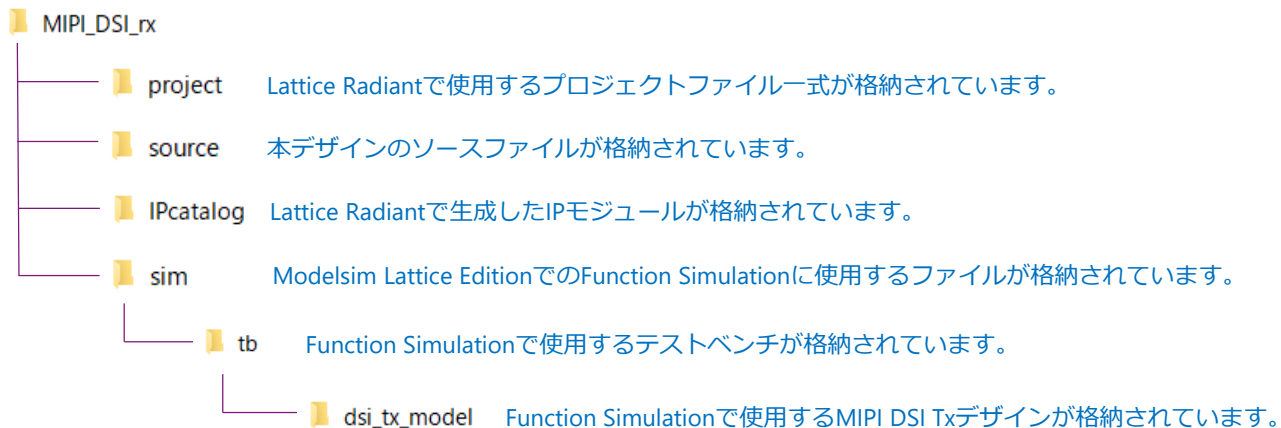
Byte to Pixel Converter

[http://www.latticesemi.com/view\\_document?document\\_id=52451](http://www.latticesemi.com/view_document?document_id=52451)

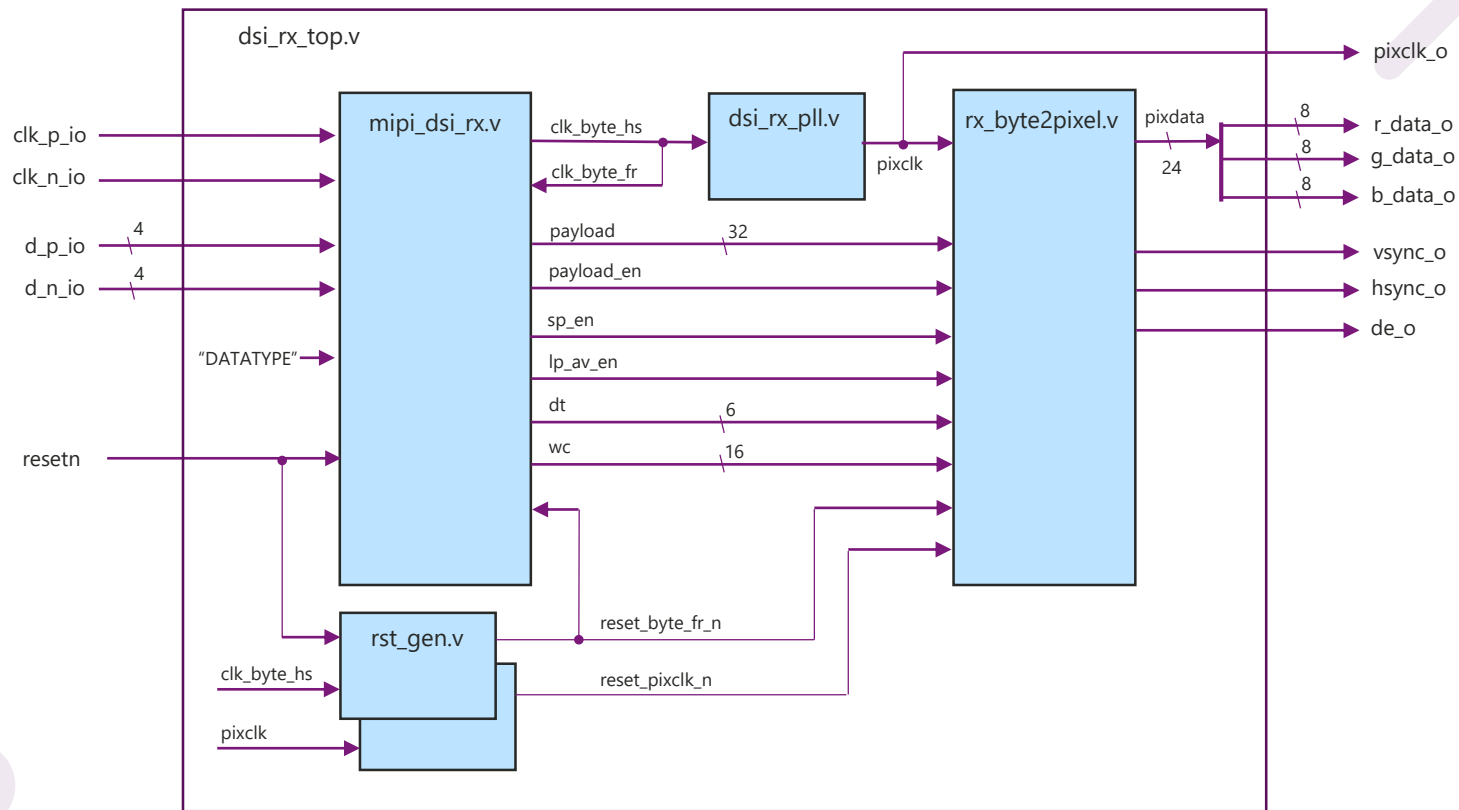
- デザイン動作はModelSim Lattice Editionでのファンクションシミュレーションにて確認しています。実機上での確認はしておりません。
- 本デザインはRadiant3.2でコンパイルされており、論理合成ツールはSynplify Proを使用しています。

## 2. デザインフォルダ構成

本デザインのフォルダ構成を以下に示します。



# 3. 回路ブロック図



## 4. デザインポート説明

ポート名	入出力方向	説明
resetn	入力	リセット入力 (Active-Low)
clk_p_io	入力	MIPI D-PHY差動クロック出力 (Positive)
clk_n_io	入力	MIPI D-PHY差動クロック出力 (Negative)
d_p_io	入力	MIPI D-PHY差動データ出力 (Positive)
d_n_io	入力	MIPI D-PHY差動データ出力 (Negative)
pixclk_o	出力	RGB888出力ピクセルクロック
r_data_o [7:0]	出力	Red出力データ (8bit)
g_data_o [7:0]	出力	Green出力データ (8bit)
b_data_o[7:0]	出力	Blue出力データ (8bit)
vsync_o	出力	V Sync信号出力
hsync_o	出力	H Sync信号出力
de_o	出力	データイネーブル信号出力

# 5. 各モジュール概要

## ■ top.v

本デザインのトップモジュールです。

## ■ rst\_gen.v

非同期リセットのresetnを入力クロックで同期化するモジュールです。mipi\_dsi\_rx.vとbyte2pixel.vが同期リセット入力が必要とするため、本モジュールでリセットの同期化を行っています。

## ■ dsi\_rx\_pll.v

mipi\_dsi\_rx.vで生成されたバイトクロックからRGB888パラレルデータのピクセルクロックを生成するPLLモジュールです。



# 5. 各モジュール概要

## ■ mipi\_dsi\_rx.v

MIPI D-PHYシリアルデータをバイトデータに変換するモジュールで、ショートパケット/ロングパケットの検出と、設定によってロングパケット内に含まれるペイロードデータの抽出まで行います。CSI-2/DSI D-PHY Receiver IPを使用しています。設定は以下の通りです。

Module/IP Block Wizard

Configure Component from IP dphy\_rx Version 1.4.0  
Set the following parameters to configure this component.

Diagram mipi\_dsi\_rx

Configure IP

Property	Value
<b>Receiver</b>	
RX Interface	DSI
D-PHY RX IP	Hard D-PHY
Number of D-PHY Data Lanes	4
RX Gear	8
CIL Bypass	<input checked="" type="checkbox"/>
Enable LMMI Interface	<input type="checkbox"/>
Enable AXI4-Stream Interface	<input type="checkbox"/>
Enable Deskew Calibration Detection	<input type="checkbox"/>
<b>Clock</b>	
RX Line Rate (Mbps) [80 - 1500]	891
D-PHY Clock Frequency (MHz) [40 - 1250]	445.5
D-PHY Clock Mode	Continuous
Byte Clock Frequency (MHz) [10 - 187]	111
Sync Clock Frequency (MHz) [60 - 200]	60
<b>Timing Parameter</b>	
Customize Data Settle Cycle	<input type="checkbox"/>
Data Settle Cycle [8 - 17]	12

No DRC issues are found.

Generate Cancel

■ Rx Interface  
DSIを選択しています。

■ D-PHY RX IP  
Hard D-PHYを選択しています。

■ Number of D-PHY Data Lanes  
4Laneに設定しています。

■ RX Gear  
8に設定しています。D-PHYモジュールにて1:8デシリアライズを行う設定です。

■ CIL Bypass  
Control and Interface Logic (CIL)のバイパス設定です。デフォルトのままチェックを入れており、バイパスする設定にしています。CILはデータとクロックの状態遷移のコントロールを行うハードブロックで、使用しない場合はソフトロジックが使用されます。

■ Enable LMMI Interface  
Hard D-PHYモジュール内蔵のPLLレジスタ設定用のLMMI Interface使用有無の設定です。使用しないためチェックを外しています。

# 5. 各モジュール概要

Diagram mipi\_dsi\_rx

Configure IP

Property	Value
<b>Receiver</b>	
RX Interface	DSI
D-PHY RX IP	Hard D-PHY
Number of D-PHY Data Lanes	4
RX Gear	8
CIL Bypass	<input checked="" type="checkbox"/>
Enable LMMI Interface	<input type="checkbox"/>
Enable AXI4-Stream Interface	<input type="checkbox"/>
Enable Deskew Calibration Detection	<input type="checkbox"/>
<b>Clock</b>	
RX Line Rate (Mbps) [80 - 1500]	891
D-PHY Clock Frequency (MHz) [40 - 1250]	445.5
D-PHY Clock Mode	Continuous
Byte Clock Frequency (MHz) [10 - 187]	111
Sync Clock Frequency (MHz) [60 - 200]	60
<b>Timing Parameter</b>	
Customize Data Settle Cycle	<input type="checkbox"/>
Data Settle Cycle [8 - 17]	12

No DRC issues are found.

Generate Cancel

## ■ Enable AXI4-Stream Interface

バイトデータおよびパケットヘッダ情報をAXI4-Stream Interfaceで出力する場合にチェックを入れます。本デザインでは使用しないためチェックを外しています。

## ■ Enable Deskew Calibration Detection

チェックを入れるとDeskew Calibration用のポートが追加されます。シリアルデータレートが1.5Gbps以下のデザインでのみ使用 or 未使用の選択が可能です。1.5Gbpsより高いレートでは自動で使用する設定になります。本デザインは1.5Gbps以下ですが、使用しないためチェックを外しています。

## ■ RX Line Rate

RGB888 1080 60pを4Laneで受信するため、 $2200(\text{H}) \times 1125(\text{V}) \times 24(\text{bit}) \times 60(\text{fps}) / 4(\text{lane}) = 891$  と設定しています。

## ■ D-PHY Clock Mode

Clock LaneがLPモードを使用するかどうかの設定です。今回はClock LaneでLPモードを使用しないため“Continuous”を選択しています。

## ■ Customize Data Settle Cycle

D-PHY規格上のtHS-SETTLE時間を満たすためのパラメータのカスタマイズを行います。デフォルトのまま使用しています。

# 5. 各モジュール概要

Module/IP Block Wizard

Configure Component from IP dphy\_rx Version 1.4.0  
Set the following parameters to configure this component.

Diagram mipi\_dsi\_rx

Configure IP

Property	Value
Customize CIL Clock Settle	<input type="checkbox"/>
CIL Clock Settle [4 - 19]	9
<b>Output</b>	
Enable Packet Parser	<input checked="" type="checkbox"/>
<b>Miscellaneous</b>	
Enable Miscellaneous Status Signals	<input type="checkbox"/>
<b>Soft IP Implementation Settings</b>	
Enable Lane Aligner Module	<input type="checkbox"/>
<b>RX_FIFO</b>	
RX_FIFO Enable	<input checked="" type="checkbox"/>
Implementation	EBR
Depth	128
Number of Queue Entries	4
Type	SINGLE
Packet Delay [0 - 16384]	8
Counter Width [2 - 4]	4
Clock Mode	DC
Misc Signals	<input type="checkbox"/>

No DRC issues are found.

Generate Cancel

## ■ Enable Packet Parser

チェックを入れることでバイトデータからペイロードデータを抽出 (Parsing) して出力します。本デザインではチェックを入れています。

## ■ Enable Miscellaneous Status Signals

デバッグ用途に使用される各種信号をポートに出力するかどうかの設定です。本デザインではチェックを外しています。

## ■ RX\_FIFO

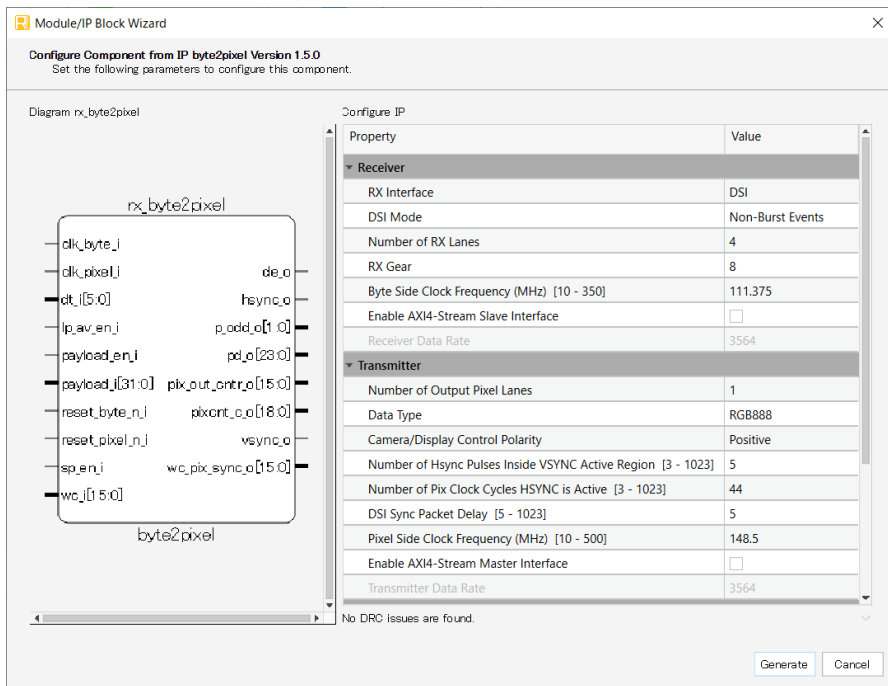
clk\_byte\_hs\_oに同期した出カデータをclk\_byte\_fr\_iに載せ替えるために用意されたFIFOの設定です。微小な周波数偏差のある非同期クロックを使用する場合にその差分を吸収する用途、及び周波数偏差の無いクロックにおいても位相差を吸収する用途で使用します。本デザインではclk\_byte\_hs\_oをそのままclk\_byte\_fr\_iに接続しているため後者の用途ですが、各種FIFO設定はデフォルト設定のままです。

- **Implementation**  
FIFOの実装先をLUT(Distributed RAM)かEBRかを選択します。
- **Depth**  
FIFOの深さを設定します。
- **Type**  
SINGLE、QUEUE、PINGPONGから選択します。
- **Packet Delay**  
FIFOのEmpty Flagディアサーションからclk\_hs\_byte\_fr\_iによるリード開始までのマージンをclk\_hs\_byte\_fr\_iサイクルで指定します。
- **Misc Signals**  
デバッグ用途に使用される各種信号をポートに出力するかどうかの設定です。

# 5. 各モジュール概要

## ■ rx\_byte2pixel.v

CSI-2/DSI D-PHY Receiver IPから出力されるバイトデータと各種ステータス信号からピクセルデータと同期信号（V Sync, H Sync, DE）を生成するモジュールです。Byte to Pixel Converter IPを使用しています。設定は以下の通りです。



Module/IP Block Wizard

Configure Component from IP byte2pixel Version 1.5.0  
Set the following parameters to configure this component.

Diagram rx\_byte2pixel

Configure IP

Property	Value
<b>Receiver</b>	
RX Interface	DSI
DSI Mode	Non-Burst Events
Number of RX Lanes	4
RX Gear	8
Byte Side Clock Frequency (MHz) [10 - 350]	111.375
Enable AXI4-Stream Slave Interface	<input type="checkbox"/>
Receiver Data Rate	3564
<b>Transmitter</b>	
Number of Output Pixel Lanes	1
Data Type	RGB888
Camera/Display Control Polarity	Positive
Number of Hsync Pulses Inside VSYNC Active Region [3 - 1023]	5
Number of Pix Clock Cycles HSYNC is Active [3 - 1023]	44
DSI Sync Packet Delay [5 - 1023]	5
Pixel Side Clock Frequency (MHz) [10 - 500]	148.5
Enable AXI4-Stream Master Interface	<input type="checkbox"/>
Transmitter Data Rate	3564

No DRC issues are found.

Generate Cancel

■ Rx Interface  
DSIを選択しています。

■ DSI Mode  
“Non-Burst Events”を選択しています。DSI規格の“Non-Burst with Sync Events”に相当し、ショートバケットとしてV Sync StartとH Sync Startのみ使用するモードです。

■ Number of RX Lanes  
4Laneに設定しています。

■ RX Gear  
8に設定しています。D-PHYモジュールにて1:8デシリアライズを行う設定です。

■ Enable AXI4-Stream Slave Interface  
バイトデータおよびパケットヘッダ情報をAXI4-Stream Interfaceで入力する場合にチェックを入れます。本デザインでは使用しないためチェックを外しています。

# 5. 各モジュール概要

Module/IP Block Wizard

Configure Component from IP byte2pixel Version 1.5.0  
Set the following parameters to configure this component.

Diagram rx\_byte2pixel

Configure IP

Property	Value
Receiver Data Rate	3564
<b>Transmitter</b>	
Number of Output Pixel Lanes	1
Data Type	RGB888
Camera/Display Control Polarity	Positive
Number of Hsync Pulses Inside VSYNC Active Region [3 - 1023]	5
Number of Pix Clock Cycles HSYNC is Active [3 - 1023]	44
DSI Sync Packet Delay [5 - 1023]	5
Pixel Side Clock Frequency (MHz) [10 - 500]	148.5
Enable AXI4-Stream Master Interface	<input type="checkbox"/>
Transmitter Data Rate	3564
<b>FIFO</b>	
Manual Adjust	<input type="checkbox"/>
Overflow/Underflow Threshold [1 - 65535]	4
FIFO Depth [8 - 65536]	16
Word Count [3 - 65535]	1680
<b>Debug</b>	
Enable Debug Ports	<input type="checkbox"/>

No DRC issues are found.

Generate Cancel

## ■ Number of Output Pixel Lanes

本デザインではRGB888出力1chのため、1Laneに設定しています。

## ■ Data Type

RGB888を選択しています。

## ■ Camera/Display/Control Polarity

出力する映像同期信号（V Sync, H Sync, DE）の極性を選択します。Positive（Active High）を選択しています。

## ■ Number of Hsync Pulses Inside VSYNC Active Resion

V Syncアクティブ期間のH Syncパルス数を設定します。出力されるV Syncのアクティブ期間に相当します。本デザインでは5と設定しています。

## ■ Number of Pix Clock Cycles HSYNC is Active

H Syncアクティブ期間のピクセルクロックサイクル数を設定します。出力されるH Syncのアクティブ期間に相当します。本デザインでは44と設定しています。

## ■ DSI Sync Packet Delay

本モジュール内でのピクセルデータのバッファリングによって生じるピクセルデータと同期信号（V Sync, H Sync）のスキューを補うための同期信号遅延設定です。ピクセルクロックサイクル数で設定します。デフォルトの5に設定しています。

## ■ Enable AXI-4 Stream Master Interface

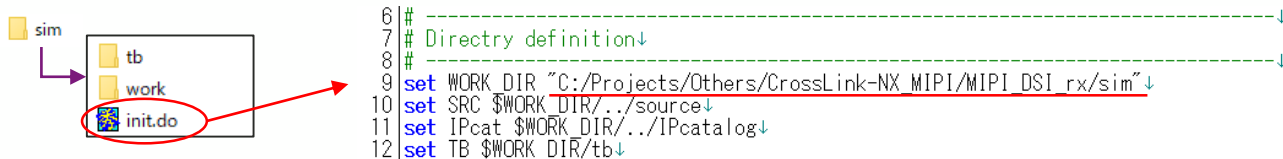
ピクセルデータ及びDE信号をAXI-4 Stream Interfaceで出力する場合にチェックを入れます。本デザインでは使用しないためチェックを外しています。

## ■ Enable Debug Ports

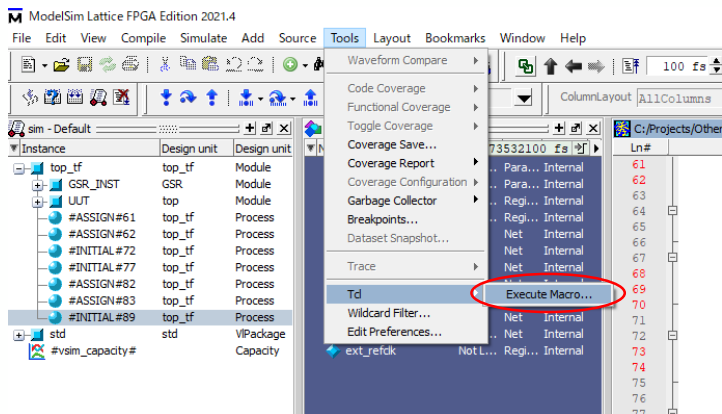
デバッグ用途に使用される各種信号をポートに出力するかどうかの設定です。本デザインではチェックを外しています。

# 6. ファンクションシミュレーション

ファンクションシミュレーションを実施するには、ModelSim Lattice Editionを使用します。  
シミュレーション開始前にinit.doファイル内の以下のディレクトリ指定をユーザー環境のsimフォルダのパスに変更する必要があります。  
Init.doファイルはsimフォルダの中に格納されています。



Model Simを起動後、Tools > Tcl > Execute Macro からinit.doファイルを起動します。

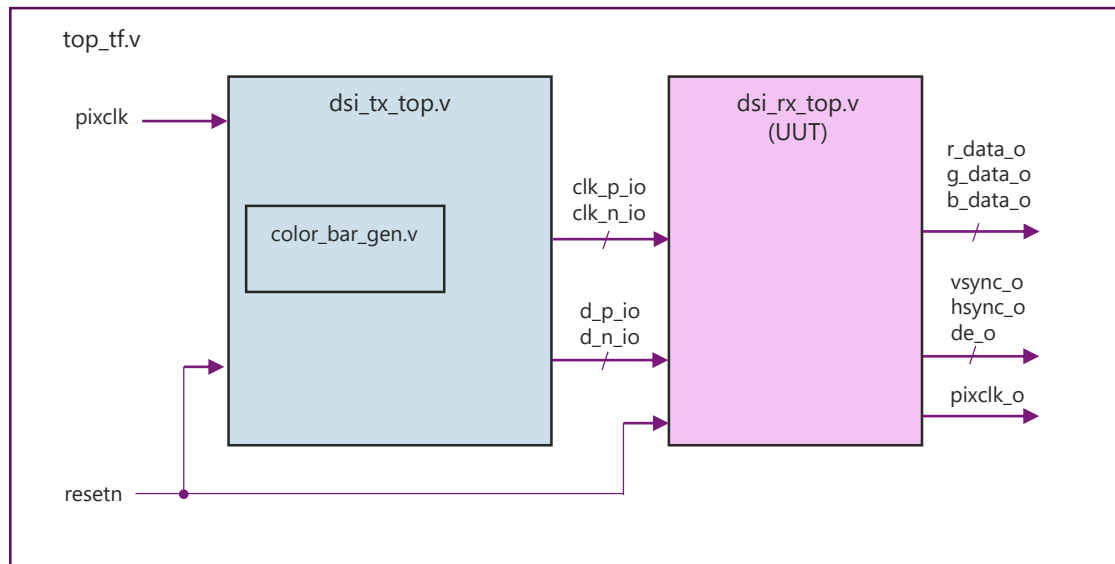


Init.doの編集方法、doファイルでのシミュレーション詳細については、以下のページの「ModelSim Lattice Edition DO マクロ ユーザーガイド」を参照してください。

<https://www.macnica.co.jp/business/semiconductor/articles/lattice/132003/>

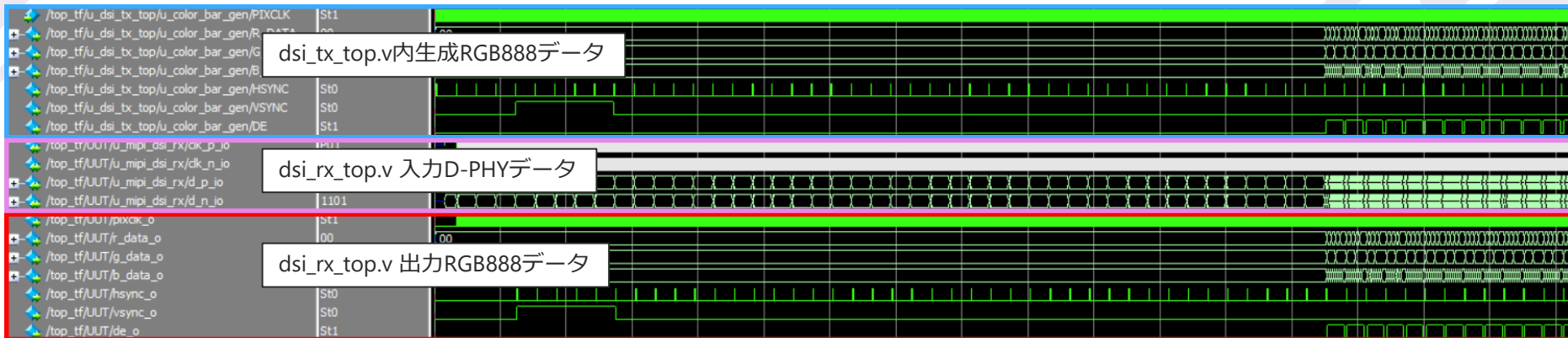
# 6. ファンクションシミュレーション

## テストベンチ構成概要図



テストベンチ上でMIPI DSIの送信モデルである`dsi_tx_top.v`をインプリメントしています。このモジュールにはFull-HD (1080 60p), RGB888のカラーバーデータを生成する`color_bar_gen.v`が組み込まれており、`dsi_tx_top.v`からはFull-HD, RGB888のデータがMIPI DSI 4Laneで出力されます。このMIPI DSI 4Laneのデータがシミュレーション対象の`dsi_rx_top.v`に入力され、RGB888のデータに変換して正しくカラーバーデータが出力されているか確認しています。なお、`dsi_tx_top.v`以下のデザインは本リファレンスデザイン同様にLattice社のIPを含んだデザインで構成されています。

## 6. ファンクションシミュレーション

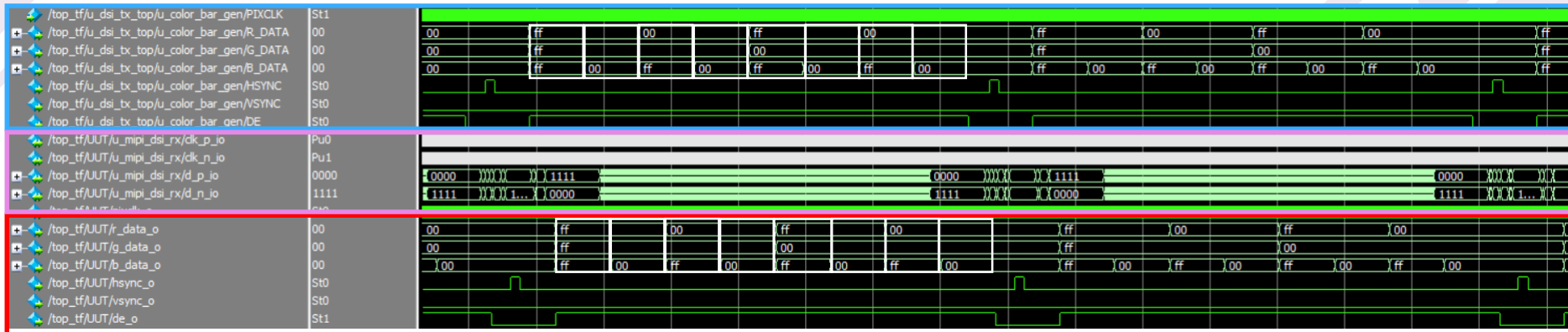


上図はVブランキング～Active Video出力開始後、数ラインの区間のシミュレーション波形です。  
カラーバジェネレータからのRGB888データをMIPI D-PHY (DSI) に変換した信号がdsi\_rx\_top.vに入力されていることが観測できます。  
また、 dsi\_rx\_top.vを介したRGB888データがV Syncの立ち上がりエッジを起点に出力されていることが確認できます。



# 6. ファンクションシミュレーション

White Yellow Cyan Green Magenta Red Blue Black



上図はActive Video区間の拡大波形です。dsi\_tx\_top.vで生成されているRGB888カラーバーデータがMIPI D-PHYデータに変換されてdsi\_rx\_top.vに入力され、その出力として等しいRGB888カラーバーデータが得られていることが確認できます。

# Revision History

Date	Revision	Page	Change Information
2022/09/20	1.0		First Revision