

CrossLink-NX
RAW10 to MIPI CSI-2 (Hard D-PHY)
リファレンスデザインユーザーマニュアル

macnica

Aug-2022

免責事項

本ドキュメントに含まれる情報、及び本ドキュメントの対象であるリファレンスデザインの内容、動作、特性、品質に対して、マクニカはいかなる保証も行いません。

また、本ドキュメントに含まれる情報、及び本ドキュメントの対象であるリファレンスデザインは全て現状有姿にて提供され、これに対する改版や技術サポートのご依頼に関しては理由の如何を問わずお控え頂くようお願いしております。お客様ご用途における使用可否の判断、使用の際の動作確認、お客様製品への実装における適合性や安全性の確認、法的要件の確認はお客様にて実施頂きますようお願いいたします。これらに対してもマクニカは一切の責任を負うことが難しく、いかなる保証もいたしかねます。また、本ドキュメントの情報、及びドキュメントの対象であるリファレンスデザインはマクニカの所有物であり、予告なしに変更を加えることがございますので予めご了承ください。

Table of Contents

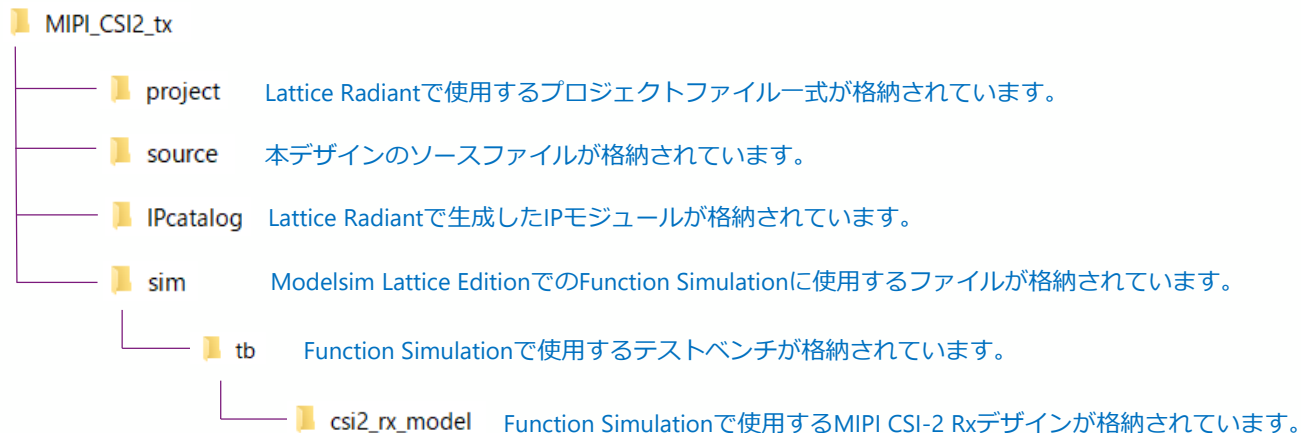
1. デザイン概要
2. デザインフォルダ構成
3. 回路ブロック図
4. デザインポート説明
5. 各モジュール概要
6. ファンクションシミュレーション

1. デザイン概要

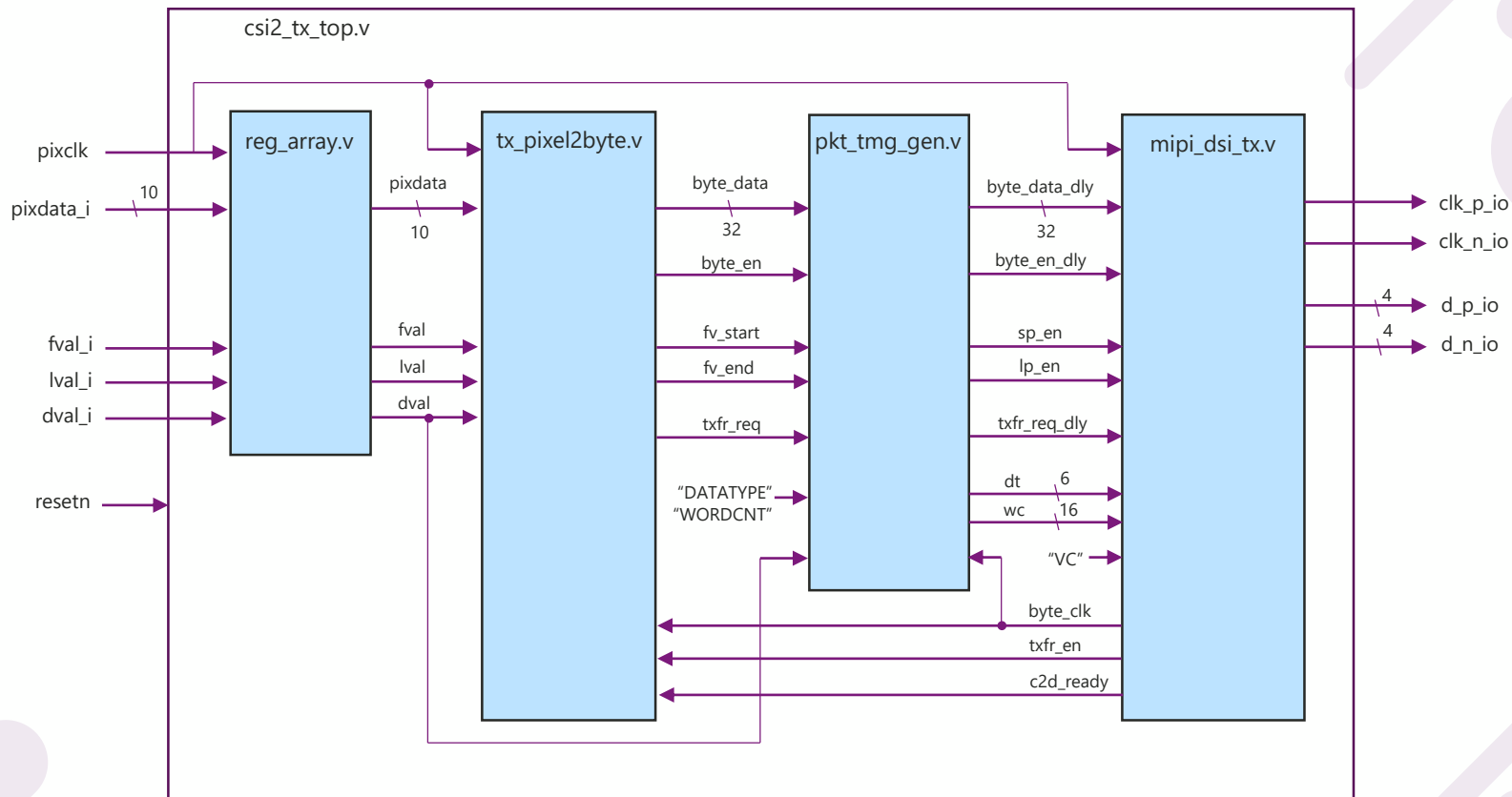
- 本デザインはCrossLink-NXのHard D-PHYを用いたパラレル（RAW10） to CSI-2リファレンスデザインです。
- 送信データは有効画素期間が1280x720（ブランキング込みの解像度は1650x750）でフレームレート60fpsのRAW10データを想定しており、ピクセルクロックは74.25MHzとして各種IP設定を行っています。
- MIPI CSI-2 Txレーン数は4Lane、D-PHYでのシリアライズ設定は8:1としており、バイトデータは32bitの設定です。
- 送信データレートは、 $1650(H) \times 750(V) \times 10(\text{bit}) \times 60(\text{fps}) / 4(\text{lane}) = 185.625\text{Mbps/Lane}$ となっています。
- 本デザインではLattice社IP “CSI-2/DSI D-PHY Transmitter (v1.7.1)” と “Pixel to Byte Converter (v1.4.0)” を使用しています。IPのユーザーガイドについては以下を参照してください。
 - CSI-2/DSI D-PHY Transmitter
http://www.latticesemi.com/view_document?document_id=52453
 - Pixel to Byte Converter
http://www.latticesemi.com/view_document?document_id=52809
- デザイン動作はModelSim Lattice Editionでのファンクションシミュレーションにて確認しています。実機上での確認はしておりません。
- 本デザインはRadiant3.2でコンパイルされており、論理合成ツールはSynplify Proを使用しています。

2. デザインフォルダ構成

本デザインのフォルダ構成を以下に示します。



3. 回路ブロック図



4. デザインポート説明

ポート名	入出力方向	説明
pixclk	入力	RAW10データ入力ピクセルクロック
resetrn	入力	リセット入力 (Active-Low)
pixdata_i [9:0]	入力	RAW10入力データ (8bit)
fval_i	入力	Frame Valid信号入力
lval_i	入力	Line Valid信号入力
dval_i	入力	Data Valid信号入力
clk_p_io	出力	MIPI D-PHY差動クロック出力 (Positive)
clk_n_io	出力	MIPI D-PHY差動クロック出力 (Negative)
d_p_io	出力	MIPI D-PHY差動データ出力 (Positive)
d_n_io	出力	MIPI D-PHY差動データ出力 (Negative)

5. 各モジュール概要

■ top.v

本デザインのトップモジュールです。CSI-2パケットで使用するVC、DT、WCはトップモジュールからパラメータとして与えます。

■ reg_array.v

RAW10入力データおよび同期信号をインプットレジスタにてピクセルクロックでリタイミングすることを目的としたレジスタアレイです。

■ pkt_tmg_gen.v

mipi_csi2_tx.vモジュールに入力するShort Packetイネーブル信号 (sp_en) とLong Packetイネーブル信号 (lp_en) を生成し、同時にData Type (dt) とWord Count (wc) をショートパケットのパケットヘッダ、ロングパケットのパケットヘッダそれぞれに対して生成します。また、各種信号をCSI-2/DSI D-PHY Transmitterが要求する以下の入力タイミングを満たすようにタイミング調整を行います。

3.2. Short Packet Transmission in CSI-2/DSI Interfaces

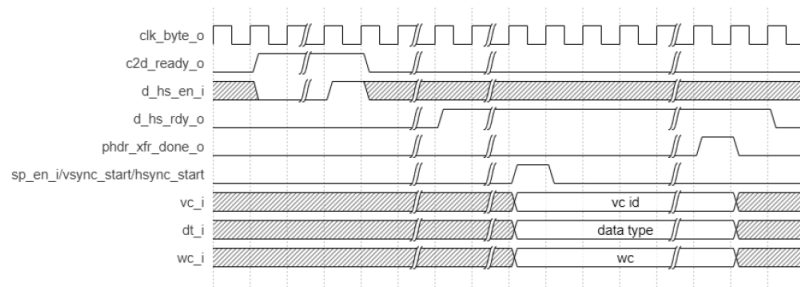
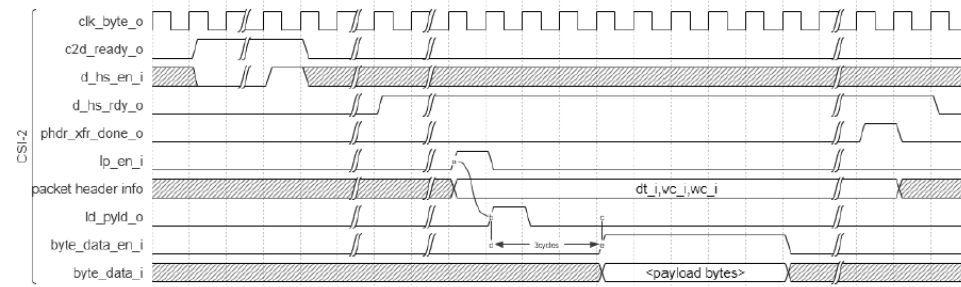


Figure 3.3. D-PHY Tx Input Bus for Short Packet Transmission in CSI-2/DSI Interfaces

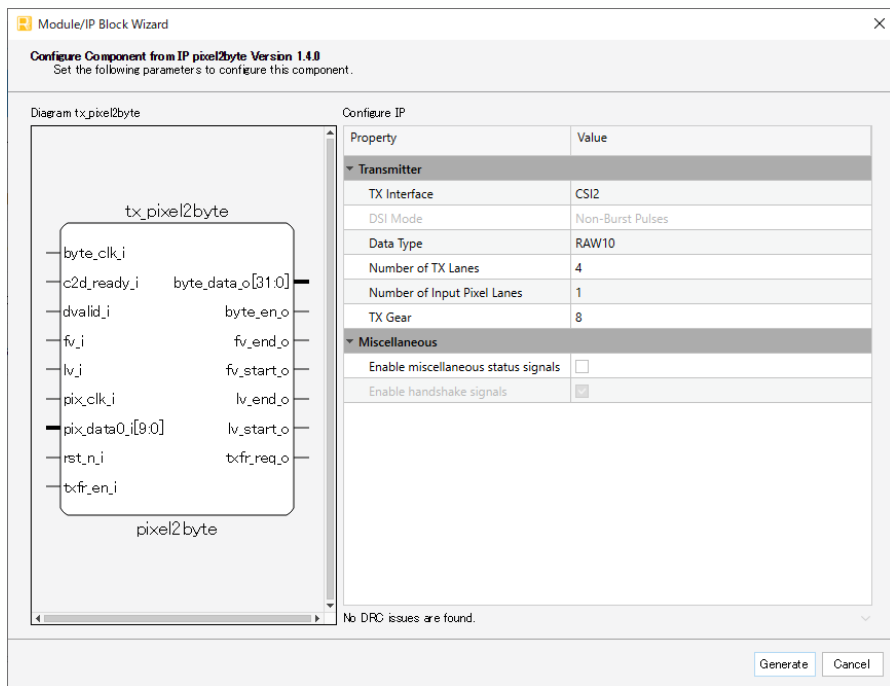
3.3. Long Packet Transmission in CSI-2/DSI Interface



5. 各モジュール概要

■ tx_pixel2byte.v

CSI-2/DSI D-PHY Transmitter IPに入力するバイトデータと同期信号タイミングパルスをピクセルデータとFrame Valid、Line Validから生成するモジュールです。Pixel to Byte Converter IPを使用しています。設定は以下の通りです。



Module/IP Block Wizard

Configure Component from IP pixel2byte Version 1.4.0
Set the following parameters to configure this component.

Diagram tx_pixel2byte

Configure IP

Property	Value
▼ Transmitter	
TX Interface	CSI2
DSI Mode	Non-Burst Pulses
Data Type	RAW10
Number of TX Lanes	4
Number of Input Pixel Lanes	1
TX Gear	8
▼ Miscellaneous	
Enable miscellaneous status signals	<input type="checkbox"/>
Enable handshake signals	<input checked="" type="checkbox"/>

No DRC issues are found.

Generate Cancel

■ Tx Interface
CSI-2を選択しています。

■ DataType
RAW10を選択しています。

■ Number of TX Lanes
4Laneに設定しています。

■ Number of Input Pixel Lanes
本デザインではRAW10入力1chのため、1Laneに設定しています。

■ TX Gear
8に設定しています。D-PHYモジュールにて8:1シリアライズを行う設定です。

5. 各モジュール概要

■ mipi_csi2_tx.v

Pixel to Byte Converter IPにて生成されたバイトデータとlp_en/sp_enパルス、及びパケットヘッダで使用するVC、DT、WCからCSI-2パケットを生成してD-PHYで送信するモジュールです。CSI-2/DSI D-PHY Transmitter IPを使用しています。設定は以下の通りです。

Module/IP Block Wizard

Configure Component from IP dphy_tx Version 1.7.1
Set the following parameters to configure this component.

Diagram mipi_csi2_tx

Configure IP

Property	Value
Transmitter	
TX Interface Type	CSI-2
D-PHY TX IP	Hard D-PHY
Number of TX Lanes	4
TX Gear	8
Interleaved Input Data	<input type="checkbox"/>
CIL Bypass	<input checked="" type="checkbox"/>
Bypass Packet Formatter	<input type="checkbox"/>
Enable Frame Number Increment in Packet Formatter	<input type="checkbox"/>
Frame Number MAX Value Increment in Packet Formatter [1 - 255]	1
Enable Line Number Increment in Packet Formatter	<input type="checkbox"/>
EoTp Enable	<input type="checkbox"/>
Enable LMMI Interface	<input type="checkbox"/>
Enable AXI4-Stream Interface	<input type="checkbox"/>
Enable Periodic Skew Calibration	<input type="checkbox"/>
Clock	
Target TX Line Rate (Mbps per Lane) [160 - 1500]	185.625

No DRC issues are found.

Generate Cancel

■ Tx Interface
CSI-2を選択しています。

■ D-PHY TX IP
“Hard D-PHY”を選択しています。

■ Number of TX Lanes
4Laneに設定しています。

■ TX Gear
8に設定しています。D-PHYモジュールにて8:1シリアライズを行う設定です。

■ CIL Bypass
Control and Interface Logic (CIL)のバイパス設定です。デフォルトのままチェックを入れており、バイパスする設定にしています。CILはデータとクロックの状態遷移のコントロールを行うハードブロックで、使用しない場合はソフトロジックが使用されます。

■ Bypass Packet Formatter
バイトデータからCSI-2パケットを生成する際に規格上必要なSync Code (0xB8) とtHS-TRAIL期間のデータ反転を自動で行う回路のバイパス設定です。本デザインではIPに自動生成することを意図してチェックを外しています。

5. 各モジュール概要

Module/IP Block Wizard

Configure Component from IP dphy_tx Version 1.7.1
Set the following parameters to configure the component.

Diagram mipi_csi2_tx

Configure IP

Property	Value
Transmitter	
TX Interface Type	CSI-2
D-PHY TX IP	Hard D-PHY
Number of TX Lanes	4
TX Gear	8
Interleaved Input Data	<input type="checkbox"/>
CIL Bypass	<input checked="" type="checkbox"/>
Bypass Packet Formatter	<input type="checkbox"/>
Enable Frame Number Increment in Packet Formatter	<input type="checkbox"/>
Frame Number MAX Value Increment in Packet Formatter [1 - 255]	1
Enable Line Number Increment in Packet Formatter	<input type="checkbox"/>
EoTp Enable	<input type="checkbox"/>
Enable LMMI Interface	<input type="checkbox"/>
Enable AXI4-Stream Interface	<input type="checkbox"/>
Enable Periodic Skew Calibration	<input type="checkbox"/>
Clock	
Target TX Line Rate (Mbps per Lane) [160 - 1500]	185.625

No DRC issues are found.

Generate Cancel

■ **Enable Frame Number Increment in Packet Formatter**
Packet Formatter内のフレーム番号インクリメント機能を有効にします。本デザインではデフォルトのままチェックを外しています。Bypass Packet Formatterにチェックを入れている場合、選択できません。

■ **Enable Line Number Increment in Packet Formatter**
Packet Formatter内のライン番号インクリメント機能を有効にします。本デザインではデフォルトのままチェックを外しています。Bypass Packet Formatterにチェックを入れている場合、選択できません。

■ **Enable LMMI Interface**
Hard D-PHYモジュール内蔵のPLLレジスタ設定用のLMMI Interface使用有無の設定です。使用しないためチェックを外しています。

■ **Enable AXI4-Stream Interface**
バイトデータおよびパケットヘッダ情報をAXI4-Stream Interfaceで入力する場合にチェックを入れます。本デザインでは使用しないためチェックを外しています。

■ **Enable Periodic Skew Calibration**
チェックを入れるとSkew Calibrationパターンの送信トリガ用ポートが追加されます。本デザインでは使用しないためチェックを外しています。

5. 各モジュール概要

Module/IP Block Wizard

Configure Component from IP dphy_tx Version 1.7.1
Set the following parameters to configure this component.

Diagram mipi_csi2_tx

Configure IP

Property	Value
▼ Clock	
Target TX Line Rate (Mbps per Lane) [160 - 1500]	185.625
Target TX Data Rate (Mbps) [160 - 10000]	742.5
Target D-PHY Clock Frequency (MHz) [80 - 1250]	92.8125
Target Byte Clock Frequency (MHz) [10 - 187.5]	23.2031
D-PHY Clock Mode	Continuous
D-PHY PLL Mode	Internal
Reference Clock Frequency (MHz) [24 - 200]	74.25
Actual D-PHY TX Data Rate (Mbps) [160 - 10000]	742.48
Actual TX Line Rate (Mbps)	185.62
Actual D-PHY Clock Frequency (MHz) [80 - 1250]	92.81
Actual Byte Clock Frequency (MHz) [10 - 187.5]	23.2025
Deviation from Target Data Rate	0.00 %
▼ Initialization	
tINIT Counter	<input type="checkbox"/>
tINIT_SLAVE Value (Number of Byte Clock Cycles) [1 - 32768]	1000
tinit Value in ns	0
▼ Miscellaneous	
Enable Miscellaneous Status Signals	<input type="checkbox"/>

No DRC issues are found.

Generate Cancel

■ Target TX Lane Rate (Mbps per Lane)

RAW10 1650 x 750 60fpsのデータを4Laneで送信するため、 $1650(H) \times 750(V) \times 10(\text{bit}) \times 60(\text{fps}) / 4(\text{lane}) = 185.625$ と設定しています。

■ D-PHY Clock Mode

Clock LaneでLPモードを使用するかどうかの設定です。LPモードに入らず常に出力するため“Continuous”を選択しています。

■ D-PHY PLL Mode

D-PHYモジュール内部のPLLを使用するため“Internal”を選択しています。

■ Reference Clock Frequency

RAW10パラレル入力のピクセルクロック（本デザインでは74.25MHz）を使用する構成のため、74.25に設定しています。

■ tINIT Counter

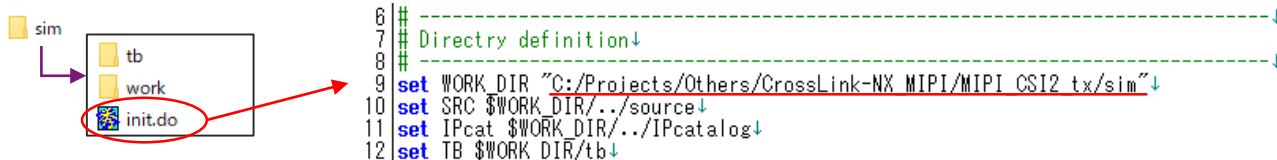
D-PHYモジュールのイニシャライゼーション完了を遅らせるディレイカウンタの使用有無設定です。D-PHY Rxデバイスが起動時に要求するStop State (LP-11) の時間を満たすための調整用に必要に応じて使用します。本デザインでは使用していません。

■ Enable Miscellaneous Status Signal

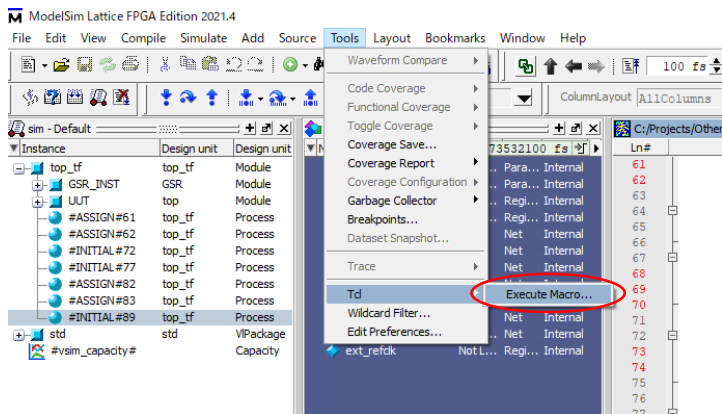
デバッグ用途に使用される各種信号をポートに出力するかどうかの設定です。本デザインではチェックを外しています。

6. ファンクションシミュレーション

ファンクションシミュレーションを実施するには、ModelSim Lattice Editionを使用します。
シミュレーション開始前にinit.doファイル内の以下のディレクトリ指定をユーザー環境のsimフォルダのパスに変更する必要があります。
Init.doファイルはsimフォルダの中に格納されています。



Model Simを起動後、Tools > Tcl > Execute Macro からinit.doファイルを起動します。

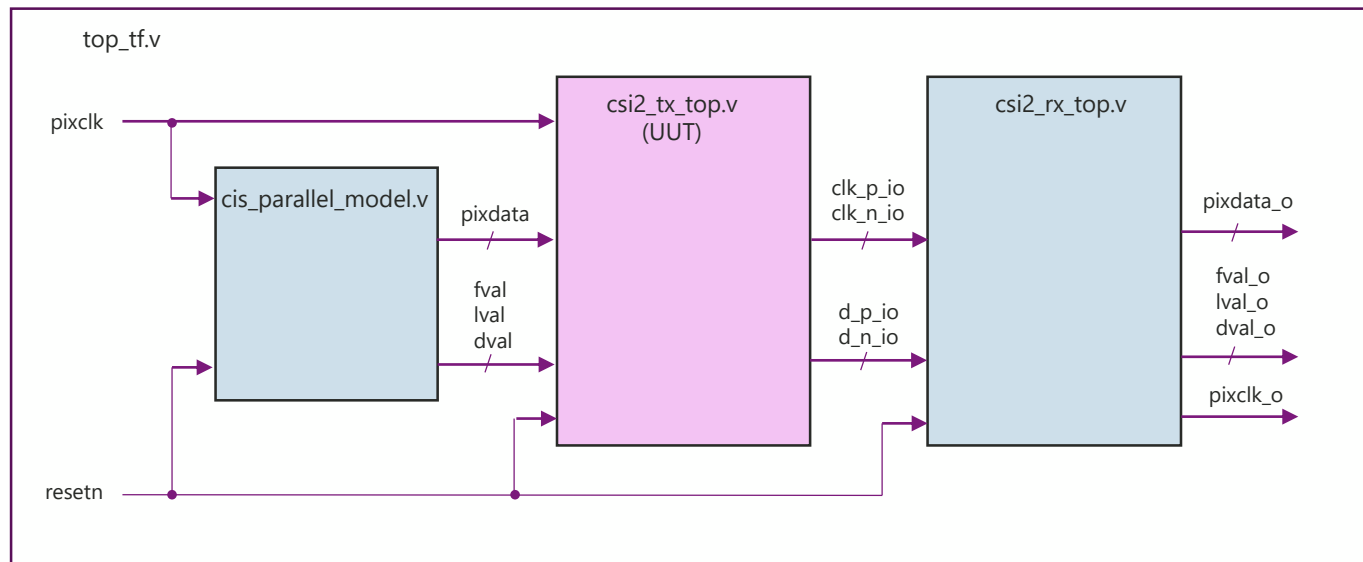


Init.doの編集方法、doファイルでのシミュレーション詳細については、以下のページの「ModelSim Lattice Edition DO マクロ ユーザーガイド」を参照してください。

<https://www.macnica.co.jp/business/semiconductor/articles/lattice/132003/>

6. ファンクションシミュレーション

テストベンチ構成概要図

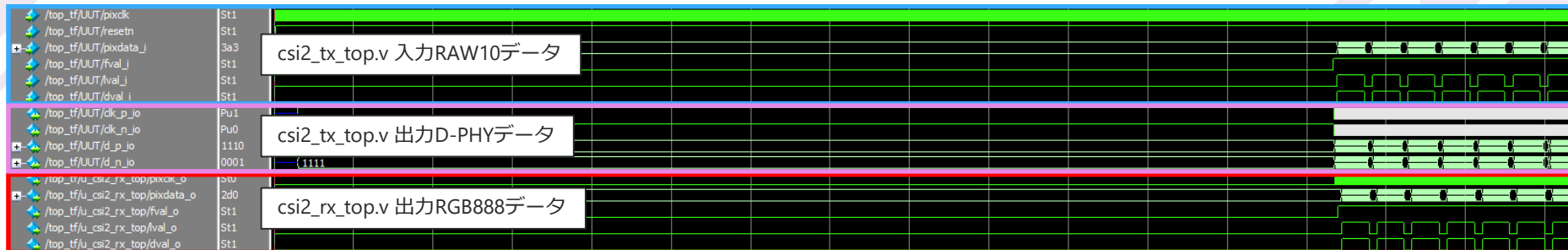


テストベンチ上でシミュレーション対象のcsi2_tx_top.vに対し、有効画素数1280x720（ブランキング込みの解像度は1650x750）、フレームレート60fpsのRAW10テストデータをcis_parallel_model.vから入力しています。

csi2_tx_top.v以下のデザインでMIPI CSI-2に変換されたデータをMIPI CSI-2の受信モデルであるcsi2_rx_top.vで受信し、再びRAW10のデータに変換して、正しく送信時テストデータと同様のデータが出力されているか確認しています。

csi2_rx_top.v以下のデザインは本リファレンスデザイン同様にLattice社のIPを含んだデザインで構成されています。

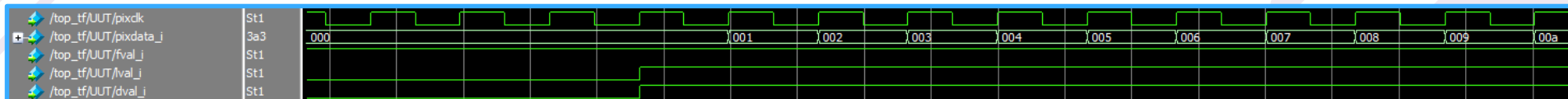
6. ファンクションシミュレーション



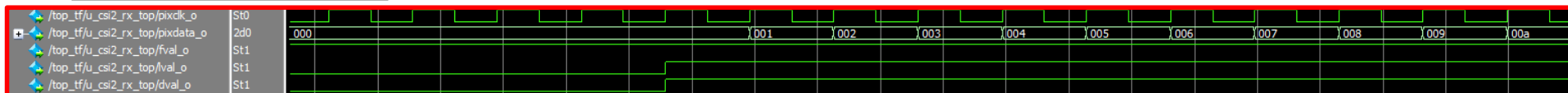
上図はVブランキング～Active Video出力開始後、数ラインの区間のシミュレーション波形です。
データ出力モデル (cis_parallel_model.v) からのRAW10データ入力を本デザインにてMIPI D-PHY (CSI-2) に変換した信号が観測できます。
また、受信モジュールを介したRAW10データが出力されていることが確認できます。

6. ファンクションシミュレーション

csi2_tx_top.v 入力RAW10データ



csi2_rx_top.v 出力RGB888データ

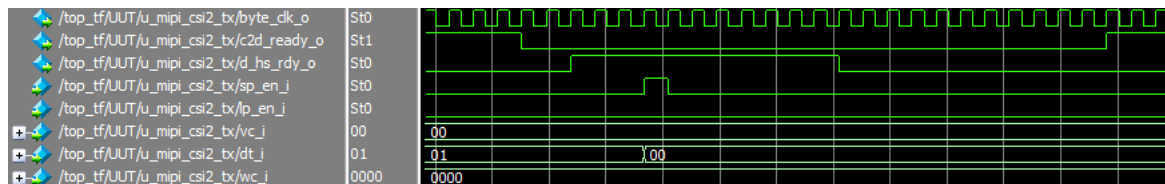


上図はcsi2_tx_top.vのRAW10入力パラレルデータと、受信モデル側でCSI-2から再変換されたRAW10パラレルデータの拡大波形です。csi2_tx_top.vの入力データと等しいデータが受信モデルの出力として得られていることが確認できます。

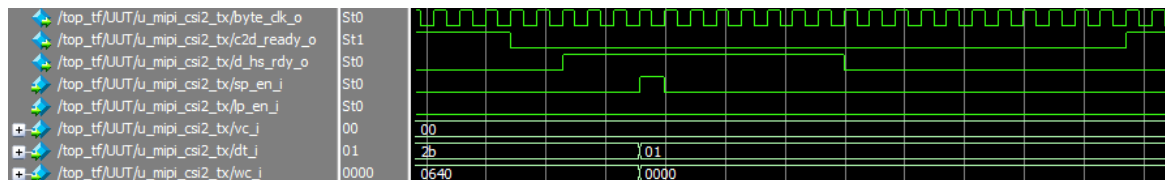
6. ファンクションシミュレーション

以下はdt_wc_gen.vにて生成しているDT, WCのシミュレーション波形です。

■ **Short Packet (Frame Start)** : mipi_csi2_tx.vへのsp_en_iパルス立ち上がりタイミングとVC, WC, DT(0x00 : Frame Start)の入カタイミングを合わせています。

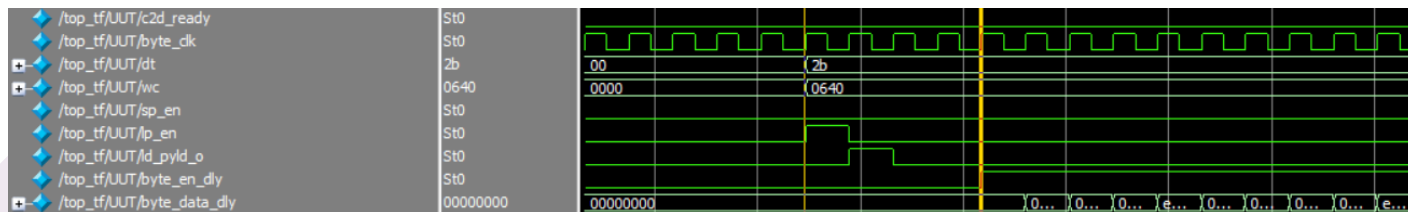


■ **Short Packet (Frame End)** : mipi_csi2_tx.vへのsp_en_iパルス立ち上がりタイミングとVC, WC, DT(0x01 : Frame End)の入カタイミングを合わせています。



■ **Long Packet** : mipi_csi2_tx.vへのbyte_data/byte_en入力よりbyte_clk 4サイクル前に、lp_en_iパルスと共にVC, WC (0x0640), DT(0x2B : RAW10)をセットしています。

※ $WC = 1280 \times 10(\text{RAW10}) / 8 = 1600\text{byte} = 0x0640$



Revision History

Date	Revision	Page	Change Information
2022/12/16	1.0		First Revision