

CertusPro-NX
G8B10B Serdes 1Byte Mode
リファレンスデザインユーザーマニュアル

macnica

June-2022

免責事項

本ドキュメントに含まれる情報、及び本ドキュメントの対象であるリファレンスデザインの内容、動作、特性、品質に対して、マクニカはいかなる保証も行いません。

また、本ドキュメントに含まれる情報、及び本ドキュメントの対象であるリファレンスデザインは全て現状有姿にて提供され、これに対する改版や技術サポートのご依頼に関しては理由の如何を問わずお控え頂くようお願いしております。お客様ご用途における使用可否の判断、使用の際の動作確認、お客様製品への実装における適合性や安全性の確認、法的要件の確認はお客様にて実施頂きますようお願いいたします。これらに対してもマクニカは一切の責任を負うことが難しく、いかなる保証もいたしかねます。また、本ドキュメントの情報、及びドキュメントの対象であるリファレンスデザインはマクニカの所有物であり、予告なしに変更を加えることがございますので予めご了承ください。

Table of Contents

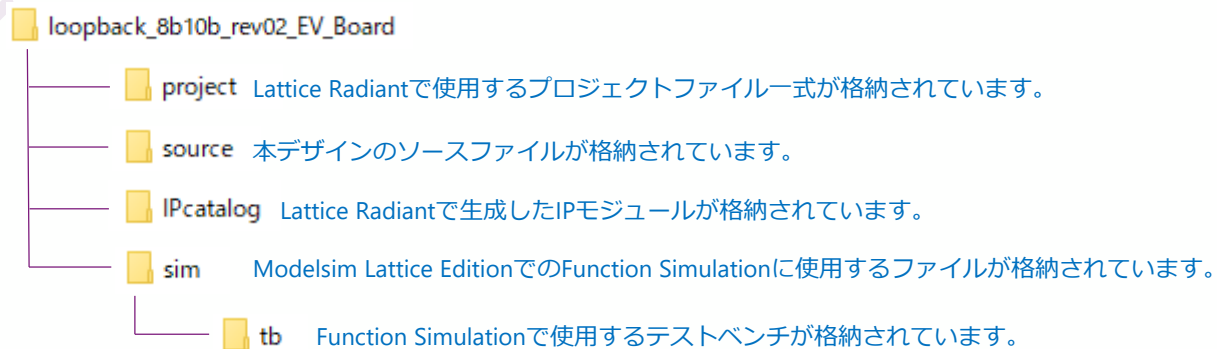
1. デザイン概要
2. デザインフォルダ構成
3. 回路ブロック図
4. デザインポート説明
5. 各モジュール概要
6. ファンクションシミュレーション
7. 実機動作

1. デザイン概要

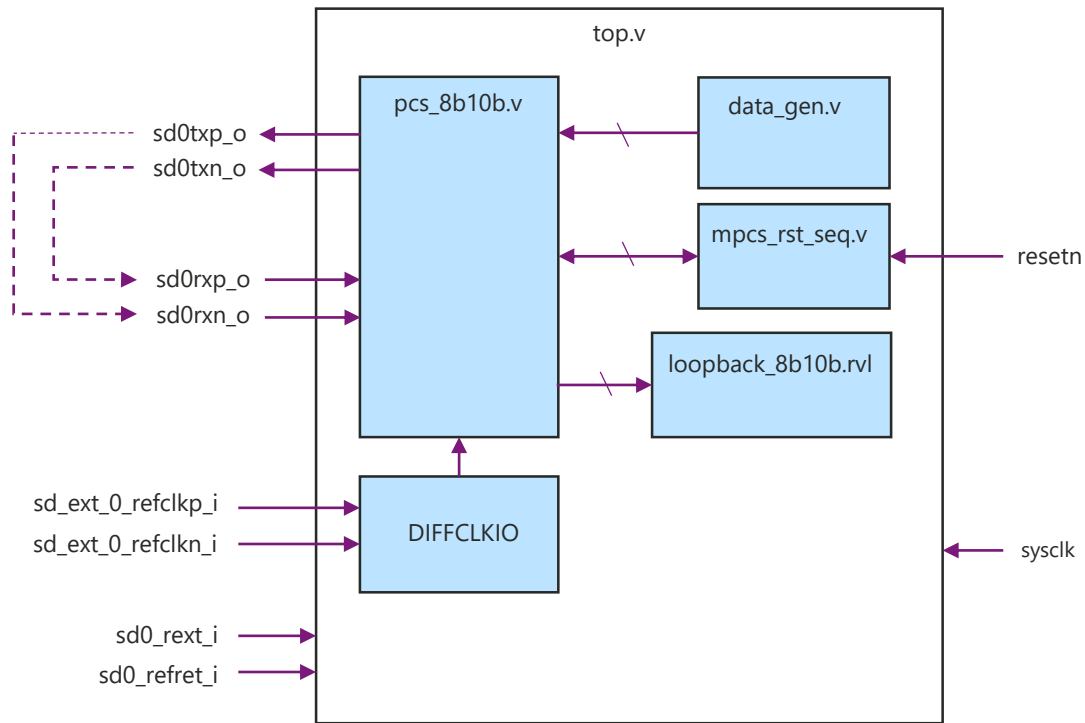
- 本デザインはGeneric 8B10Bプロトコルを使用したCertusPro-NXのSerdesループバックリファレンスデザインです。
- 簡易的なデータジェネレータにて8bitデータを生成し、Generic 8B10B 1Byte Modeで出力してループバックします。
1Byte Mode, 2Byte Mode, 4Byte Modeの詳細は以下のテクニカルノートを参照してください。
https://www.latticesemi.com/view_document?document_id=53257
- 8B10B符号化に用いるComma CharacterはK28.5のコードを使用しています。
- MPCSRリファレンスクロックは100MHz、シリアルデータレートは1Gbpsに設定されています。また、CertusPro-NX Evaluation Boardで外部クロック入力ができるようSD_EXT0_REFCLKを使用しています。
リファレンスクロックの詳細は以下のテクニカルノートを参照してください。
https://www.latticesemi.com/view_document?document_id=53257
CertusPro-NX Evaluation Boardの詳細は以下のユーザーガイドを参照してください。
https://www.latticesemi.com/view_document?document_id=53406
- デザイン動作は以下の方法で確認しています。
 - ModelSim Lattice Editionでのファンクションシミュレーション。
 - 内部波形観測ツール"Reveal" を用いたCertusPro-NX Evaluation Board上でのループバック波形確認。
- 本デザインはRadiant3.1.1でコンパイルされており、論理合成ツールはSynplify Proを使用しています。
- MPCSR IPはVersion 1.3.0を使用しています。

2. デザインフォルダ構成

本デザインのフォルダ構成を以下に示します。



3. 回路ブロック図



4. デザインポート説明

ポート名	入出力方向	説明
sysclk	入力	システムクロック入力。本デザインではリセットシーケンサやMPCSの制御クロックとして使用
resetn	入力	リセット入力 (Active-Low)
sd_ext_0_refclkp_i	入力	MPCSリファレンスクロック (ポジティブ)
sd_ext_0_refclkn_i	入力	MPCSリファレンスクロック (ネガティブ)
sd0rxp_i	入力	Serdesシリアルデータ入力 (ポジティブ)
sd0rxn_i	入力	Serdesシリアルデータ入力 (ネガティブ)
reveal_trig_i	入力	Reveal用トリガ入力 (Active-Low)
sd0_rext_i	入力	PMA PLL用のアナログリファレンスリターン信号への外部抵抗接続信号です。基板上で処理を行います
sd0_refret_i	入力	PMA PLL用のアナログリファレンスリターン信号です。基板上で処理を行います
sd0txp_o	出力	Serdesシリアルデータ出力 (ポジティブ)
sd0txn_o	出力	Serdesシリアルデータ出力 (ネガティブ)
rx_ch_dout_0_o	出力	ループバックデータ出力。本デザインでは外部ポートの信号観測は目的としていないため、必要I/O数削減のため80bitの信号をXORしており、特に意味のある信号ではありません

5. 各モジュール概要

■ top.v

本デザインのトップモジュールです。

■ mpcs_rst_gen.v

MPCS (pcs_8b10b.v) が要求するリセットシーケンス生成モジュールです。resetn信号をトリガとして以下のシーケンスを生成しています。

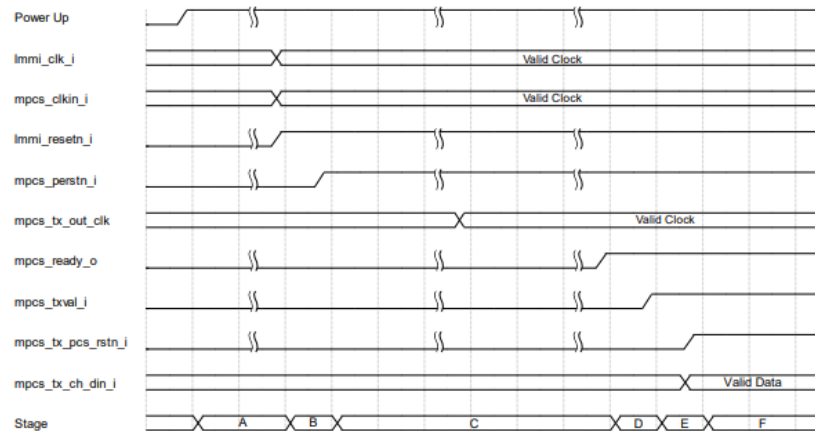


Figure 7.18. MPCS Mode Reset Sequence (Tx Path)

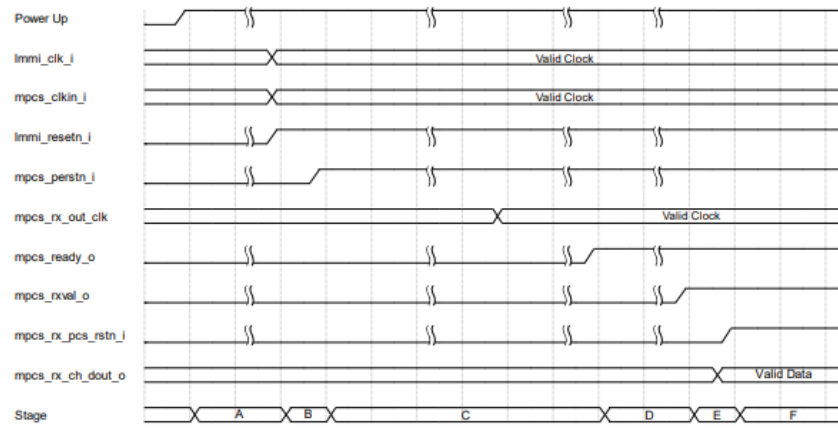


Figure 7.19. MPCS Mode Reset Sequence (Rx Path)

5. 各モジュール概要

■ data_gen.v

MPCS (pcs_8b10b.v) への入力データを生成するモジュールです。データは8bitアップカウンタで生成しており、カウント値0xFFのタイミングでK bitにHighを出力しつつ、Comma Characterを出力します。本デザインで使用しているMPCSモジュールを流用してオリジナル回路を設計される場合、このモジュールをユーザー独自の回路に置き換えて使用してください。

■ DIFFCLKIO

MPCSのリファレンスクロックとしてSD_EXT0_REFCLKを使用するためのLattice社プリミティブモジュールです。このモジュールを介してリファレンスクロックをMPCSに入力しています。

■ loopback_8b10b.rvl

内部波形観測ツール“Reveal”を使用するためにLattice RadiantのReveal Inserterで生成したデバッグデザインです。

■ pcs_8b10b.v

Generic 8B10Bを使用するMPCSモジュールです。MPCS設定の詳細は次ページ以降のモジュール生成GUIの図と合わせて説明しています。

5. 各モジュール概要

Module/IP Block Wizard

Configure Component from Module mpcs Version 1.3.0
Set the following parameters to configure this component.

Diagram pcs_8b10b

Configure IP

Property	Value
Instance Setup	
Protocol	G8B10B
Bypass PCS	<input type="checkbox"/>
Override TX PCS Mode	<input type="checkbox"/>
Override RX PCS Mode	<input type="checkbox"/>
Number of Lanes	1
Lane ID	7
Group Name	pcs_8b10b_PCSGRP
Mode	Rx_and_Tx
PLL Settings	
Data Rate (Gbps) [0.625 - 8.1]	1
Ref Clk Freq (MHz) [74.25 - 162]	100
Bus Width	10
PMA Clock Divider	1
PMA Clock Frequency (MHz)	100
PCS Clk Freq (MHz)	100
2:1 Gearing	DISABLED
Output Clk Freq (MHz)	100
PLL M Setting	2
PLL F Setting [1 - 6]	1
PLL N Setting	10

No DRC issues are found.

Generate Cancel

Generalタブの設定は以下の通りです。

■ Protocol
G8B10Bを選択しています。

■ Number of Lane
1Laneを選択しています。

■ Lane ID
7を選択しています。Quad1の4Lane目にアサインされ、CertusPro-NX Evaluation Board上のSD7_TXD_P/N、SD7_RXD_P/Nに接続されます。

■ Data Rate
シリアルデータレートの設定です。1Gbpsに設定しています。

■ Ref Clk Freq
MPCSリファレンスクロック周波数の設定です。100MHzに設定しています。

■ Bus Width
MPCSからの出力データバス幅です。10bitに設定しています。

■ 2:1 Gearing
Bus Widthで設定した出力バス幅を倍にしてバスクロック周波数を半減させるかどうかの設定です。DISABLEDに設定しています。

※ Bus Width = 10bit, 2:1 Gearing = DISABLEDのため、MPCSはデータ入力バス、及びデータ出力バス幅が10bitとなり、1Byte Modeの設定となります。

5. 各モジュール概要

Module/IP Block Wizard

Configure Component from Module mpcs Version 1.3.0
Set the following parameters to configure this component.

Diagram pcs_8b10b

Configure IP

Property	Value
Transmit	
Invert TX Data Polarity	NORMAL
TX FIFO	ENABLED
8b10b Encoder	ENABLED
TX Lane-to-Lane Deskew	ENABLED
Receive	
Invert RX Data Polarity	NORMAL
Word Alignment	ENABLED
Word Alignment Bit Width	10BIT_WIDTH
Put the COMMA byte to LSByte	DISABLED
Automatic Word Alignment	ENABLED
Primary Word Alignment Pattern Symbol 0 10B (HEX)	000
Primary Word Alignment Pattern Symbol 0 10B (HEX)	17C
Word Alignment Pattern Mask Code Symbol 1 10B (HEX)	000
Word Alignment Pattern Mask Code Symbol 0 10B (HEX)	000
Secondary Word Alignment	DISABLED
Secondary Word Alignment Pattern Symbol 1 10B (HEX)	000
Secondary Word Alignment Pattern Symbol 0 10B (HEX)	283
Use LSByte of the Word Alignment	DISABLED
Use 'sync_det' FSM	ENABLED
Number of Valid Sync Code Groups [3 - 255]	3
Number of Bad Code Groups [3 - 63]	4
Number of Good Code Groups [3 - 255]	4
8b10b Decoder	ENABLED

No DRC issues are found.

Generate Cancel

PCS Setupタブはデフォルト設定です。主な設定は以下の通りです。

■ TX FIFO

ファブリックからMPCSに入力する送信データのクロック同期用FIFO設定です。ENABLEに設定しています。

■ Word Alignment Bit Width

Comma Characterのバス幅設定です。10bitに設定しています。

■ Primary Word Alignment Pattern Symbol 0 10B

Comma Characterを設定します。10bitコードをLSB側から読んだ値を設定します。本デザインではK28.5のRD-の値を選択しており、10'b00_1111_1010をLSBから読んだ値、10'b01_0111_1100 = 17Cと設定しています。

■ Secondary Word Alignment

2つ目のWord Alignment Patternを使用するかどうかの設定です。Word Alignment Patternは上記K28.5のRD-のみ使用するためDisableに設定しています。

■ RX FIFO

MPCSからファブリックに出力する受信データのクロック同期用FIFO設定です。ENABLEに設定しています。

(参考) MPCSCクロック配線

7.1.1. 8B/10B PCS Clock

Figure 7.1 shows the 8B/10B PCS channel clock diagram.

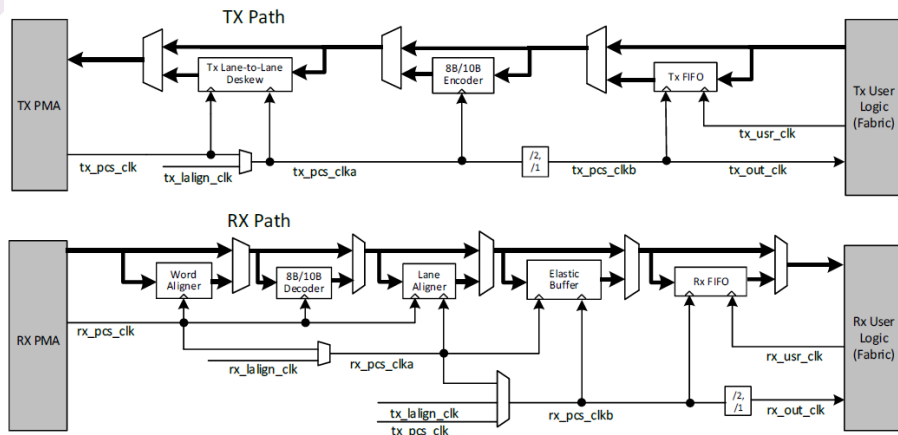


Figure 7.1. 8B/10B PCS Channel Clock Diagram

上図の通りMPCSへの入カクロックはTx/Rx共にMPCSから出力されるtx_out_clk, rx_out_clkに同期する必要があります。

また、ファブリック内回路のクロックもこれらのクロックと同期する必要があります。

本デザインを流用して設計される際にはMPCSに接続されるユーザー回路が正しくMPCS出力のtx_out_clk, rx_out_clkで同期するようご注意ください。

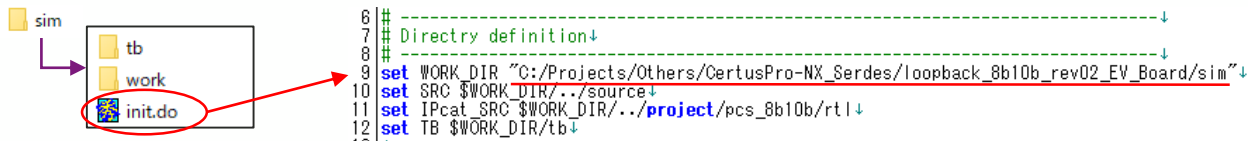
top.vクロック接続部より抜粋

```
101 ↓
102 //-----↓
103 // 8bit Tx data generator↓
104 //-----↓
105 data_gen↓
106   u_data_gen (↓
107     .clk      { tx_out_clk_0 },↓
108     .resetn   { resetn      },↓
109     .data_o   { tx_data_0   },↓
110     .k_o      { tx_k_0      },↓
111   );↓
112 ↓
```

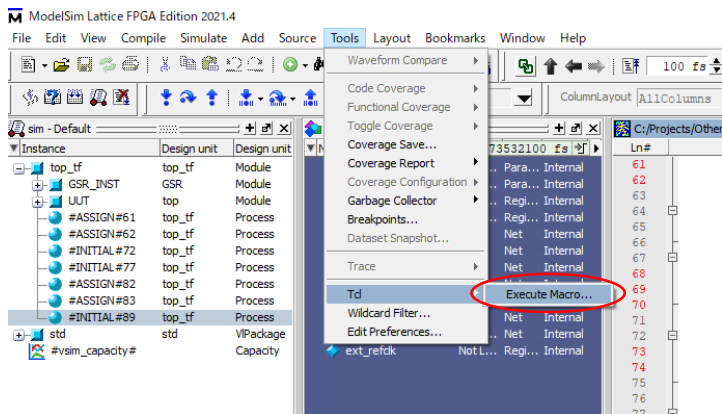
```
176 ↓
177     .mpcs_rx_usr_clk_i_0 { rx_out_clk_0 }, // User Interface RX Clock Input↓
178     .mpcs_tx_usr_clk_i_0 { tx_out_clk_0 }, // User Interface TX Clock Input↓
179     .mpcs_rx_out_clk_o_0 { rx_out_clk_0 }, // PCS RX Output Clock↓
180     .mpcs_tx_out_clk_o_0 { tx_out_clk_0 }, // PCS TX Output Clock↓
181 ↓
```

6. ファンクションシミュレーション

ファンクションシミュレーションを実施するには、ModelSim Lattice Editionを使用します。
シミュレーション開始前にinit.doファイル内の以下のディレクトリ指定をユーザー環境のsimフォルダのパスに変更する必要があります。
Init.doファイルはsimフォルダの中に格納されています。



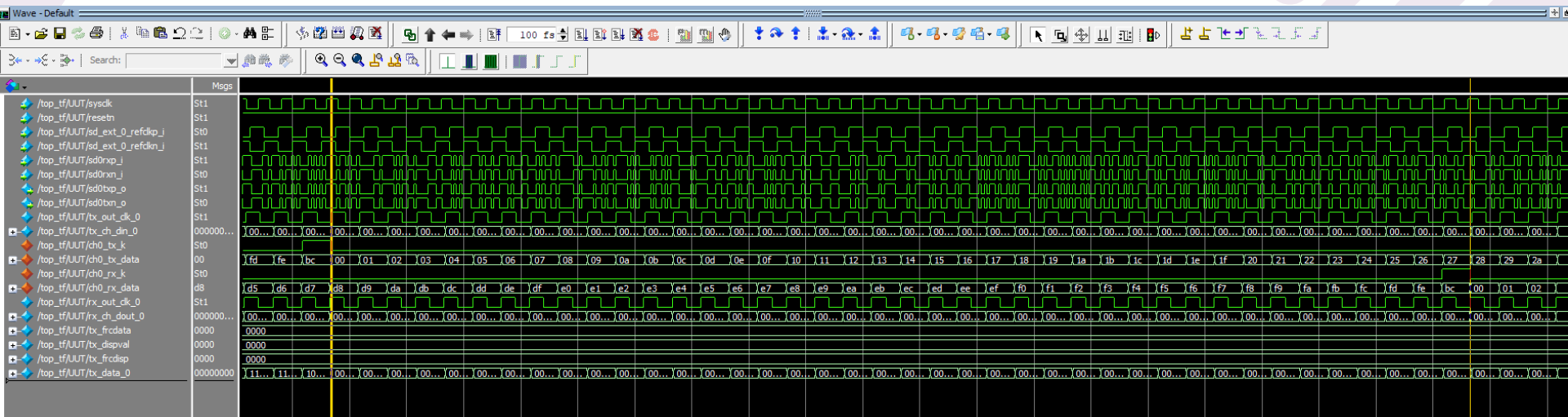
Model Simを起動後、Tools > Tcl > Execute Macro からinit.doファイルを起動します。



Init.doの編集方法、doファイルでのシミュレーション詳細については、以下のページの「ModelSim Lattice Edition DO マクロ ユーザーガイド」を参照してください。

<https://www.macnica.co.jp/business/semiconductor/articles/lattice/132003/>

6. ファンクションシミュレーション



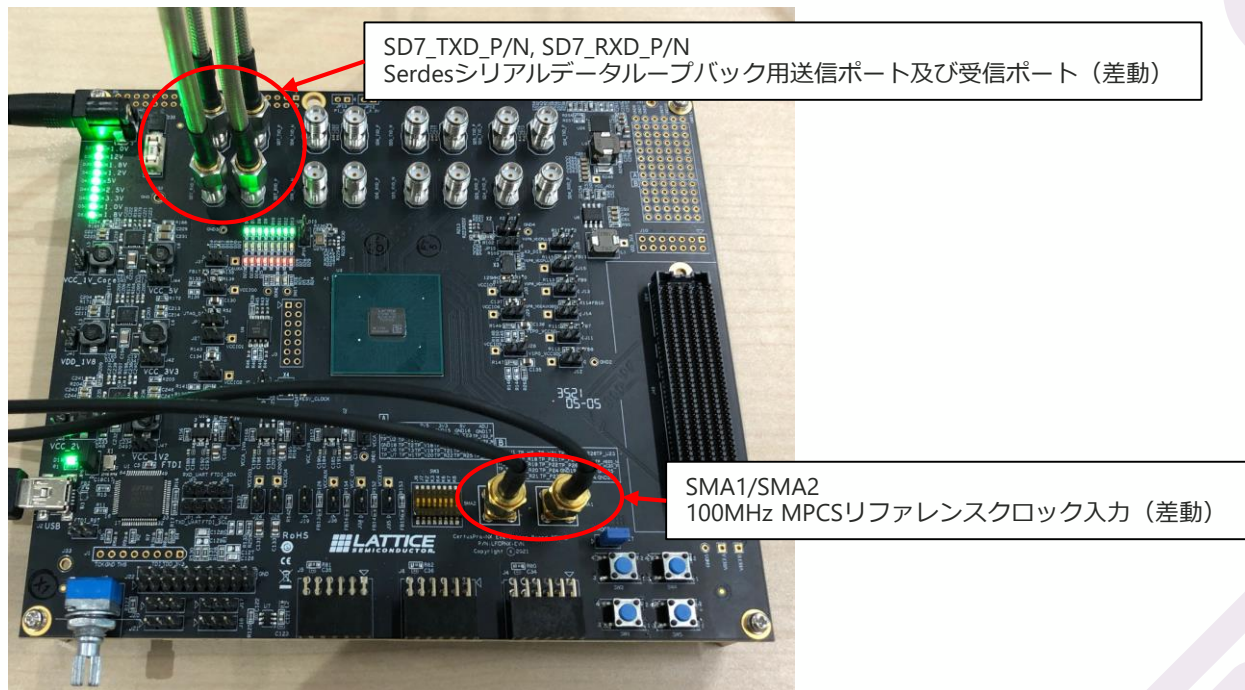
上図はシミュレーション波形からMPCSに入力される8bitデータおよびK bitと、ループバック後にMPCSから出力される8bitデータおよびK bitの部分を取り出しています。送信側はch0_tx_kにHighを入力するタイミングで0xBCのComma CharacterがMPCSに入力され、続いてアップカウンタのデータを入力しています。受信側ではch0_rx_kからHighが出力されるタイミングで0xBCがMPCSから出力されており、続いて送信側と同様のアップカウンタデータが出力されています。送信データがSerdesシリアルデータに変換された後にループバックされ、正しく受信されてMPCSから出力されていることが分かります。

7. 実機動作

実機動作確認はCertusPro-NX Evaluation Boardを使用してループバック後に受信したデータをRevealで観測することで行っています。Revealの使用方法については以下のページの「Radiant基本操作マニュアル」を参照してください。

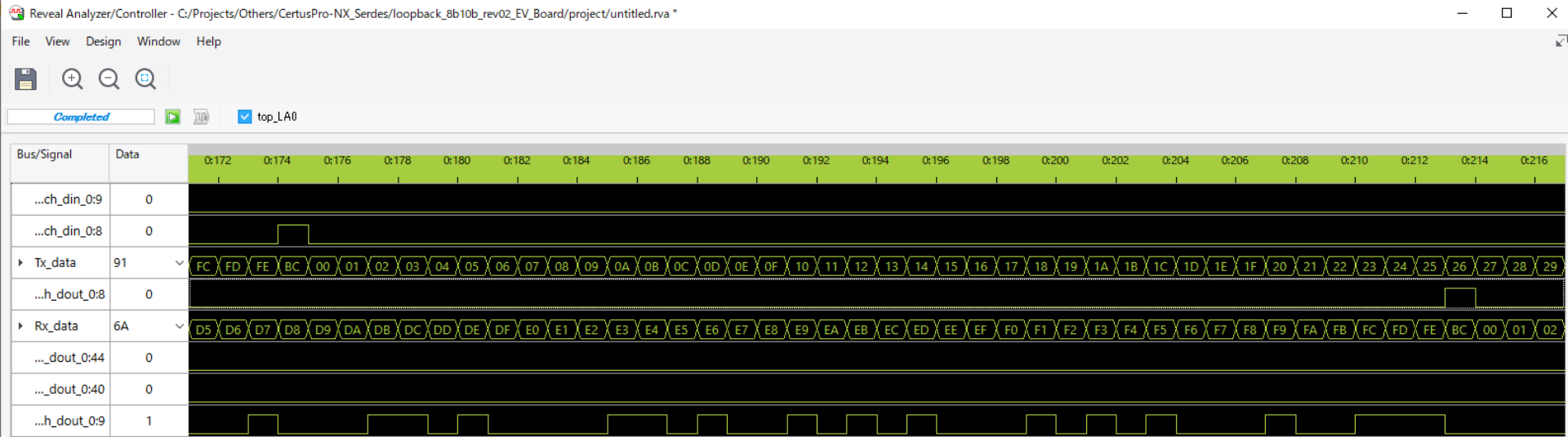
<https://www.macnica.co.jp/business/semiconductor/articles/lattice/134363/>

実機セットアップは以下の図を参照してください。



7. 実機動作

以下Reveal Analyzerの画面では、MPCSに入力する送信データと、ループバック後にMPCSから出力された受信データを観測しています。シミュレーション波形と同様に送信データがSerdesシリアルデータに変換された後にループバックされ、正しく受信されてMPCSから出力されていることが確認できます。



Revision History

Date	Revision	Page	Change Information
2022/06/24	1.0		First Revision