

## Cyclone® V SoC HPS アドレスマップ および 参照ドキュメント 一覧

Cyclone V SoC HPS のレジスタマップ および 参照すべきドキュメントを示します。

インテル® FPGA の Web で公開されているレジスタマップは "Interface" 列のリンクから参照頂けます。

その他、"ドキュメント参照先" 列、"Link" 列には、インテル® FPGA のレジスタマップ以外の参照すべきドキュメントおよびそのリンクを掲載しています。

※ ARM 共通の一般的な仕様 (インテル® FPGA 依存部以外) は、ARM 社が公開しているドキュメントを参照いただく必要があります。(一部、ユーザー登録が必要なドキュメントもあります)

※ 特に割り込みコントローラ周りのドキュメントは、下記の順で上位側から順に参照頂く必要があります。(詳細仕様が載っていない場合には下位側のドキュメントを参照する必要があります)

1. Cortex-A9 MPCore Technical Reference Manual
2. PrimeCell Generic Interrupt Controller (PL390) Technical Reference Manual
3. ARM Generic Interrupt Controller Architecture Specification

<表の色分け>

インテル® のドキュメントに一通りのレジスタ仕様が掲載される
ARM 社のドキュメントにレジスタの詳細仕様が掲載される (ベースアドレスは インテル® のレジスタマップを参照)
メモリ領域や Reserved 領域など (HPS のレジスタが配置される領域以外)

### Address Map for hps

Interface (レジスタマップLink)	Name	Start Address	End Address	ドキュメント参照先	Link
<a href="#">hps2fpgaslaves</a>	FPGA Slaves Accessed Via HPS2FPGA AXI Bridge	0x00000000	0xFBFFFFFF	HPS2FPGA アクセス用のアドレス領域	-
<a href="#">stm</a>	STM Module	0xFC000000	0xFFFFFFFF	CoreSight System Trace Macrocell Technical Reference Manual, Revision: r0p1	<a href="#">click here</a>
<a href="#">dap</a>	DAP Module	0xFF000000	0xFF1FFFFFFF		
<a href="#">lwfpgaslaves</a>	FPGA Slaves Accessed Via Lightweight HPS2FPGA AXI Bridge	0xFF200000	0xFF3FFFFFFF	CoreSight Components Technical Reference Manual	<a href="#">click here</a>
<a href="#">lwahps2fpgaregs</a>	LW HPS2FPGA AXI Bridge Module	0xFF400000	0xFF47FFFF	Lightweight HPS2FPGA アクセス用のアドレス領域	-
<a href="#">hps2fpgaregs</a>	HPS2FPGA AXI Bridge Module	0xFF500000	0xFF57FFFF		
<a href="#">fpga2hpsregs</a>	FPGA2HPS AXI Bridge Module	0xFF600000	0xFF67FFFF	Cyclone V Hard Processor System Technical Reference Manual ※レジスタ仕様は、Technical Reference Manual の該当Module の項とレジスタマップの両方に掲載されますので、どちらからでもご確認いただけます。(レジスタ仕様のみを参照する場合は、レジスタマップの方が見やすいと思います)	<a href="#">click here</a>
<a href="#">emac</a>	EMAC Module	0xFF700000	0xFF701FFF		
<a href="#">sdmmc</a>	SDMMC Module	0xFF702000	0xFF703FFF		
<a href="#">qspi</a>	QSPI Flash Controller Module Registers	0xFF704000	0xFF7043FF		
<a href="#">fpgamgrregs</a>	FPGA Manager Module	0xFF705000	0xFF7050FF		
<a href="#">acpidmap</a>	ACP ID Mapper Registers	0xFF706000	0xFF706FFF		
<a href="#">gpio</a>	GPIO Module	0xFF707000	0xFF707FFF		
		0xFF708000	0xFF70807F		
		0xFF709000	0xFF70907F		
		0xFF70A000	0xFF70A07F		
<a href="#">l3regs</a>	L3 (NIC-301) GPV Registers	0xFF800000	0xFF87FFFF	CoreLink Network Interconnect NIC-301 Technical Reference Manual, Revision: r2p3	<a href="#">click here</a>
<a href="#">nanddata</a>	NAND Controller Module Data (AXI Slave)	0xFF900000	0xFF99FFFF	NAND Flash Controller データアクセス用アドレス領域	-
<a href="#">qspidata</a>	QSPI Flash Module Data (AHB Slave)	0xFFA00000	0xFFAFFFFFFF	QSPI Flash Controller データアクセス用アドレス領域	-
<a href="#">usb</a>	USB OTG Controller Module Registers	0xFFB00000	0xFFB3FFFF	Cyclone V Hard Processor System Technical Reference Manual ※レジスタ仕様は、Technical Reference Manual の該当Module の項とレジスタマップの両方に掲載されますので、どちらからでもご確認いただけます。(レジスタ仕様のみを参照する場合は、レジスタマップの方が見やすいと思います)	<a href="#">click here</a>
		0xFFB40000	0xFFB7FFFF		
<a href="#">nandregs</a>	NAND Flash Controller Module Registers (AXI Slave)	0xFFB80000	0xFFB807FF		
<a href="#">fpgamgrdata</a>	FPGA Manager Module Configuration Data	0xFFB90000	0xFFB90003		
<a href="#">can</a>	CAN Controller Module	0xFFC00000	0xFFC001FF		
		0xFFC01000	0xFFC011FF		
<a href="#">uart</a>	UART Module	0xFFC02000	0xFFC020FF		
		0xFFC03000	0xFFC030FF		
<a href="#">i2c</a>	I2C Module	0xFFC04000	0xFFC040FF		
		0xFFC05000	0xFFC050FF		
		0xFFC06000	0xFFC060FF		
		0xFFC07000	0xFFC070FF		
<a href="#">timer</a>	Timer Module	0xFFC08000	0xFFC080FF		
		0xFFC09000	0xFFC090FF		
		0xFFD00000	0xFFD000FF		
		0xFFD01000	0xFFD010FF		
<a href="#">sdr</a>	SDRAM Controller	0xFFC20000	0xFFC3FFFF		
<a href="#">l4wd</a>	L4 Watchdog Module	0xFFD02000	0xFFD020FF		
		0xFFD03000	0xFFD030FF		
<a href="#">clkmgr</a>	Clock Manager Module	0xFFD04000	0xFFD041FF		
<a href="#">rstmgr</a>	Reset Manager Module	0xFFD05000	0xFFD050FF		
<a href="#">sysmgr</a>	System Manager Module	0xFFD08000	0xFFD0BFFF		
<a href="#">dmanonsecure</a>	nonsecure DMA Module Address Space	0xFFE00000	0xFFE00FFF	CoreLink DMA-330 DMA Controller Technical Reference Manual, Revision: r1p2	<a href="#">click here</a>
<a href="#">dmasecure</a>	secure DMA Module Address Space	0xFFE01000	0xFFE01FFF	CoreLink DMA-330 DMA Controller Technical Reference Manual, Revision: r1p2	<a href="#">click here</a>
<a href="#">spis</a>	SPI Slave Module	0xFFE02000	0xFFE0207F	Cyclone V Hard Processor System Technical Reference Manual ※レジスタ仕様は、Technical Reference Manual の該当Module の項とレジスタマップの両方に掲載されますので、どちらからでもご確認いただけます。(レジスタ仕様のみを参照する場合は、レジスタマップの方が見やすいと思います)	<a href="#">click here</a>
		0xFFE03000	0xFFE0307F		
<a href="#">spim</a>	SPI Master Module	0xFFE00000	0xFFE000FF		
		0xFFE01000	0xFFE010FF		
<a href="#">scanmgr</a>	Scan Manager Module Registers	0xFFE02000	0xFFE0201F		
<a href="#">rom</a>	Boot ROM Module	0xFFFD0000	0xFFFDFFFF	Boot ROM用のアドレス領域	-
<a href="#">mpu</a>	MPU Module Address Space ※詳細マッピングは本シート後方の別表『MPU Address Map』を参照ください。	0xFFFFE000	0xFFFFEFFF	Cortex-A9 MPCore Technical Reference Manual, Revision: r3p0	<a href="#">click here</a>
<a href="#">mpul2</a>	MPU L2 cache controller Module Address Space ※詳細マッピングは本シート後方の別表『MPU L2 Cache Controller (L2C-310) Module Address Map』を参照ください。	0xFFFFE000	0xFFFFEFFF	CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual, Revision: r3p3	<a href="#">click here</a>
<a href="#">ocram</a>	On-chip RAM Module	0xFFFF0000	0xFFFFFFF	オンチップRAM用のアドレス領域	-

## MPU Address Map

This address space is allocated to the MPU. For detailed information about the use of this address space, click here to access the ARM documentation for the Cortex-A9 MPCore.

Module Instance	Description	Start Address	End Address	ドキュメント参照先	Link
SCU	This address space is allocated for the Snoop Control Unit registers.	0xFFFE000	0xFFFE0FF	<b>Cortex-A9 MPCore Technical Reference Manual, Revision: r3p0</b> 『2.2. SCU registers』を参照してください。  ※「Table 2.1. SCU registers summary」にレジスタの一覧が掲載されます。各レジスタのアドレスは、ARM社のドキュメントに Offset値 が掲載されていますので、SCUのベースアドレス (0xFFFE000) を加算することで導出いただけます。Table 2.1. の Page 列に各レジスタ詳細情報へのリンクが貼られています。	<a href="#">click here</a>
GIC	This address space is allocated for the General Interrupt Controller (GIC) registers.	0xFFFE100	0xFFFE1FF	<b>Cortex-A9 MPCore Technical Reference Manual, Revision: r3p0</b> 『3.4. Interrupt interface register descriptions』を参照してください。  ※「Table 3.8. Cortex-A9 processor interface register summary」にレジスタの一覧が掲載されます。各レジスタのアドレスは、ARM社のドキュメントに Offset値 が掲載されていますので、GICのベースアドレス (0xFFFE100) を加算することで導出いただけます。Table 3.8. の Function 列に各レジスタ詳細情報へのリンクが貼られています。リンクが無いレジスタについては別のドキュメントを参照する必要があります。(大半のレジスタは以下のドキュメントを参照する形になっています)  <b>PrimeCell Generic Interrupt Controller (PL390) Technical Reference Manual, Revision: r0p0</b> 『3.3. CPU Interface register descriptions』を参照してください。 <b>ARM Generic Interrupt Controller Architecture Specification</b> 『4.1.3. CPU interface register map』を参照してください。	<a href="#">click here</a>  <a href="#">click here</a>
Global Timer	This address space is allocated for the Global Timer registers.	0xFFFE200	0xFFFE2FF	<b>Cortex-A9 MPCore Technical Reference Manual, Revision: r3p0</b> 『4.4. Global timer registers』を参照してください。  ※「Table 4.4. Global timer registers」にレジスタの一覧が掲載されます。各レジスタのアドレスは、ARM社のドキュメントに Offset値 が掲載されていますので、Global Timer のベースアドレス (0xFFFE200) を加算することで導出いただけます。Table 4.4. の Function 列に各レジスタ詳細情報へのリンクが貼られています。	<a href="#">click here</a>
Reserved	This address space is reserved.	0xFFFE300	0xFFFE3FF	未使用のアドレス領域	-
Private Timers and Watchdog Timers	This address space is allocated for private timers and watchdog timers.	0xFFFE600	0xFFFE6FF	<b>Cortex-A9 MPCore Technical Reference Manual, Revision: r3p0</b> 『4.2. Private timer and watchdog registers』を参照してください。  ※「Table 4.1. Timer and watchdog registers」にレジスタの一覧が掲載されます。各レジスタのアドレスは、ARM社のドキュメントに Offset値 が掲載されていますので、Private Timers and Watchdog Timers のベースアドレス (0xFFFE600) を加算することで導出いただけます。Table 4.1. の Function 列に各レジスタ詳細情報へのリンクが貼られています。	<a href="#">click here</a>
Reserved	This address space is reserved.  Caution: Any access to this region causes a SLVERR abort exception.	0xFFFE700	0xFFFE7FF	未使用のアドレス領域	-
Interrupt Distributor	This address space is allocated for the interrupt distributor.	0xFFFE000	0xFFFE0FF	<b>Cortex-A9 MPCore Technical Reference Manual, Revision: r3p0</b> 『3.3. Distributor register descriptions』を参照してください。  ※「Table 3.1. Distributor register summary」にレジスタの一覧が掲載されます。各レジスタのアドレスは、ARM社のドキュメントに Offset値 が掲載されていますので、Interrupt Distributor のベースアドレス (0xFFFE000) を加算することで導出いただけます。Table 3.1. の Function 列に各レジスタ詳細情報へのリンクが貼られています。リンクが無いレジスタについては別のドキュメントを参照する必要があります。  <b>PrimeCell Generic Interrupt Controller (PL390) Technical Reference Manual, Revision: r0p0</b> 『3.2. Distributor register descriptions』を参照してください。 <b>ARM Generic Interrupt Controller Architecture Specification</b> 『4.1.2. Distributor register map』を参照してください。	<a href="#">click here</a>  <a href="#">click here</a>
Reserved	This address space is reserved.	0xFFFE000	0xFFFE0FF	未使用のアドレス領域	-

## MPU L2 Cache Controller (L2C-310) Module Address Map

This address space is allocated to the MPU L2 cache controller. For detailed information about the use of this address space, click here to access the ARM documentation for the L2C-310.

Register Group	Description	Start Address	End Address	ドキュメント参照先	Link
Cache ID and Cache Type	This address space is allocated for the cache ID and cache type registers.	0xFFFEF00	0xFFFEF0F	<b>CoreLink™ Level 2 Cache Controller L2C-310 Technical Reference Manual, Revision: r3p3</b> 『3.2 Register summary』を参照してください。	<a href="#">click here</a>
Control	This is the address space for the cache control registers.	0xFFFEF100	0xFFFEF1FF	※「Table 3.1. Cache controller register map」に左記の Address Map と同様の情報が掲載されています。ARM社のドキュメントは Offset値 で掲載されていますが、MPU L2 cache controller Module Address Space のベースアドレス (0xFFFEF00) を加算することで絶対アドレスが決定します。	
Interrupt/Counter Control	This address space is allocated for the Interrupt/Counter control registers.	0xFFFEF200	0xFFFEF2FF	※「Table 3.2. Summary of cache controller registers」にレジスタが一覧されます。Description 欄に各レジスタの詳細情報へのリンクが設定されているので、ここから各レジスタ詳細情報を参照していただけます。	
Reserved	This address space is reserved.	0xFFFEF300	0xFFFEF6FF		
Cache Maintenance Operations	This is the address space is allocated for the cache maintenance operation registers.	0xFFFEF700	0xFFFEF7FF		
Reserved	This address space is reserved.	0xFFFEF800	0xFFFEF8FF		
Cache Lockdown	This address space is allocated for cache lockdown registers.	0xFFFEF900	0xFFFEF9FF		
Reserved	This address space is reserved.	0xFFFEFA00	0xFFFEFBFF		
Address Filtering	This address space is allocated for address filtering registers.	0xFFFEFC00	0xFFFEFCFF		
Reserved	This address space is reserved.	0xFFFEFD00	0xFFFEFEFF		
Debug, Prefetch, Power	This address space is allocated for debug, prefetch and power registers.	0xFFFEFF00	0xFFFEFFFF		

以上