



# 外部メモリ・インターフェース (EMIF) レイアウト ガイドライン

2019年11月

株式会社マクニカ アルティマカンパニー

Rev 2.1

# アジェンダ

- はじめに
- レイアウトフロー
  - ピン&リソース確認
  - レイアウトの確認
  - 基板パラメータの抽出
  - IBISで基板SIM
  - 基板SIM結果の確認
  - 基板SIM結果をIPに反映
  - コンパイル結果を考察
  - 最終判断
  - 実波形確認(オプション)
- Appendix
  - Example Design の作成方法
  - パラメータの確認方法
  - 回路図の確認項目
  - 基板SIM結果の確認項目



はじめに

# 本資料の目的

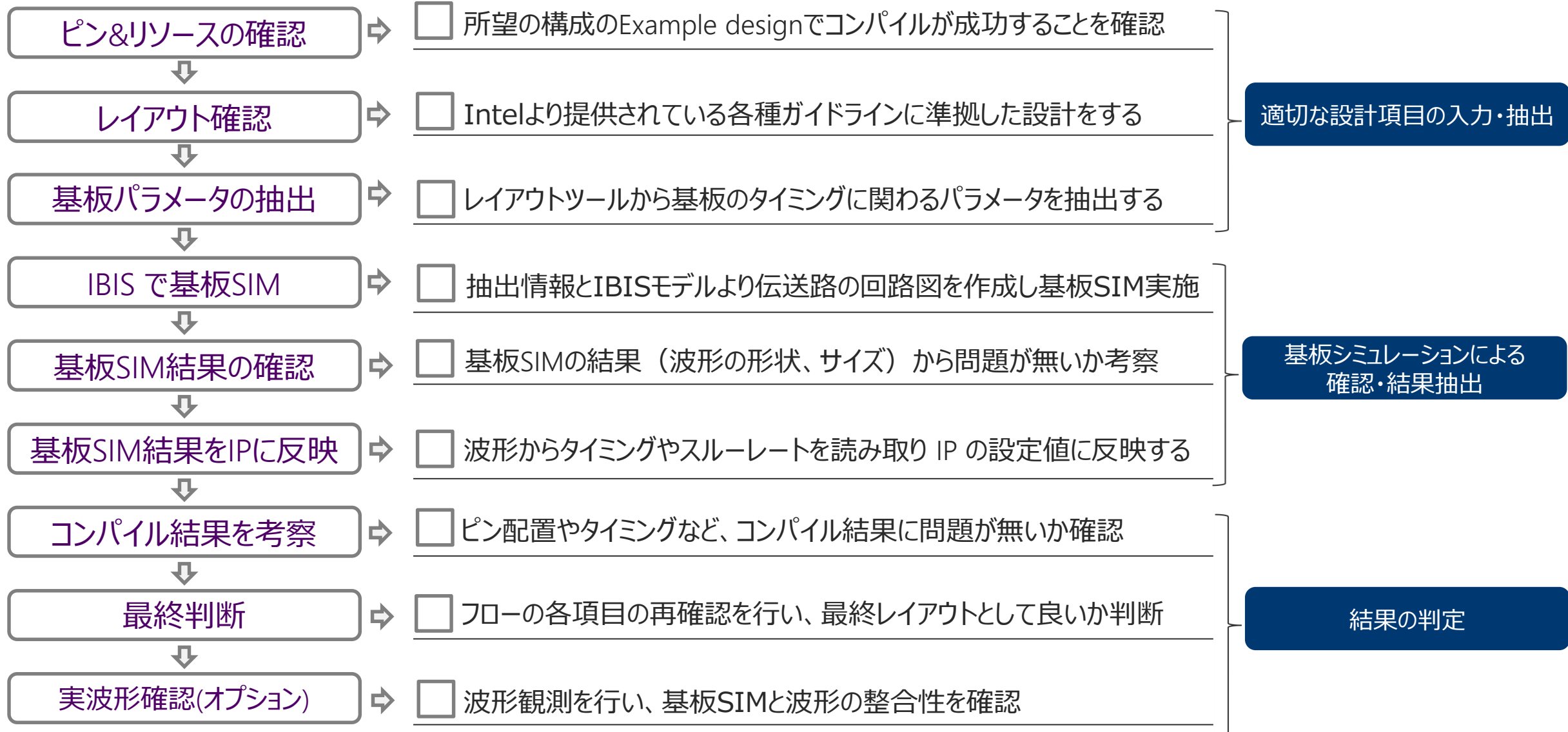
- メモリインタフェースの高速化に伴い、データバリッドウィンドウの縮小や信号品質の悪化が課題として挙げられます
- 特にボード設計者は受信端での信号品質に注意を払って設計する必要があります
- 本資料は信号品質に注意しながらボードのレイアウト設計やFPGAの設定を確認する手順を案内し、設計の失敗・逆戻りのリスクを低減することを目的とします
  - 外部メモリアンターフェースの設計を初めて行うレイアウト担当者に、確認すべき注意点の掲載箇所と適切な設計フェーズを案内する
  - レイアウト担当者と FPGA デザイン設計担当者間で共有すべき情報を明確化し、レビューを効率よく行えるようにする
- なお、本資料はインテル® Arria® 10 FPGA + DDR3, DDR4 を想定したものです
  - 一部の GUI 表示を除き、V シリーズにも適応可能



レイアウト フロー

# レイアウト フロー

このフローは、レイアウト情報の妥当性を確認する作業になりますので、初期レイアウトと最終レイアウトの少なくとも2回は実行して頂く事を推奨します。



# レイアウトフロー



## ● ピン&リソース確認

- Example Design でコンパイルが成功することを確認する
- メモリパラメータを正確に入力する
  - EMIF デザイン & デバッグガイドラインの下記の章を参照する
    - デバイスの選択
    - Example Design の生成
    - Fitter の確認
- Example Designの作成方法は [Appendix : Example Design の作成方法を参照](#)
- パラメータの確認方法については [Appendix :パラメータの確認方法を参照](#)

### EMIF デザイン & デバッグガイドライン

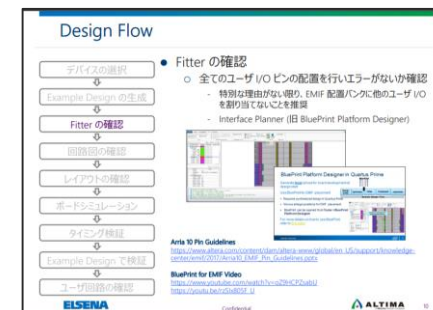
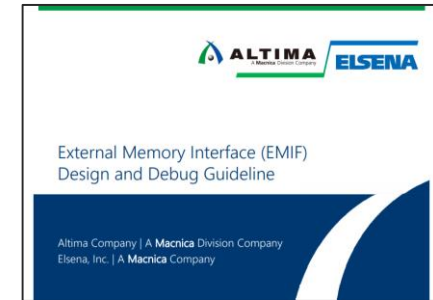
<https://www.macnica.co.jp/business/semiconductor/articles/intel/129749/>

### Arria 10 EMIF Example Design Guideline

[https://www.intel.com/content/dam/altera-www/global/en\\_US/support/knowledge-center/emif/2017/Arria10\\_EMIF\\_Example\\_Design\\_Guidelines.pptx](https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2017/Arria10_EMIF_Example_Design_Guidelines.pptx)

### Arria 10 Simulation Guideline

[https://www.intel.com/content/dam/altera-www/global/en\\_US/support/knowledge-center/emif/2017/Arria10\\_EMIF\\_Simulation\\_Guidelines.pptx](https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2017/Arria10_EMIF_Simulation_Guidelines.pptx)

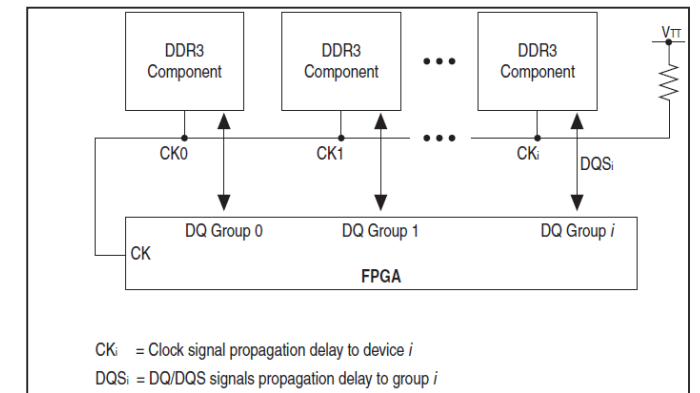
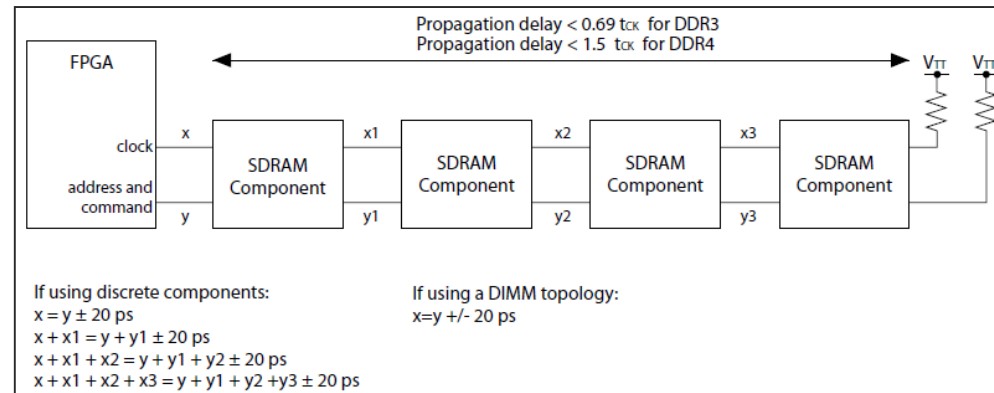


# レイアウトフロー



## ● レイアウトの確認

- Design Layout Guidelinesを参照
  - 可能な限りレイアウトガイドラインよりマージンをもって設計することを推奨
- Schematic Review worksheetで回路図の確認



- 回路図については

[Appendix : 回路図の確認項目を参照](#)

Arria 10 Board Guidelines

[https://www.intel.com/content/dam/altera-www/global/en\\_US/support/knowledge-center/emif/2017/Arria10\\_EMIF\\_Board\\_Guidelines.pptx](https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2017/Arria10_EMIF_Board_Guidelines.pptx)

Design Layout Guidelines

<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-20115.pdf>

“Design Layout Guidelines” で検索

Device Schematic Review Worksheets

<https://www.intel.com/content/www/us/en/programmable/support/support-resources/download/board-layout-test/schematic-review-ws.html>



# レイアウトフロー



- 基板パラメータの抽出

- レイアウトツールから基板のタイミングに関わるパラメータを抽出する
- 抽出した値をBoard Skew Parameter Toolに入力
  - FPGA-メモリ間の各信号の遅延時間を算出する



Cadence 社 Allegro より引用

Clock Pins		Trace Delay (ps)	DQS_Group 0		Trace Delay (ps)
Clock Pins	Mem CK 0 to DIMM/DEVICE 0		Data Pins	Mem DQ0	
	Mem CKn 0 to DIMM/DEVICE 0			Mem DQ1	
				Mem DQ2	
				Mem DQ3	
				Mem DQ4	
				Mem DQ5	
				Mem DQ6	
				Mem DQ7	
			Data Strobe pin	Mem DQS 0	
				Mem DQSn 0	

Command Pins		Trace Delay (ps)	DQS_Group 1		Trace Delay (ps)
Command Pins	RAS to DIMM/DEVICE 0		Data Pins	Mem DQ8	
	CAS to DIMM/DEVICE 0			Mem DQ9	
	WEN to DIMM/DEVICE 0			Mem DQ10	
	CS[0] to DIMM/DEVICE 0			Mem DQ11	
	ODT[0] to DIMM/DEVICE 0			Mem DQ12	
	CKE[0] to DIMM/DEVICE 0			Mem DQ13	
				Mem DQ14	
				Mem DQ15	
			Data Strobe pin	Mem DQS 1	
				Mem DQSn 1	

Address Pins		Trace Delay (ps)	DQS_Group 2		Trace Delay (ps)
Address Pins	Address[0] to DIMM/DEVICE 0		Data Pins	Mem DQ16	
	Address[1] to DIMM/DEVICE 0			Mem DQ17	
	Address[2] to DIMM/DEVICE 0			Mem DQ18	
	Address[3] to DIMM/DEVICE 0			Mem DQ19	
	Address[4] to DIMM/DEVICE 0			Mem DQ20	
	Address[5] to DIMM/DEVICE 0			Mem DQ21	
	Address[6] to DIMM/DEVICE 0			Mem DQ22	
	Address[7] to DIMM/DEVICE 0				
	Address[8] to DIMM/DEVICE 0				
	Address[9] to DIMM/DEVICE 0				
	Address[10] to DIMM/DEVICE 0				
	Address[11] to DIMM/DEVICE 0				
	Address[12] to DIMM/DEVICE 0				
	Address[13] to DIMM/DEVICE 0				
	Address[14] to DIMM/DEVICE 0				
	Address[15] to DIMM/DEVICE 0				
	Bank Address[0] to DIMM/DEVICE 0				
	Bank Address[1] to DIMM/DEVICE 0				
	Bank Address[2] to DIMM/DEVICE 0				

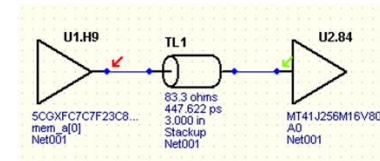
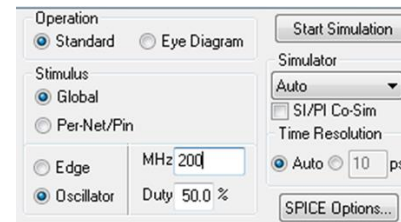
Board Skew Parameter Tool

<https://www.intel.com/content/www/us/en/programmable/solutions/technology/memory/estimator/board-skew.html>

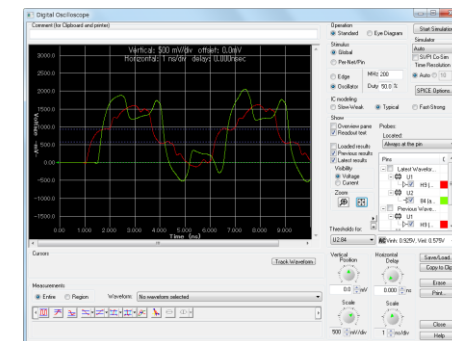
# レイアウトフロー



- 抽出したパラメータを元にIBISで基板波形SIMする
  - 基板SIMツール例：
    - Hyper Lynx SI (Mentor, a Siemens Business)
  - IBISファイルの入手方法
    - Intel の WEB から入手
      - [https://www.intel.com/content/www/us/en/programmable/support/support-resources/download/board-layout-test/ibis/ibs-ibis\\_index.html](https://www.intel.com/content/www/us/en/programmable/support/support-resources/download/board-layout-test/ibis/ibs-ibis_index.html)
    - Quartus から IBIS ファイルを出力させる
      - <https://www.macnica.co.jp/business/semiconductor/articles/intel/294/>
  - 基板SIMツールにて、トポロジーの作成やIBISからIOピンモデルを割り当てて、波形のシミュレーションを行う



メンターグラフィックスのHyperLynxより引用



- 基板Sim時に用いるシミュレーションモデル(IBIS等)は、Max/Minの条件でシミュレーションを行うようにする

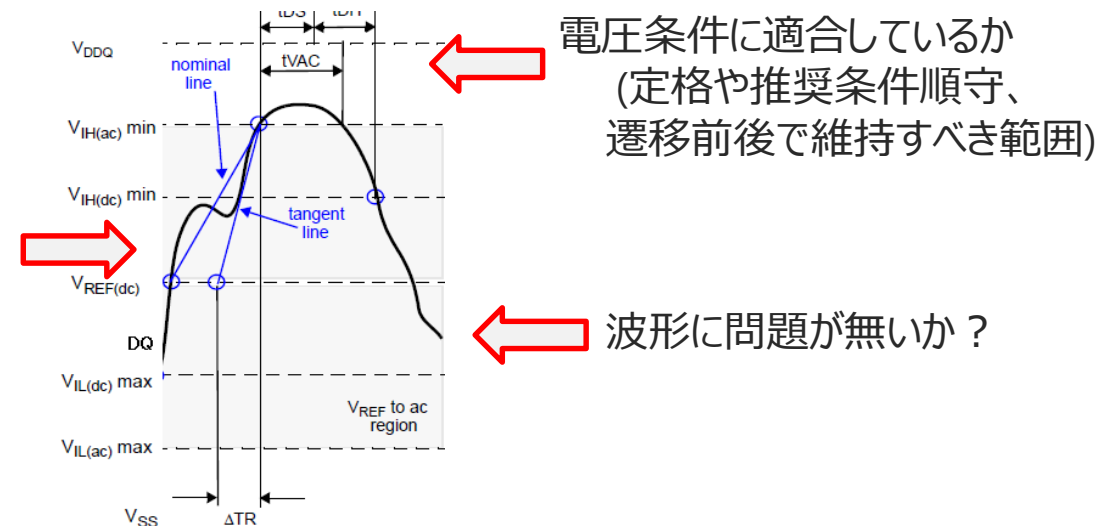
# レイアウトフロー



## ● 基板SIM結果の確認

- 概略確認：明らかに問題のない波形かどうかを確認
  - 精査確認：波形を主に下記2点について精査する
    - 詳細は [Appendix : 基板SIM結果の確認項目](#) を参照)
    - (1) 電圧レベル：各種電圧条件に適合しているかを確認
    - (2) 遷移波形：誤動作となる様な問題ないか（特にクロックとストロブ信号）
- ※ 遷移時の傾き、アイの開き（時間軸方向）は次のステップで確認してください
- 波形の電圧等に明確に問題があれば改善すべき個所まで戻る

遷移時の波形に問題が無いか？  
(信号によっては誤動作要因)

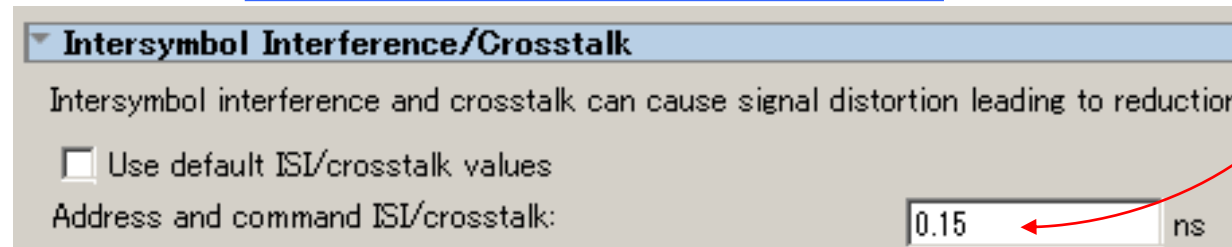


# レイアウトフロー

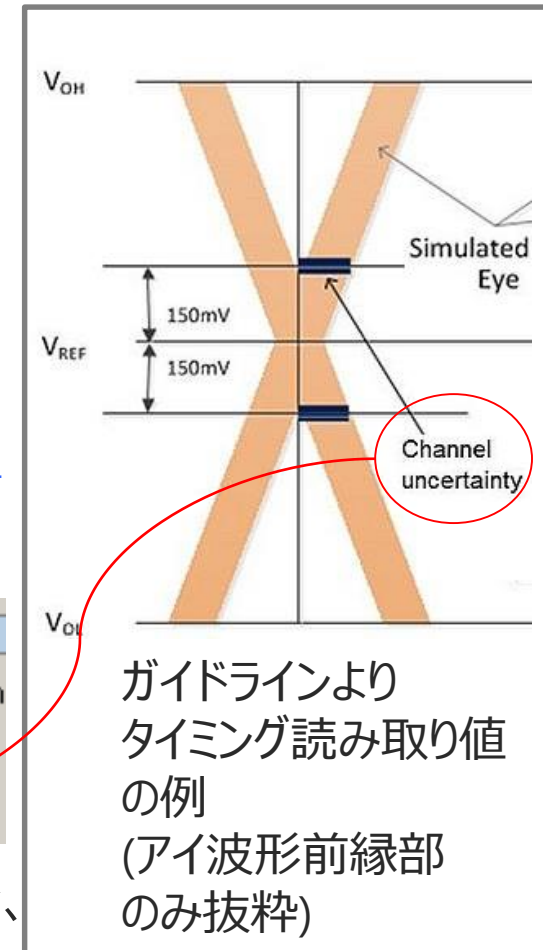


## ● 基板SIM結果をIPに反映

- SIM 波形からタイミング情報を読み取り IP の設定値 (Board Tab)に反映する
  - ジッタ、スルーレートの評価に相当
- 読み取り方は下記ガイドラインを参照
  - “Arria 10 EMIF Simulation Guidance”
  - <https://forums.intel.com/s/createarticlepage?articleid=a3g0P0000005QkcQAE&artTopicId=0TO0P000000MWKBWA4&action=view>



- この段階で明らかにパラメータの値に問題がある場合、原因となるステップまで戻って再確認・考察する



# レイアウトフロー



## ● コンパイルを実施し結果を考察

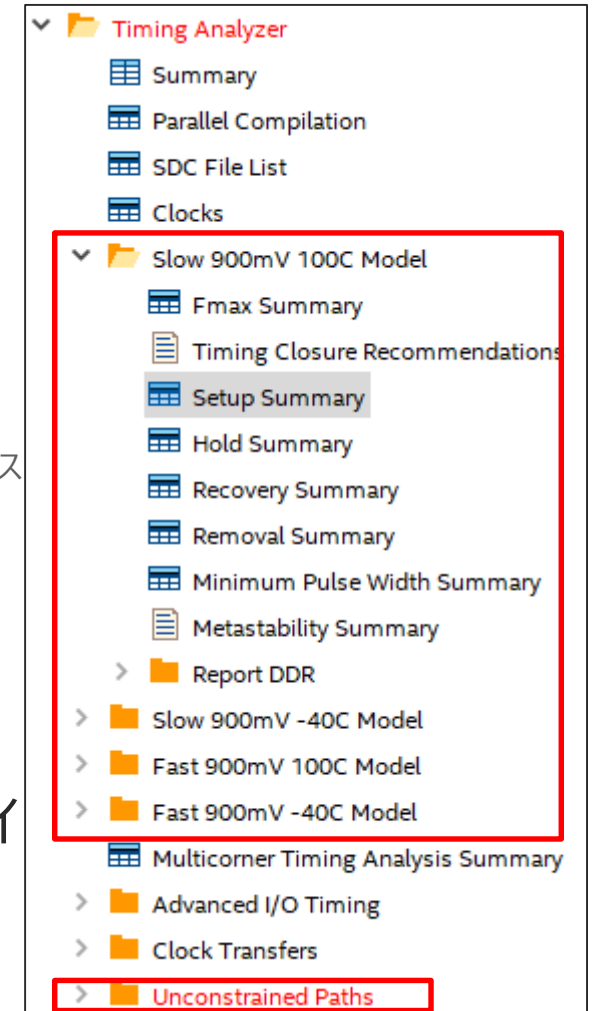
- Fitter
  - ピン配置は正確に設定されているか
- Timing Analyzer
  - sdcファイルは正しく読み込まれているか
  - 赤字になっている項目があるか
    - 各タイミングモデル：タイミングを満たしているか確認
    - Unconstrained Paths：DDRメモリ関連に対して対象となるパスが入っていないか確認

## ● タイミングをミートしない場合は原因を調査

- レイアウトが原因か、その他が原因か検証する
- 参考：FPGA の EMIF デザイン & デバッグ・ガイドライン

FPGA の EMIF デザイン & デバッグ・ガイドライン：

<https://www.macnica.co.jp/business/semiconductor/articles/intel/129749/>



# レイアウトフロー



## ● 最終判断

- ボード製造(レイアウトのサインオフ)前に本フローでの確認漏れがないか
- フローの各項目の再確認を行い、最終レイアウトとして良いか判断する
  - [P6のレイアウトフロー](#)がチェックシートを兼ねていますので活用してください
- 基板 SIM 等、条件(温度等)によって結果が変動する評価を条件の範囲をカバーして(min/max) 行っているか、再確認する
  - デフォルトの Typical/Nominal 条件のみでの判断はリスクがあります

# レイアウトフロー



- 実波形確認(オプション)

- 精度の高い実波形観測が可能であれば、基板SIMと相関性があるか確認する



# Appendix



# Appendix

- Example Design の作成方法
- パラメータの確認方法
- 回路図の確認項目
- 基板SIM結果の確認項目



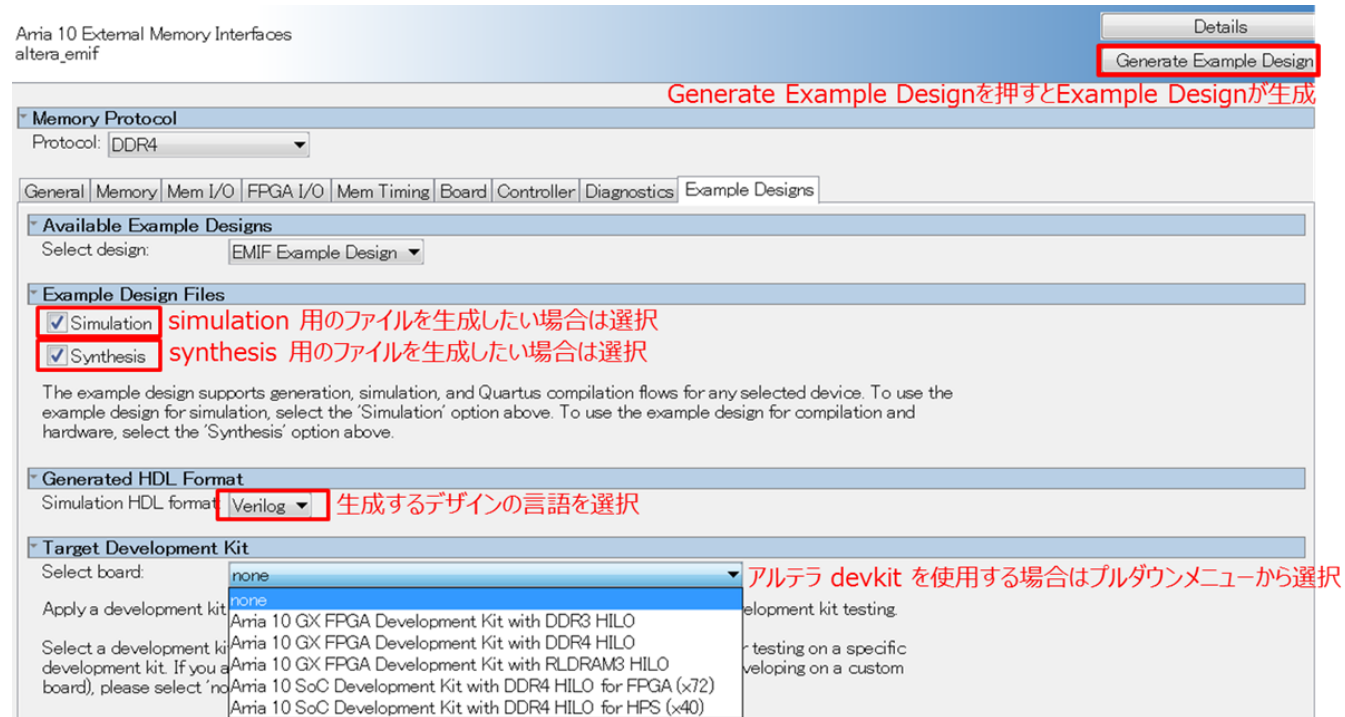
## Appendix : Example Design の作成方法

# Example Design の作成方法 1/3

- Example Design の作成

- メモリIP設定画面 ⇒ Example Design タブ ⇒ 下記の図のように必要箇所を設定

⇒ Generate Example Design を押すと Example Design が生成



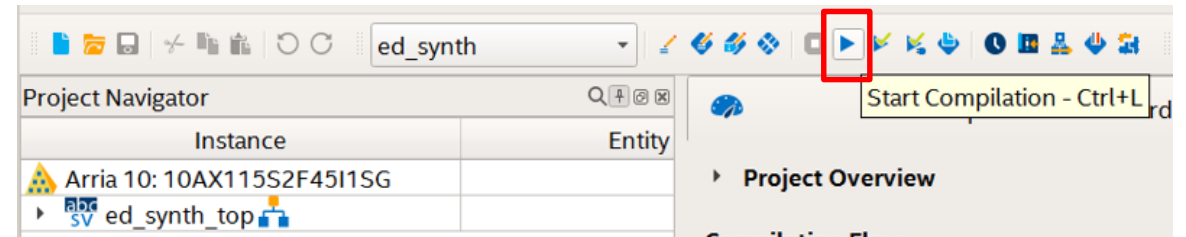
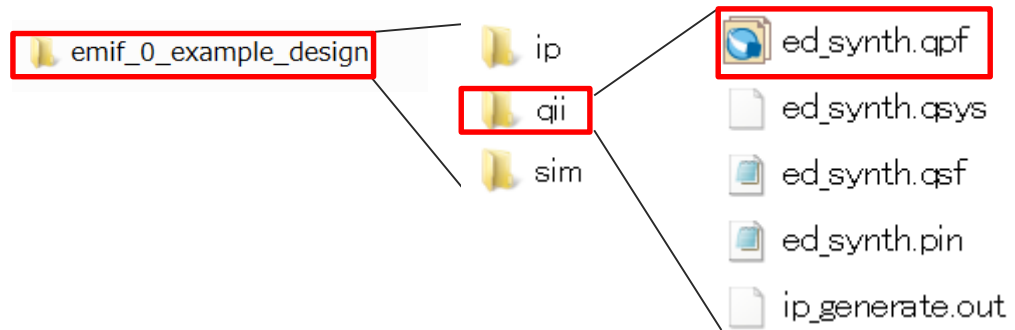
- 詳細は External Memory Interfaces Intel® Arria® 10 FPGA IP Design Example User Guide を参照

- <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-20118.pdf>

- “Design Example Quick Start Guide for External Memory Interfaces Intel® Arria® 10 FPGA IP” を参照

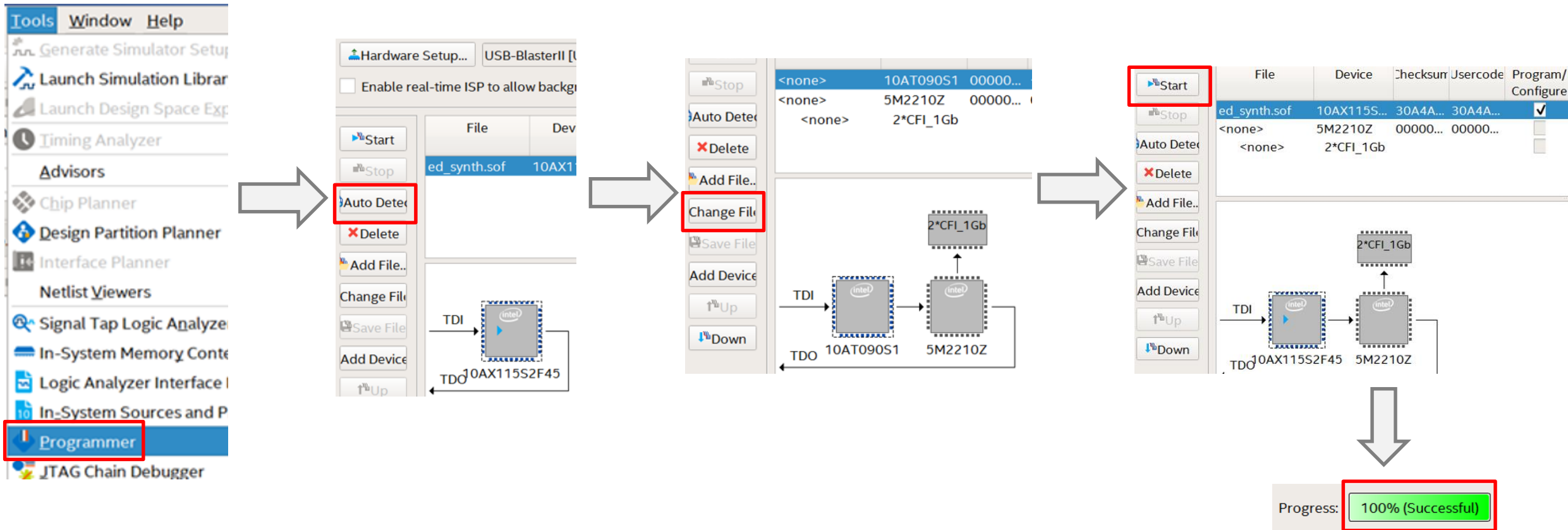
# Example Design の作成方法 2/3

- Example Design の作成
  - Example Design の生成フォルダ
    - qii フォルダ : Synthesis 用の Example Design
    - sim フォルダ : Simulation 用の Example Design
  - qii フォルダの qpf を開き、コンパイルを実行することで Example Design を作成可能

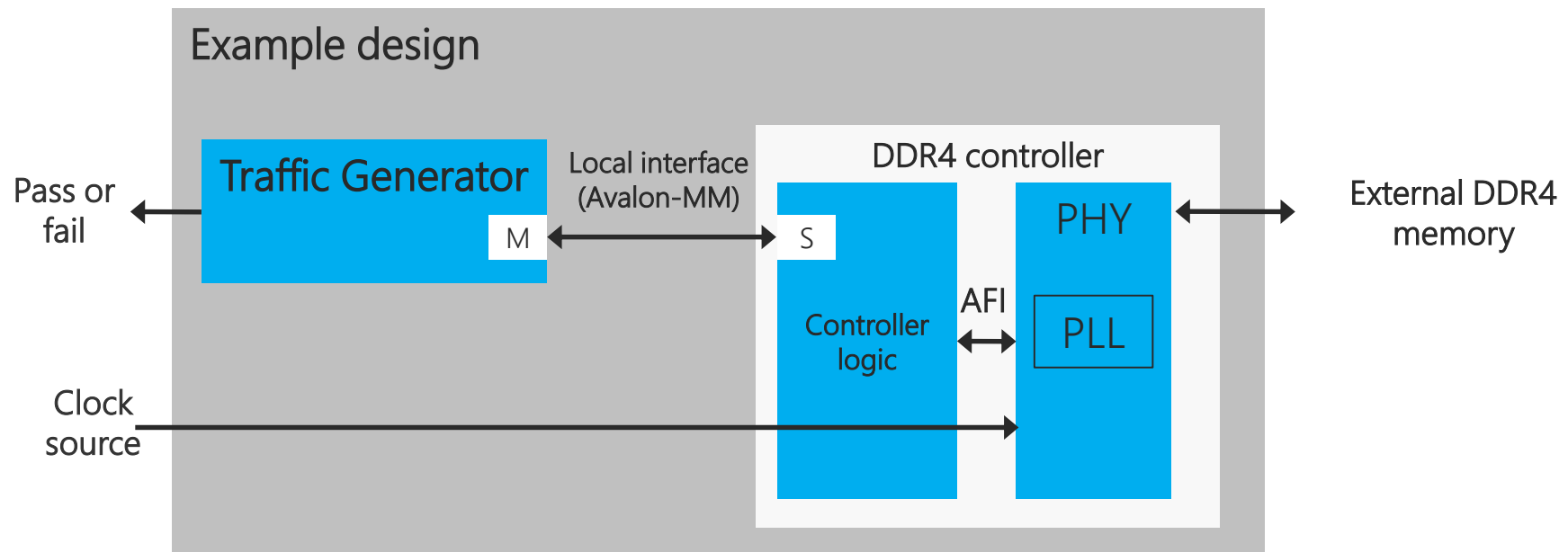


# Example Design の作成方法 3/3

- Example Design の作成
  - Tool ⇒ Programmer ⇒ Auto Detect ⇒ Change file ⇒ sofファイルを選択 ⇒ Start ⇒ Successful で書き込み完了



# Example Design の構成





## Appendix : パラメータの確認方法

# パラメータの確認方法 1/11


- メモリパラメータを確認するための資料
- 例として下記構成での確認方法を記載
  - メモリ型番：MT40A256M16GE-083E:B
  - 動作周波数：625 [MHz]
    - $T_{ck} = 1 / 625 \text{ [MHz]} \times 1000 = 1.6 \text{ [ns]}$
  - メモリベンダの HP から該当のデータシートを検索
    - 本章では Micron 社のデータシートを引用しました
  - 型番とデータシートを参照しメモリの構成を把握
    - 256 Meg x 16
    - DDR4-2400 (16-16-16)
    - Bank group : 2
    - Bank address : [1:0]
    - Row address : [14:0]
    - Column address : [9:0]
    - Page size : 2KB

Table 1: Key Timing Parameters

Speed Grade	Data Rate (MT/s)	Target <sup>t</sup> RCD- <sup>t</sup> RP-CL	<sup>t</sup> RCD (ns)	<sup>t</sup> RP (ns)	CL (ns)
-062E <sup>6</sup>	3200	22-22-22	13.75	13.75	13.75
-068E <sup>5</sup>	2933	20-20-20	13.64	13.64	13.64
-068E <sup>5</sup>	2933	21-21-21	14.32	14.32	14.32
-075E <sup>4</sup>	2666	18-18-18	13.5	13.5	13.5
-075E <sup>4</sup>	2666	19-19-19	14.25	14.25	14.25
-083E <sup>3</sup>	2400	16-16-16	13.32	13.32	13.32
-083E <sup>3</sup>	2400	17-17-17	14.16	14.16	14.16
-093E <sup>2</sup>	2133	15-15-15	14.06	14.06	14.06
-093E <sup>2</sup>	2133	16-16-16	15	15	15
-107E <sup>1</sup>	1866	13-13-13	13.92	13.92	13.92

Table 2: Addressing

Parameter	1024 Meg x 4	512 Meg x 8	256 Meg x 16
Number of bank groups	4	4	2
Bank group address	BG[1:0]	BG[1:0]	BG0
Bank count per group	4	4	4
Bank address in bank group	BA[1:0]	BA[1:0]	BA[1:0]
Row addressing	64K (A[15:0])	32K (A[14:0])	32K (A[14:0])
Column addressing	1K (A[9:0])	1K (A[9:0])	1K (A[9:0])
Page size <sup>1</sup>	512B / 1KB <sup>2</sup>	1KB	2KB


4Gb: x4, x8, x16 DDR4 SDRAM Features

## DDR4 SDRAM

**MT40A1G4**  
**MT40A512M8**  
**MT40A256M16**

---

### Features

- $V_{DD} = V_{DDQ} = 1.2V \pm 60mV$
- $V_{PP} = 2.5V, -125mV/+250mV$
- On-die, internal, adjustable  $V_{REFDQ}$  generation
- 1.2V pseudo open-drain I/O
- $T_C$  of 0°C to 95°C
  - 64ms, 8192-cycle refresh at 0°C to 85°C
  - 32ms at 85°C to 95°C
- 16 internal banks (x4, x8): 4 groups of 4 banks each
- 8 internal banks (x16): 2 groups of 4 banks each
- 8n-bit prefetch architecture
- Programmable data strobe preambles
- Data strobe preamble training
- Command/Address latency (CAL)
- Multipurpose register READ and WRITE capability
- Write and read leveling
- Self refresh mode
- Low-power auto self refresh (LPASR)
- Temperature controlled refresh (TCR)
- Fine granularity refresh
- Self refresh abort
- Maximum power saving
- Output driver calibration
- Nominal, park, and dynamic on-die termination (ODT)
- Data bus inversion (DBI) for data bus
- Command/Address (CA) parity

- Databus write cyclic redundancy check (CRC)
- Per-DRAM addressability
- Connectivity test (x16)
- Post package repair (PPR) and soft post package repair (sPPR) modes
- JEDEC JESD-79-4 compliant

### Options<sup>1</sup>

- Configuration
  - 1 Glg x 4
  - 512 Meg x 8
  - 256 Meg x 16
- FBGA package (Pb-free) - x4, x8
  - 78-ball (9mm x 11.5mm) - Rev. A
  - 78-ball (9mm x 10.5mm) - Rev. B
- FBGA package (Pb-free) - x16
  - 96-ball (9mm x 14mm) - Rev. A
  - 96-ball (9mm x 14mm) - Rev. B
- Timing - cycle time
  - 0.625ns @ CL = 22 (DDR4-3200)
  - 0.682ns @ CL = 20 (DDR4-2933)
  - 0.682ns @ CL = 21 (DDR4-2933)
  - 0.750ns @ CL = 18 (DDR4-2666)
  - 0.750ns @ CL = 19 (DDR4-2666)
  - 0.833ns @ CL = 16 (DDR4-2400)
  - 0.833ns @ CL = 17 (DDR4-2400)
  - 0.937ns @ CL = 15 (DDR4-2133)
  - 0.937ns @ CL = 16 (DDR4-2133)
  - 1.071ns @ CL = 13 (DDR4-1866)
- Operating temperature
  - Commercial (0° ≤  $T_C$  ≤ 95°C)
  - Industrial (-40° ≤  $T_C$  ≤ 95°C)
  - Revision


### Marking

1G4	1G4
512M8	512M8
256M16 <sup>2</sup>	256M16 <sup>2</sup>
HX	HX
RH	RH
HA	HA
GE	GE
-062E	-062E
-068E	-068E
-068	-068
-75E	-75E
-75	-75
-083E	-083E
-083	-083
-093E	-093E
-093	-093
-107E	-107E

Notes: 1. Not all options listed can be combined to define an offered product. Use the part catalog search on <http://www.micron.com> for available offerings.

2. Not available on Rev. A.

3. Restricted and limited availability.


24



# パラメータの確認方法 2/11

Memory Protocol  
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

Parameters dependent on Speed Bin

Speed bin:	<input type="text" value="-2400"/>	
tIS (base):	<input type="text" value="62"/>	ps
tIS (base) AC level:	<input type="text" value="100"/>	mV
tIH (base):	<input type="text" value="87"/>	ps
tIH (base) DC level:	<input type="text" value="75"/>	mV
TdiVW_total (UI):	<input type="text" value="0.2"/>	UI
VdiVW_total:	<input type="text" value="130"/>	mV
tDQSQ (UI):	<input type="text" value="0.17"/>	UI
tQH (UI):	<input type="text" value="0.74"/>	UI
tDVWp (UI):	<input type="text" value="0.72"/>	UI
tDQSCK:	<input type="text" value="175"/>	ps
tDQSS:	<input type="text" value="0.27"/>	cycles
tQSH:	<input type="text" value="0.38"/>	cycles
tDSH:	<input type="text" value="0.18"/>	cycles
tDSS:	<input type="text" value="0.18"/>	cycles
tWLS:	<input type="text" value="208.0"/>	ps
tWLH:	<input type="text" value="208.0"/>	ps
tINIT:	<input type="text" value="500"/>	us
tMRD:	<input type="text" value="8"/>	cycles
tRAS:	<input type="text" value="32.0"/>	ns
tRCD:	<input type="text" value="13.32"/>	ns
tRP:	<input type="text" value="13.32"/>	ns
tWR:	<input type="text" value="15.0"/>	ns

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)
- 該当のメモリ型番のデータシートを参照しパラメータを確認する
  - 「Memory」「Mem Timing」タブの設定を確認
- メモリの型番のスピードグレードによってパラメータの参照箇所が変わる
  - Ex : メモリの型番が MT40A256M16GE-083E:B の場合
    - メモリのスピードグレードは DDR4-2400 (16-16-16) なので 2400 品を参照する
    - 参照箇所は動作周波数によらない
      - 動作周波数が 600 [MHz] でも 800 [MHz] でも今回の場合 2400 品を参照
- 動作周波数によって値が変わり計算が必要な箇所もある
  - tRRD, tWTR, tCCD, CL, CWL...etc
  - GUI 上の単位とデータシートの単位に間違いがないか確認

Parameters dependent on Speed Bin, Operati

Update the following as you change the operati

tRRD_S:	<input type="text" value="4"/>	cycles
tRRD_L:	<input type="text" value="4"/>	cycles
tFAW:	<input type="text" value="44.8"/>	ns
tCCD_S:	<input type="text" value="4"/>	cycles
tCCD_L:	<input type="text" value="5"/>	cycles
tWTR_S:	<input type="text" value="2"/>	cycles
tWTR_L:	<input type="text" value="5"/>	cycles

Parameters dependent on Density and Te

Update the following as you change the physica  
Incorrect values can cause data corruption.

tRFC:	<input type="text" value="260.0"/>	ns
tREFI:	<input type="text" value="7.8"/>	us

Row address width:	<input type="text" value="15"/>
Column address width:	<input type="text" value="10"/>
Bank address width:	<input type="text" value="2"/>
Bank group width:	<input type="text" value="1"/>
<input checked="" type="checkbox"/> Data mask	
<input type="checkbox"/> Write DBI	
<input type="checkbox"/> Read DBI	

Latency and Burst

Memory CAS latency setting:	<input type="text" value="9"/>
Memory write CAS latency setting:	<input type="text" value="9"/>

# パラメータの確認方法 3/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

**Memory Protocol**  
 Protocol: DDR4

General Memory Mem I/O FPGA I/O Mem I/O

Row address width: 15  
 Column address width: 10  
 Bank address width: 2  
 Bank group width: 1

Data mask  
 Write DBI  
 Read DBI

**Latency and Burst**

Memory CAS latency setting: 11  
 Memory write CAS latency setting: 9

Table 2: Addressing

Parameter	1024 Meg x 4	512 Meg x 8	256 Meg x 16
Number of bank groups	4	4	2
Bank group address	BG[1:0]	BG[1:0]	BG0
Bank count per group	4	4	4
Bank address in bank group	BA[1:0]	BA[1:0]	BA[1:0]
Row addressing	64K (A[15:0])	32K (A[14:0])	32K (A[14:0])
Column addressing	1K (A[9:0])	1K (A[9:0])	1K (A[9:0])
Page size <sup>1</sup>	512B / 1KB <sup>2</sup>	1KB	2KB

Ex. 動作周波数 : 625 [MHz]    tCK = 1.6 [ns]    Speed bin = -083E

tCK = 1.6 [ns] なので Min 1.5 < tCK (1.6) < Max 1.9  
 Read DBI にチェックが入っているため READ : DBI を参照

CL = 11  
 CWL = 9

Table 144: DDR4-2400 Speed Bins and Operating Conditions

DDR4-2400 Speed Bin				-083F		-083E		-083		Unit
CL-nRCD-nRP				15-15-15		16-16-16		17-17-17		
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit
READ: nonDBI	READ: DBI	WRITE	Symbol	Min	Max	Min	Max	Min	Max	Unit
CL = 9	CL = 11	CWL = 9	tCK <sup>4</sup>	1.5	1.9	1.5	1.9	Reserved		ns
CL = 10	CL = 12	CWL = 9	tCK <sup>4</sup>	1.5	1.6	Reserved		1.5	1.6	ns
CL = 10	CL = 12	CWL = 9, 11	tCK <sup>4</sup>	Reserved		Reserved		Reserved		ns
CL = 11	CL = 13	CWL = 9, 11	tCK <sup>4</sup>	Reserved		1.25	<1.5	1.25	<1.5	ns
CL = 12	CL = 14	CWL = 9, 11	tCK <sup>4</sup>	1.25	<1.5	1.25	<1.5	1.25	<1.5	ns
CL = 12	CL = 14	CWL = 10, 12	tCK <sup>4</sup>	Reserved		Reserved		Reserved		ns

# パラメータの確認方法 4/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

**Memory Protocol**  
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

**Parameters dependent on Speed Bin**

Speed bin:

tIS (base):  ps

tIS (base) AC level:  mV

tIH (base):  ps

tIH (base) DC level:  mV

TdiVW\_total (UI):  UI

VdiVW\_total:  mV

tDQSQ (UI):  UI

tQH (UI):  UI

tDVWp (UI):  UI

tDQSCK:  ps

tDQSS:  cycles

tQSH:  cycles

tDSH:  cycles

tDSS:  cycles

tWLS:  ps

tWLH:  ps

tINIT:  us

tMRD:  cycles

tRAS:  ns

tRCD:  ns

tRP:  ns

tWR:  ns

**Table 1: Key Timing Parameters**

Speed Grade	Data Rate (MT/s)	Target tRCD-tRP-CL	tRCD (ns)	tRP (ns)	CL (ns)
-062E <sup>6</sup>	3200	22-22-22	13.75	13.75	13.75
-068E <sup>5</sup>	2933	20-20-20	13.64	13.64	13.64
-068 <sup>5</sup>	2933	21-21-21	14.32	14.32	14.32
-075E <sup>4</sup>	2666	18-18-18	13.5	13.5	13.5
-075 <sup>4</sup>	2666	19-19-19	14.25	14.25	14.25
-083E <sup>3</sup>	2400	16-16-16	13.32	13.32	13.32
-083 <sup>3</sup>	2400	17-17-17	14.16	14.16	14.16
-093E <sup>2</sup>	2133	15-15-15	14.06	14.06	14.06
-093 <sup>2</sup>	2133	16-16-16	15	15	15
-107E <sup>1</sup>	1866	13-13-13	13.92	13.92	13.92

**Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)**

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes	
		Min	Max	Min	Max	Min	Max	Min	Max			
DLL locking time	tDLLK	597	-	597	-	768	-	768	-	CK	2, 4	
CMD, ADDR setup time to CK_t, CK_c Base referenced to V <sub>IH(AQ)</sub> and V <sub>IL(AQ)</sub> levels	Base	tIS	115	-	100	-	80	-	62	-	ps	
	V <sub>REFCA</sub>	tIS <sub>VREF</sub>	215	-	200	-	180	-	162	-	ps	
CMD, ADDR hold time to CK_t, CK_c Base referenced to V <sub>IH(DQ)</sub> and V <sub>IL(DQ)</sub> levels	Base	tIH	140	-	125	-	105	-	87	-	ps	
	V <sub>REFCA</sub>	tIH <sub>VREF</sub>	215	-	200	-	180	-	162	-	ps	

# パラメータの確認方法 5/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

**Memory Protocol**  
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

**Parameters dependent on Speed Bin**  
Speed bin:

tIS (base):  ps  
tIS (base) AC level:  mV  
tIH (base):  ps  
tIH (base) DC level:  mV  
TdiVW<sub>total</sub> (UI):  UI  
VdiVW<sub>total</sub>:  mV  
tDQSQ (UI):  UI  
tQH (UI):  UI  
tDWW<sub>p</sub> (UI):  UI  
tDQSCK:  ps  
tDQSS:  cycles  
tQSH:  cycles  
tDSH:  cycles  
tDSS:  cycles  
tWLS:  ps  
tWLH:  ps  
tINIT:  us  
tMRD:  cycles  
tRAS:  ns  
tRCD:  ns  
tRP:  ns  
tWR:  ns

**Table 84: DQ Input Receiver Specifications**

Note 1 applies to the entire table

Parameter	Symbol	DDR4-1600, 1866, 2133		DDR4-2400		DDR4-2666		DDR4-2933		DDR4-3200		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
V <sub>IN</sub> Rx mask input peak-to-peak	V <sub>dIW</sub>	-	136	-	130	-	120	-	115	-	110	mV	2, 3
DQ Rx input timing window	TdiVW	-	0.2	-	0.2	-	0.22	-	0.23	-	0.23	UI	2, 3

**Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)**

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
DQ Output Timing (DLL enabled)											
DQS <sub>t</sub> , DQS <sub>c</sub> to DQ skew, per group, per access	<sup>t</sup> DQSQ	-	0.16	-	0.16	-	0.16	-	0.17	IU	
DQ output hold time from DQS <sub>t</sub> , DQS <sub>c</sub>	<sup>t</sup> QH	0.76	-	0.76	-	0.76	-	0.74	-	IU	
Data Valid Window per device: <sup>t</sup> QH - <sup>t</sup> DQSQ each device's output per UI	<sup>t</sup> DWW <sub>d</sub>	0.63	-	0.63	-	0.64	-	0.64	-	IU	
Data Valid Window per device, per pin: <sup>t</sup> QH - <sup>t</sup> DQSQ each device's output per UI	<sup>t</sup> DWW <sub>p</sub>	0.66	-	0.66	-	0.69	-	0.72	-	IU	

# パラメータの確認方法 6/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

**Memory Protocol**  
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

**Parameters dependent on Speed Bin**

Speed bin:

tIS (base):  ps

tIS (base) AC level:  mV

tIH (base):  ps

tIH (base) DC level:  mV

TdiVW\_total (UI):  UI

VdiVW\_total:  mV

tDQSQ (UI):  UI

tQH (UI):  UI

tDVWp (UI):  UI

tDQSCK:  ps

tDQSS:  cycles

tQSH:  cycles

tDSH:  cycles

tDSS:  cycles

tWLS:  ps

tWLH:  ps

tINIT:  us

tMRD:  cycles

tRAS:  ns

tRCD:  ns

tRP:  ns

tWR:  ns

**Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)**

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
DQ Low-Z time from CK_t, CK_c	$t_{LZDQ}$	-450	225	-390	195	-360	180	-300	150	ps	
DQ High-Z time from CK_t, CK_c	$t_{HZDQ}$	-	225	-	195	-	180	-	150	ps	
<b>DQ Strobe Input Timing</b>											
DQS_t, DQS_c rising edge to CK_t, CK_c rising edge	$t_{DQSS}$	-0.27	0.27	-0.27	0.27	-0.27	0.27	-0.27	0.27	CK	
DQS_t, DQS_c differential input low pulse width	$t_{DQSL}$	0.46	0.54	0.46	0.54	0.46	0.54	0.46	0.54	CK	
DQS_t, DQS_c differential input high pulse width	$t_{DQSH}$	0.46	0.54	0.46	0.54	0.46	0.54	0.46	0.54	CK	
DQS_t, DQS_c falling edge setup to CK_t, CK_c rising edge	$t_{DSS}$	0.18	-	0.18	-	0.18	-	0.18	-	CK	
DQS_t, DQS_c falling edge hold from CK_t, CK_c rising edge	$t_{DSH}$	0.18	-	0.18	-	0.18	-	0.18	-	CK	
DQS_t, DQS_c differential WRITE preamble	$t_{WPRE}$	0.9	-	0.9	-	0.9	-	0.9	-	CK	
DQS_t, DQS_c differential WRITE postamble	$t_{WPST}$	0.33	-	0.33	-	0.33	-	0.33	-	CK	
<b>DQS Strobe Output Timing (DLL enabled)</b>											
DQS_t, DQS_c rising edge output access time from rising CK_t, CK_c	$t_{DQSCK}$	-225	225	-195	195	-180	180	-175	175	ps	
DQS_t, DQS_c rising edge output variance window per DRAM	$t_{DQSCKi}$	-	370	-	330	-	310	-	290	ps	
DQS_t, DQS_c differential output high time	$t_{QSH}$	0.38	-	0.38	-	0.38	-	0.38	-	CK	
DQS_t, DQS_c differential output low	$t_{QSL}$	0.38	-	0.38	-	0.38	-	0.38	-	CK	



# パラメータの確認方法 7/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Memory Protocol  
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

Parameters dependent on Speed Bin

Speed bin:

tIS (base):  ps

tIS (base) AC level:  mV

tIH (base):  ps

tIH (base) DC level:  mV

TdiVW\_total (UI):  UI

VdiVW\_total:  mV

tDQSQ (UI):  UI

tQH (UI):  UI

tDVWp (UI):  UI

tDQSCK:  ps

tDQSS:  cycles

tQSH:  cycles

tDSH:  cycles

tDSS:  cycles

tWLS:  ps

tWLH:  ps

tINIT:  us

tMRD:  cycles

tRAS:  ns

tRCD:  ns

tRP:  ns

tWR:  ns

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
DQS_t, DQS_c delay after write leveling mode is programmed	$t_{WLDQSEN}$	25	-	25	-	25	-	25	-	CK	
Write leveling setup from rising CK_t, CK_c crossing to rising DQS_t, DQS_c crossing	$t_{WLS}$	0.13	-	0.13	-	0.13	-	0.13	-	CK	
Write leveling hold from rising DQS_t, DQS_c crossing to rising CK_t, CK_c crossing	$t_{WLH}$	0.13	-	0.13	-	0.13	-	0.13	-	CK	

Ex. 動作周波数 : 625 [MHz]       $t_{CK} = 1.6$  [ns]

$t_{WLS}$ ,  $t_{WLH}$  の単位は GUI 上では ps に対しデータシート上では CK になっているので [CK] を [ps] に直す必要がある

- $t_{WLS} = 0.13$  [CK]  $\times$  1.6 [ns] = 0.208 [ns] = 208 [ps]
- $t_{WLH} = 0.13$  [CK]  $\times$  1.6 [ns] = 0.208 [ns] = 208 [ps]

- $t_{INIT}$  はリセットが解除されてから CKE がアサートされるまでの時間
- メモリのプロトコルごとに、JEDEC STANDARD で定義されている
- 今回は DDR4 なので DDR4 JEDEC STANDARD を参照

2. After RESET\_n is de-asserted, wait for another **500us** until CKE becomes active. During this time, the DRAM will start internal initialization; this will be done independently of external clocks.

# パラメータの確認方法 8/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Memory Protocol  
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

Parameters dependent on Speed Bin

Speed bin:

tIS (base):  ps

tIS (base) AC level:  mV

tIH (base):  ps

tIH (base) DC level:  mV

TdiVW\_total (UI):  UI

VdiVW\_total:  mV

tDQSQ (UI):  UI

tQH (UI):  UI

tDVWp (UI):  UI

tDQSCK:  ps

tDQSS:  cycles

tQSH:  cycles

tDSH:  cycles

tDSS:  cycles

tWLS:  ps

tWLH:  ps

tINIT:  us

tMRD:  cycles

tRAS:  ns

tRCD:  ns

tRP:  ns

tWR:  ns

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
<b>MRS Command Timing</b>											
MRS command cycle time	$t^{\text{MRD}}$	8	-	8	-	8	-	8	-	CK	
MRS command cycle time in PDA mode	$t^{\text{MRD\_PDA}}$	MIN = greater of (16nCK, 10ns)								CK	1

Table 144: DDR4-2400 Speed Bins and Operating Conditions

DDR4-2400 Speed Bin		-083F		-083E		-083		Unit
CL-nRCD-nRP		15-15-15		16-16-16		17-17-17		
Parameter	Symbol	Min	Max	Min	Max	Min	Max	
Internal READ command to first data	$t^{\text{AA}}$	12.5	18.00	13.32	18.00	14.16	18.00	ns
Internal READ command to first data with read DBI enabled	$t^{\text{AA\_DBI}}$	$t^{\text{AA(MIN)}} + 3n\text{CK}$	-	$t^{\text{AA(MIN)}} + 3n\text{CK}$	-	$t^{\text{AA(MIN)}} + 3n\text{CK}$	-	ns
ACTIVATE to internal READ or WRITE delay time	$t^{\text{RCD}}$	12.5	-	13.32	-	14.16	-	ns
PRECHARGE command period	$t^{\text{RP}}$	12.5	-	13.32	-	14.16	-	ns
ACTIVATE-to-PRECHARGE command period	$t^{\text{RAS}}$	32	$9 \times t^{\text{REFI}}$	32	$9 \times t^{\text{REFI}}$	32	$9 \times t^{\text{REFI}}$	ns

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Four ACTIVATE windows for 1KB page size	$t^{\text{FAW}}$ (1KB)	MIN = greater of 20CK or 25ns		MIN = greater of 20CK or 23ns		MIN = greater of 20CK or 21ns		MIN = greater of 20CK or 21ns		ns	
Four ACTIVATE windows for 2KB page size	$t^{\text{FAW}}$ (2KB)	MIN = greater of 28CK or 35ns		MIN = greater of 28CK or 30ns		MIN = greater of 28CK or 30ns		MIN = greater of 28CK or 30ns		ns	
WRITE recovery time	$t^{\text{WR}}$	MIN = 15ns								ns	6, 10, 1
	$t^{\text{WR}_2}$	MIN = 1CK + $t^{\text{WR}}$								CK	6, 11, 1

# パラメータの確認方法 9/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
ACTIVATE-to-ACTIVATE command period to different bank groups for 2KB page size	tRRD_S (2KB)	MIN = greater of 4CK or 6ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 5.3ns		CK	1
ACTIVATE-to-ACTIVATE command period to same bank groups for 1/2KB page size	tRRD_L (1/2KB)	MIN = greater of 4CK or 6ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 4.9ns		CK	1
ACTIVATE-to-ACTIVATE command period to same bank groups for 1KB page size	tRRD_L (1KB)	MIN = greater of 4CK or 6ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 4.9ns		CK	1
ACTIVATE-to-ACTIVATE command period to same bank groups for 2KB page size	tRRD_L (2KB)	MIN = greater of 4CK or 7.5ns		MIN = greater of 4CK or 6.4ns		MIN = greater of 4CK or 6.4ns		MIN = greater of 4CK or 6.4ns		CK	1
CTRL, ADDR pulse width for each input	tIPW	600	-	525	-	460	-	410	-	ps	

Parameters dependent on Speed Bin, Open

Update the following as you change the operating frequency. Incorrect values can cause data corruption.

tRRD\_S:  cycles

tRRD\_L:  cycles

tFAW:  ns

tCCD\_S:  cycles

tCCD\_L:  cycles

tWTR\_S:  cycles

tWTR\_L:  cycles

---

Parameters dependent on Density and Temperature

Update the following as you change the physical temperature. Incorrect values can cause data corruption.

tRFC:  ns

tREFI:  us

Ex. 動作周波数 : 625 [MHz]    tCK = 1.6 [ns]    Page size : 2KB

Page Size = 2KB なので 2KB のところ参照

- tRRD\_S = 4 CK or 5.3 ns で大きい方を選択  
5.3 [ns] を [CK] に直して比較する  
 $5.3 [ns] / 1.6 [ns] = 3.3 [CK]$   
3.3 と 4 を比較すると 4 の方が大きいので tRRD\_S = 4
- tRRD\_L = 4CK or 6.4 ns で大きい方を選択  
6.4 [ns] を [CK] に直して比較  
 $6.4 [ns] / 1.6 [ns] = 4 [CK]$   
4 [CK] と同じなので tRRD\_S = 4



# パラメータの確認方法 10/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Four ACTIVATE windows for 1KB page size	tFAW (1KB)	MIN = greater of 20CK or 25ns		MIN = greater of 20CK or 23ns		MIN = greater of 20CK or 21ns		MIN = greater of 20CK or 21ns		ns	
Four ACTIVATE windows for 2KB page size	tFAW (2KB)	MIN = greater of 28CK or 35ns		MIN = greater of 28CK or 30ns		MIN = greater of 28CK or 30ns		MIN = greater of 28CK or 30ns		ns	
CAS_n-to-CAS_n command delay to different bank group	tCCD_S	4	-	4	-	4	-	4	-	CK	
CAS_n-to-CAS_n command delay to same bank group	tCCD_L	MIN = greater of 4CK or 6.25ns	-	MIN = greater of 4CK or 5.355ns	-	MIN = greater of 4CK or 5.355ns	-	MIN = greater of 4CK or 5ns	-	CK	15
								MAX = N/A		CK	

Parameters dependent on Speed Bin, Open

Update the following as you change the operating frequency. Incorrect values can cause data corruption.

tRRD\_S: 4 cycles

tRRD\_L: 4 cycles

tFAW: 44.8 ns

tCCD\_S: 4 cycles

tCCD\_L: 5 cycles

tWTR\_S: 2 cycles

tWTR\_L: 5 cycles

---

Parameters dependent on Density and Temperature

Update the following as you change the physical temperature. Incorrect values can cause data corruption.

tRFC: 260.0 ns

tREFI: 7.8 us

Ex. 動作周波数 : 625 [MHz]    tCK = 1.6 [ns]    Page size : 2KB

- tFAW = 28 CK or 30 nsで大きい方を選択  
28 [CK] を [ns] に直して比較  
 $28 \times 1.6 = 44.8$  [ns]  
 $30 < 44.8$  なので 44.8

- tCCD\_L = 4CK or 5 nsで大きい方を選択  
5 [ns] を [CK] に直して比較  
 $5 / 1.6 = 3.12..$  [CK]  
 $4 > 3.12$  なので 4 を選択  
しかし Notes15 では最小値 5 と記載があるので 5

15. JEDEC specifies a minimum of five clocks.

# パラメータの確認方法 11/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Delay from start of internal WRITE transaction to internal READ command – Same bank group	$t^{\text{WTR\_L}}$	MIN = greater of 4CK or 7.5ns								CK	6, 10, 1
	$t^{\text{WTR\_L}_2}$	MIN = 1CK + $t^{\text{WTR\_L}}$								CK	6, 11, 1
Delay from start of internal WRITE transaction to internal READ command – Same bank group when CRC and DM are both enabled	$t^{\text{WTR\_L\_CRC\_DM}}$	MIN = $t^{\text{WR\_S}}$ + greater of (4CK or 3.75ns)		MIN = $t^{\text{WR\_S}}$ + greater of (5CK or 3.75ns)						CK	7, 10, 1
	$t^{\text{WTR\_L\_CRC\_DM}_2}$	MIN = 1CK + $t^{\text{WTR\_L\_CRC\_DM}}$								CK	7, 11, 1
Delay from start of internal WRITE transaction to internal READ command – Different bank group	$t^{\text{WTR\_S}}$	MIN = greater of (2CK or 2.5ns)								CK	6, 8, 9, 10, 1
	$t^{\text{WTR\_S}_2}$	MIN = 1CK + $t^{\text{WTR\_S}}$								CK	6, 8, 9, 11, 1

Parameters dependent on Speed Bin, Open

Update the following as you change the operating frequency.

tRRD\_S:  cycles

tRRD\_L:  cycles

tFAW:  ns

tCCD\_S:  cycles

tCCD\_L:  cycles

tWTR\_S:  cycles

tWTR\_L:  cycles

---

Parameters dependent on Density and Temperature

Update the following as you change the physical temperature. Incorrect values can cause data corruption.

tRFC:  ns

tREFI:  us

Ex. 動作周波数 : 625 [MHz]    tCK = 1.6 [ns]    Page size : 2KB

- $t^{\text{WTR\_L}}$  = 4 CK or 7.5 nsで大きい方を選択  
7.5 [ns] を [CK] に直して比較  
 $7.5 / 1.6 = 4.68..$  [CK] ;  $4 < 4.68$  なので 4.68 を選択  
小数点以下切り上げ 5
- $t^{\text{WTR\_S}}$  = 2 CK or 2.5 nsで大きい方を選択  
2.5 [ns] を [CK] に直して比較  
 $2.5 / 1.6 = 1.56..$  [CK] ;  $2 > 1.56$  なので 2 を選択

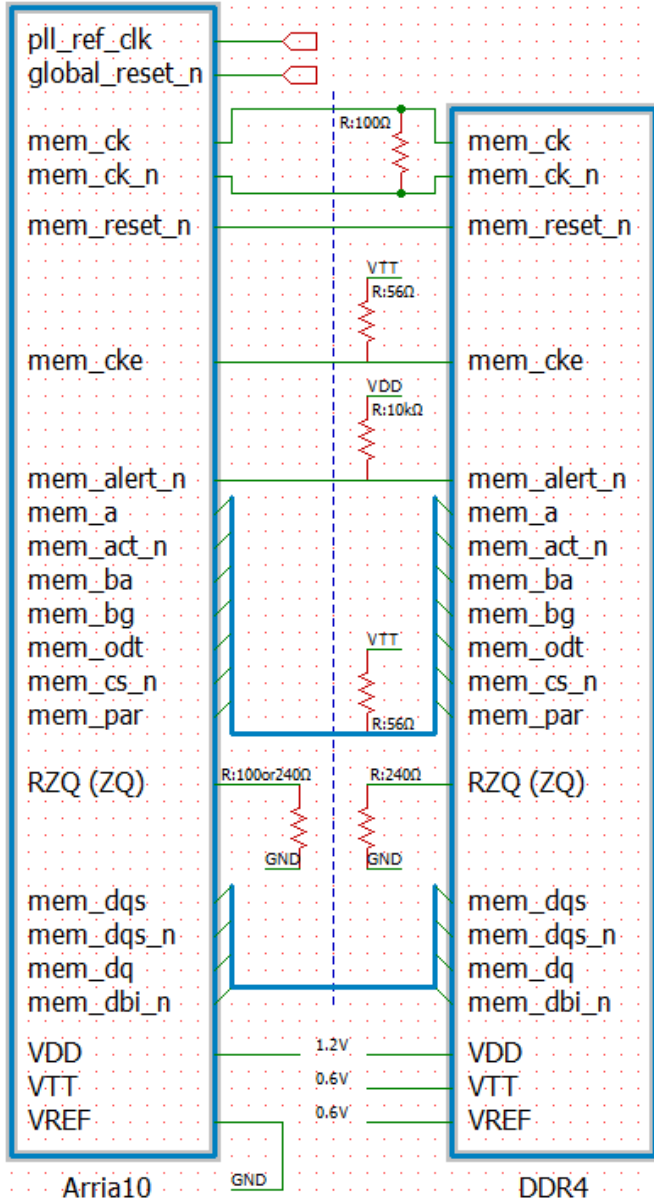
Table 148: Refresh Parameters by Device Density

Parameter	Symbol	2Gb	4Gb	8Gb	16Gb	Unit	Notes	
REF command to ACT or REF command time	$t^{\text{RFC}}$ (All bank groups)	160	260	350	550	ns		
Average periodic refresh interval	$t^{\text{REFI}}$	$0^{\circ}\text{C} \leq T_C \leq 85^{\circ}\text{C}$	7.8	7.8	7.8	3.9	$\mu\text{s}$	
		$0^{\circ}\text{C} < T_C \leq 95^{\circ}\text{C}$	3.9	3.9	3.9	1.95	$\mu\text{s}$	1



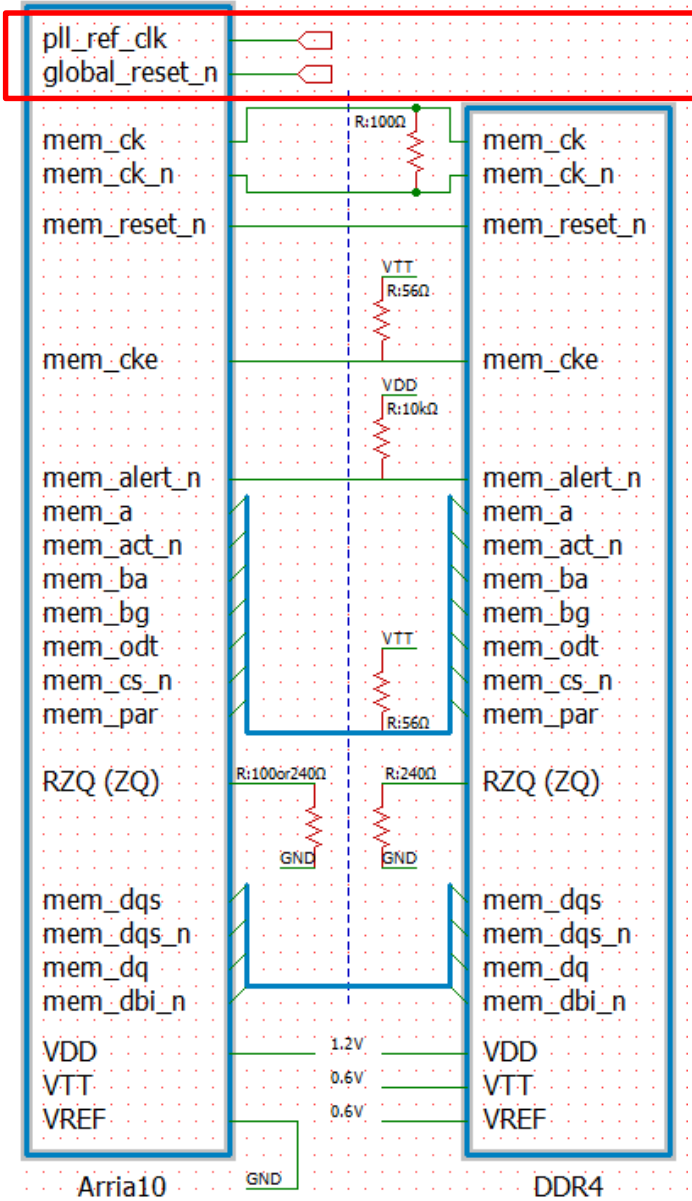
## Appendix : 回路図の確認項目

# Arria10 + DDR4 の回路図確認 1/9



- **左の図は Arria10+DDR4 の参考接続回路図**
- 抵抗値を決める際は必ず基板 SIM をする必要があります
  - 基板 SIM の結果が良い方を選択して下さい
- 左の図は Component の接続を表しています  
DIMMの場合、プルアップはDIMMモジュール上で処理されていますので基板上の処理は不要です

# Arria10 + DDR4 の回路図確認 2/9



- pll\_ref\_clk : **専用ピンに接続**

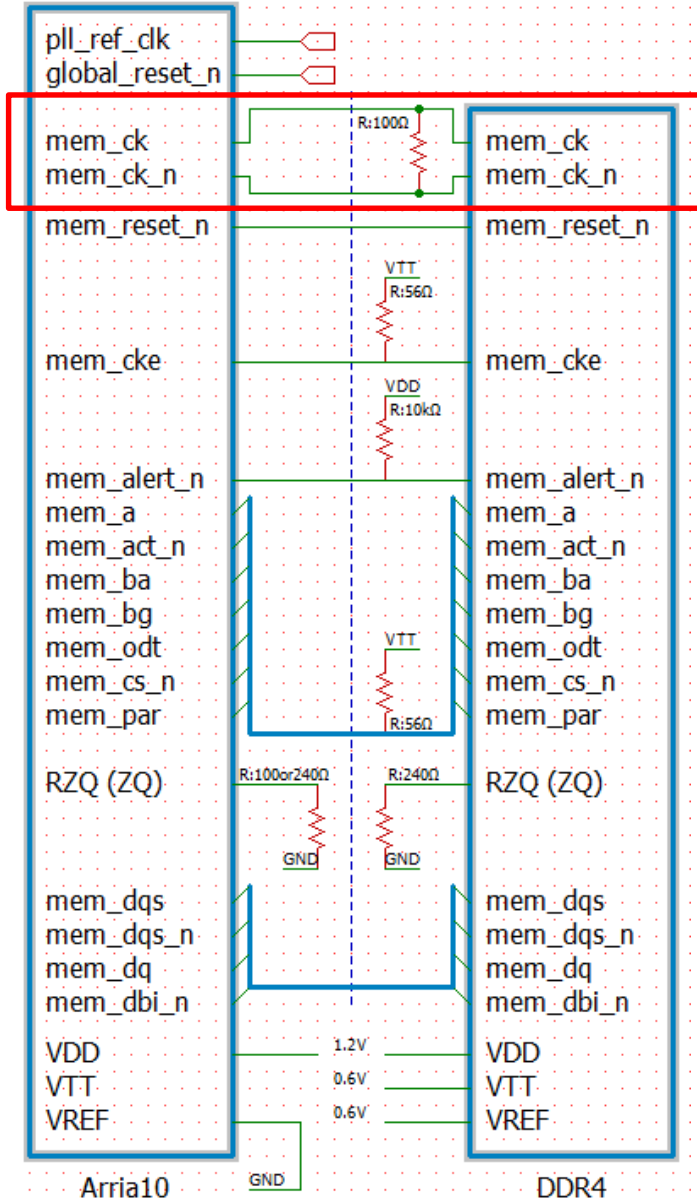
- 専用ピンに接続
- Arria 10 HANDBOOK の Clock Networks and PLLs in Arria 10 Devices の章の Reference Clock Sources に ref clk は専用ピンから接続と記載されています

Altera recommends providing the I/O PLL reference clock using a dedicated pin when possible. If you want to use a non-dedicated pin for the PLL reference clock, you have to explicitly promote the clock to a global signal in the Quartus Prime software.

- global\_reset\_n : **終端不要**

- 終端の必要なし

# Arria10 + DDR4 の回路図確認 3/9



- mem\_ck : **差動終端 (抵抗値は基板 SIM で判断)**

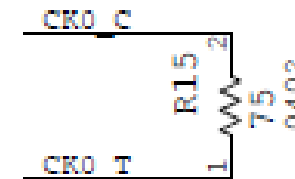
- mem\_ck は出力ピンなので FPGA 側は終端は不要
- メモリ側は終端が必要
  - 参考 : EMIF HANDBOOK の V シリーズの章では 100Ω で差動終端と記載

•EMIF HANDBOOK

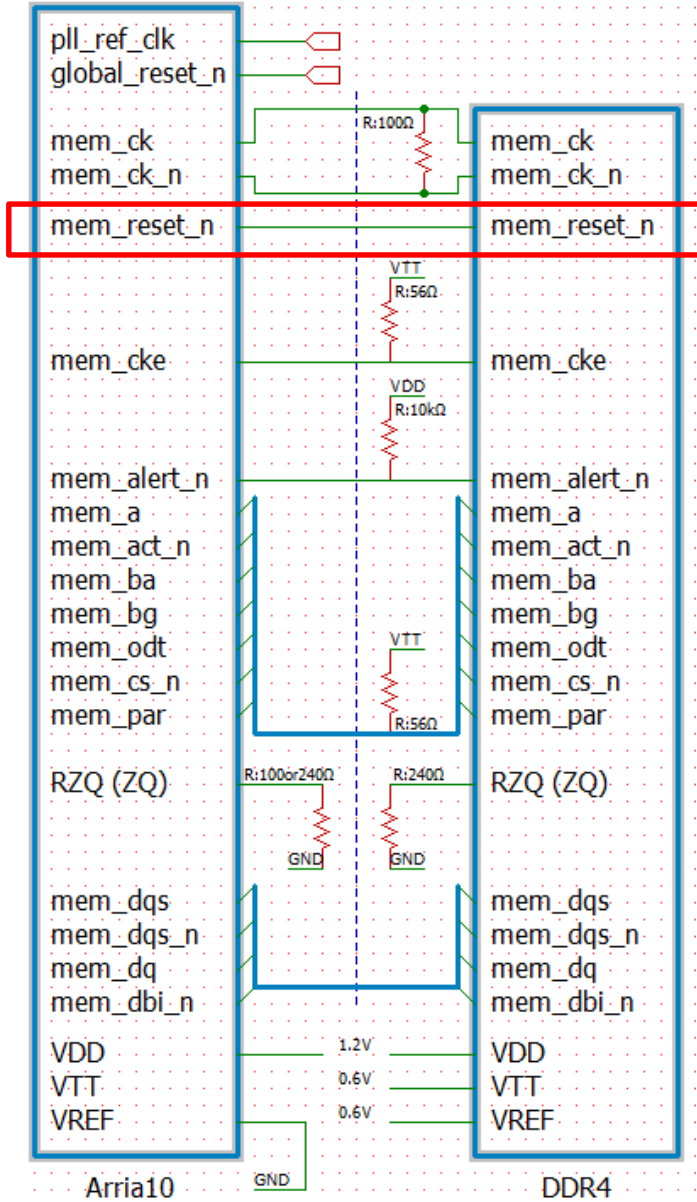
Clock	DIFF Class I R50 NO CAL	N/A	x1 = 100-ohm differential (10)  x2 = 200-ohm differential (11)
-------	----------------------------	-----	--

- 参考 : DDR4 HiLo の回路図では 75Ω で差動終端

•DDR4 HiLOの回路図



# Arria10 + DDR4 の回路図確認 4/9



- mem\_reset\_n : **終端不要**

- FPGA側、メモリ側ともに終端は不要
- KDBに、reset 信号に終端は必要ない、との記載があります

- メモリ側のリセットピンと FPGA 側のリセットピンを終端なしで直つなぎ

- [https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd07212013\\_499.html](https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd07212013_499.html)

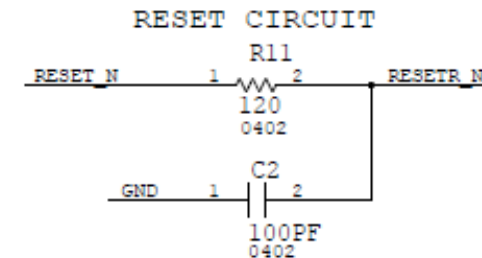
- 参考 : Schematic Review Sheet は VTT へ接続不要と記載あり

- Schematic Review Worksheet

Reset for DDR4 Memory		Use 1.2V I/O standard to meet the 1.2V CMOS logic levels on the DDR4 device or DIMM.
		Check the termination value in the .qip file which is generated with your IP.
		It is not recommended to terminate this reset to Vtt.

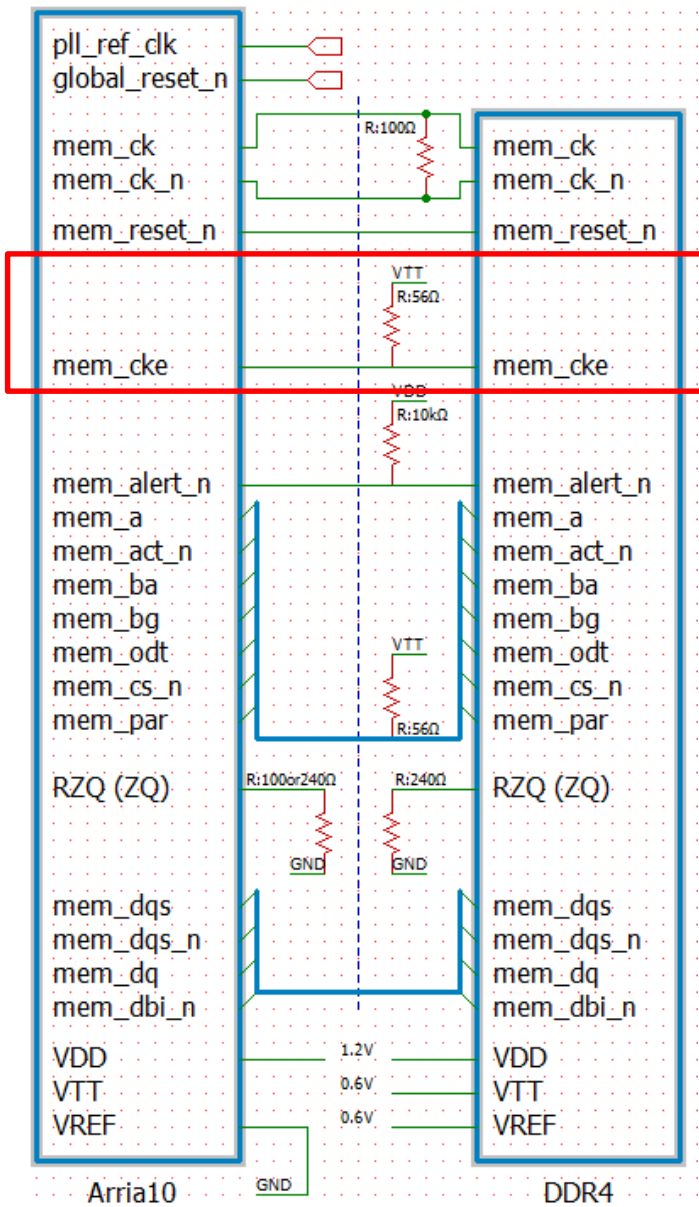
- 参考 : DDR4 HiLO の回路図では 120Ω の抵抗とコンデンサを介して GND 接続

- DDR4 HiLO の回路図





# Arria10 + DDR4 の回路図確認 5/9



- mem\_cke : **抵抗介して VTT (抵抗値は基板 SIM で判断)**

- CKE は出力ピンなので FPGA 側で終端不要
- メモリ側は終端が必要

- **KDBに記載があります : Vシリーズの時と処理が違うので注意が必要**

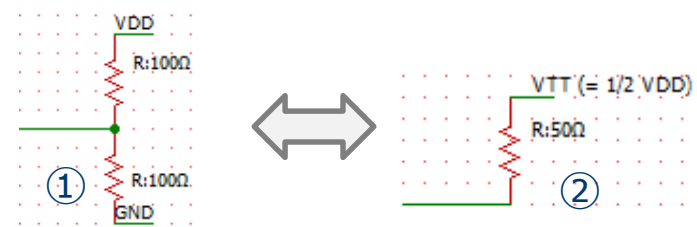
- <https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/emif/2017/how-cke-should-be-terminated-for-ddr3-and-ddr3-emif-ip.html>

- 参考 : DDR4 HiLo の回路図では 68Ω で VDD と 68Ω で GND に接続

- DDR4 HiLo の回路図

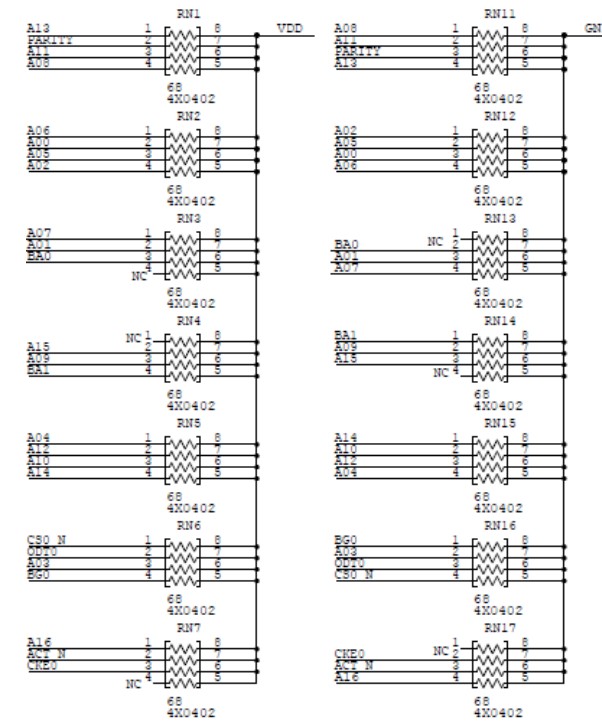
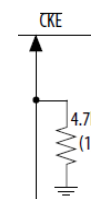
- HiLo の回路図では①のようにテブナン終端している。

- ①の回路は②の回路と同等である



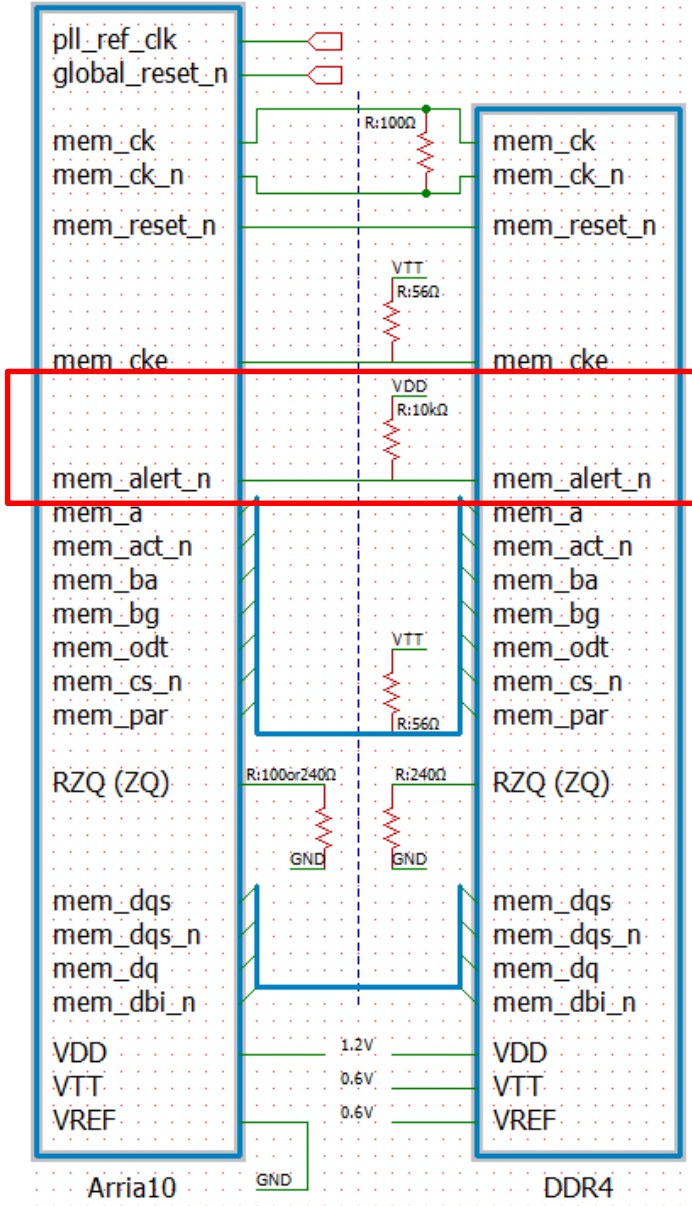
- 参考 : EMIF HANDBOOK V シリーズの章では 4.7kΩ で GND に接続

- EMIF HANDBOOK





# Arria10 + DDR4 の回路図確認 6/9



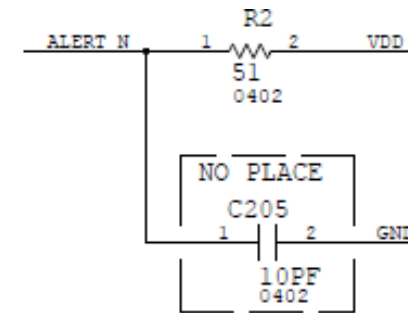
- mem\_alert\_n : **抵抗介して VDD (抵抗値は基板 SIM で判断)**

- KDB に記載があります

- <https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/emif/2018/what-is-the-alertn-pullup-resistor-guidelines-to-follow--.html>

- 参考 : DDR4 の HiLo の回路図では 50Ω で VDD に接続

## •DDR4 HiLo の回路図

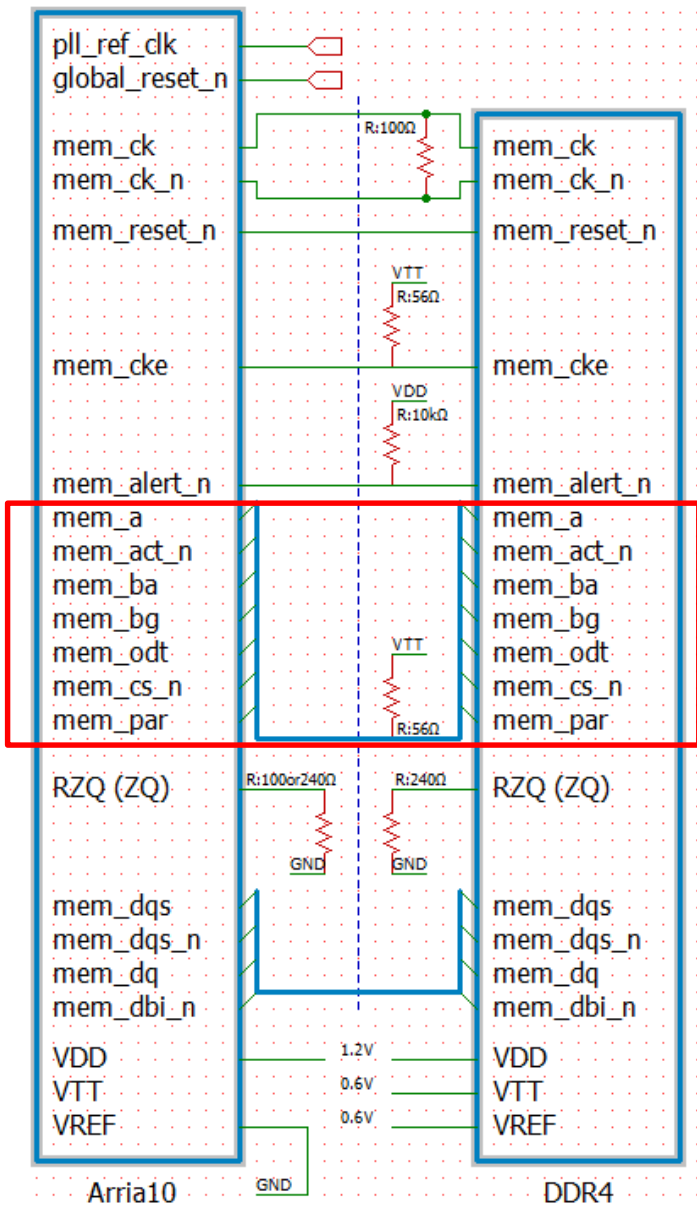


- 参考 : Schematic Review Worksheet では、50Ω で VDD に接続

## •Schematic Review Worksheet

ALERT_N_0		Use an external pullup resistor (typically 50 ohms) to VDD (1.2V).

# Arria10 + DDR4 の回路図確認 7/9



- add/cmd : **抵抗介して VTT (抵抗値は基板 SIM で判断)**

- mem\_a
- mem\_act\_n
- mem\_ba
- mem\_bg
- mem\_odt
- mem\_cs\_n
- mem\_par
- mem\_alert\_n

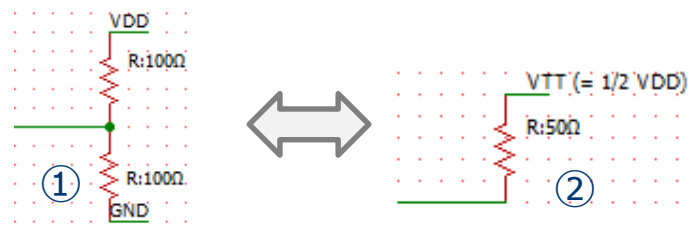
- アドレス/コマンドピンは出力ピンなので FPGA 側は終端不要
- メモリ側は終端が必要

- 参考：DDR4 HiLo の回路図では68Ωで VDD と68Ωで GND に接続

・DDR4 HiLo の回路図

HiLo の回路図では①のようにテブナン終端している。

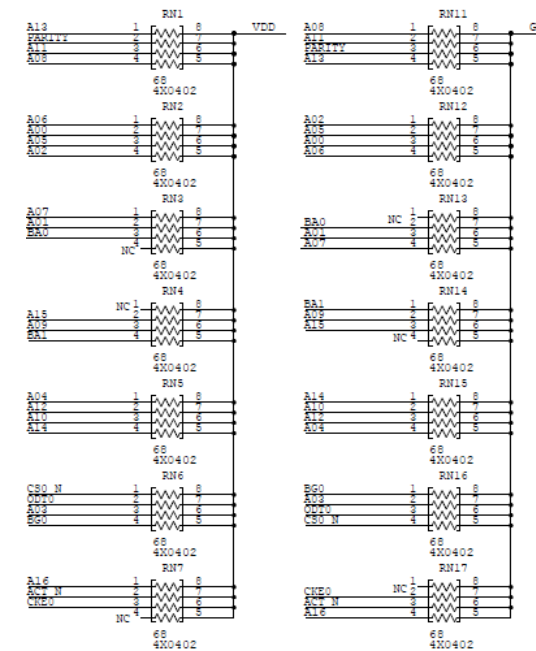
①の回路は②の回路と同等である



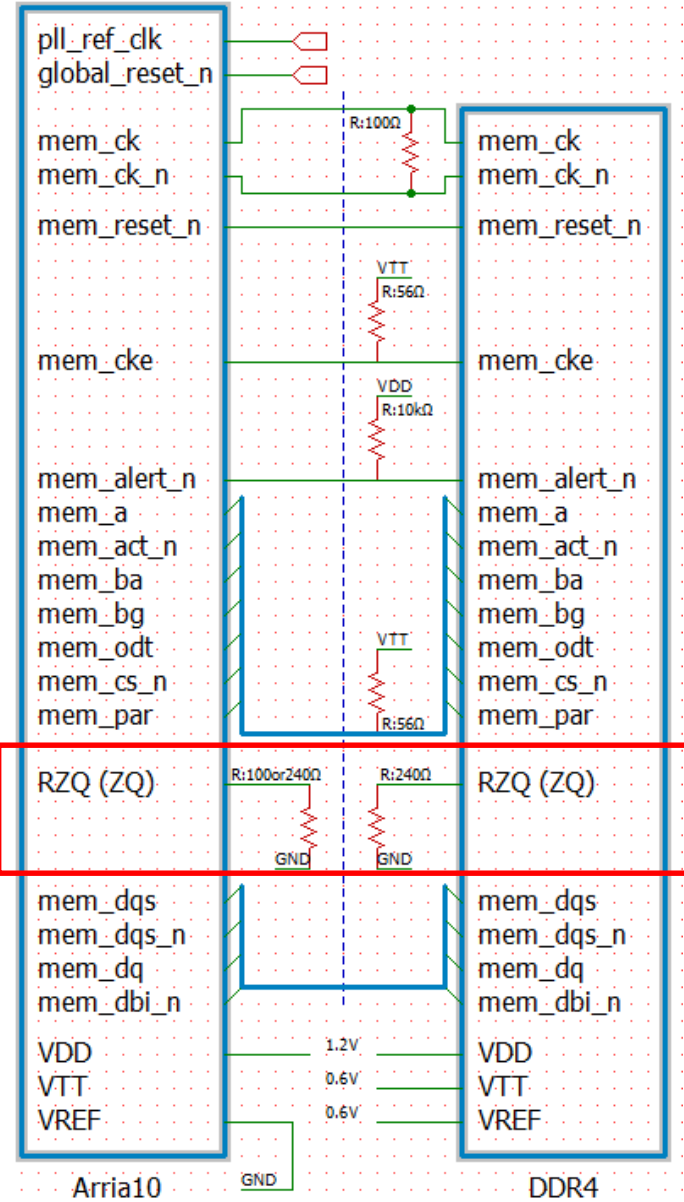
- 参考：EMIF HANDBOOK V シリーズの章では 56Ωで VTT に接続

・EMIF HANDBOOK

Address and command	Class I MAX	N/A	56-ohm Parallel to VTT discrete



# Arria10 + DDR4 の回路図確認 8/9



## ● RZQ : 240 又は 100Ω の抵抗介して GND

- メモリ側の RZQ はメモリやデバイスによらず240Ω で GND 接続
  - DDR3, DDR4 は 240Ω だが DDR2 は 240Ω の接続は不要
- FPGA 側は I/O Standard によって100Ω 又は 240Ω に変わる
  - 抵抗値は OCT 機能のあるピンの I/O Standard に依存
  - デフォルト設定ではデータピンのみ考慮すればよいがアドレスコマンドピンの設定を直列 OCT に設定した場合はアドレスコマンドピンの I/O Standard も考慮が必要
- 複数のバンクに跨ってメモリ IP が配置されている場合でも、メモリ IP ひとつごとに RZQ ピン一つを処理すればよい
- メモリIPと同じ電圧のバンクなら RZQ ピンはメモリ IP の配置バンク以外のバンクでもよい

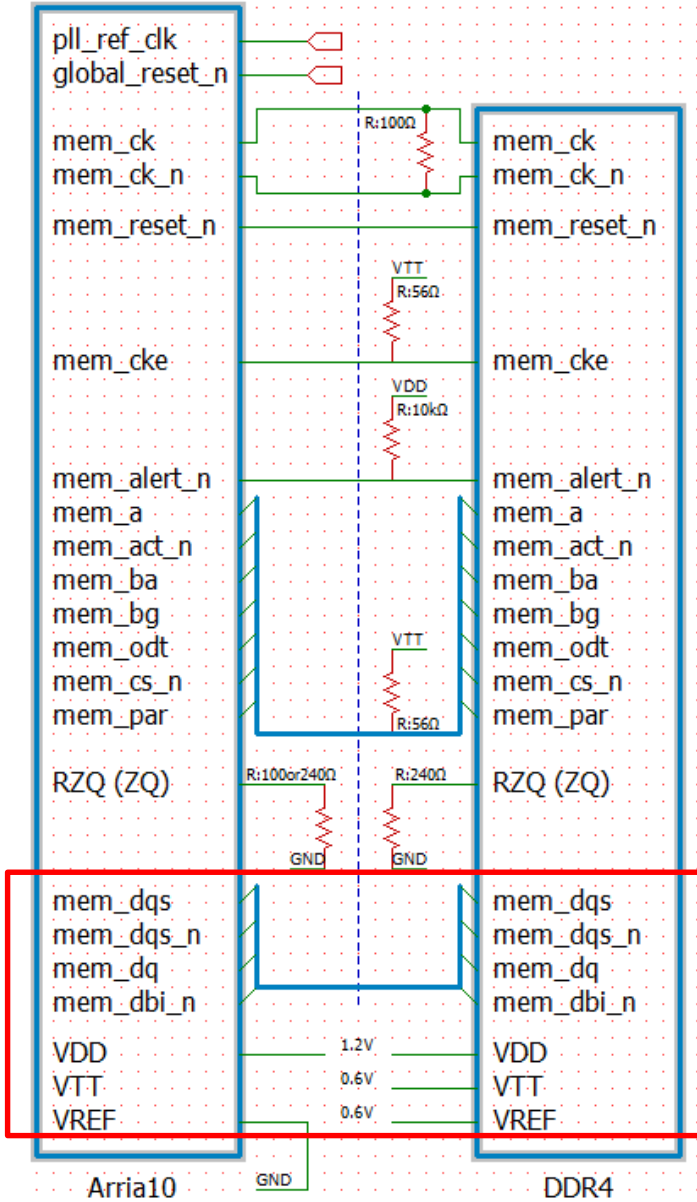
•Schematic Review Worksheet

RZQ_[#]	↔	RZQ pin is connected to GND through an external 240-Ω or 100-Ω ±1% resistor. Refer to <a href="#">I/O and High Speed I/O in Arria 10 Devices</a> for the OCT impedance options for the desired OCT scheme. ↔
---------	---	--

•Arria 10 Core Fabric and General Purpose I/Os Handbook

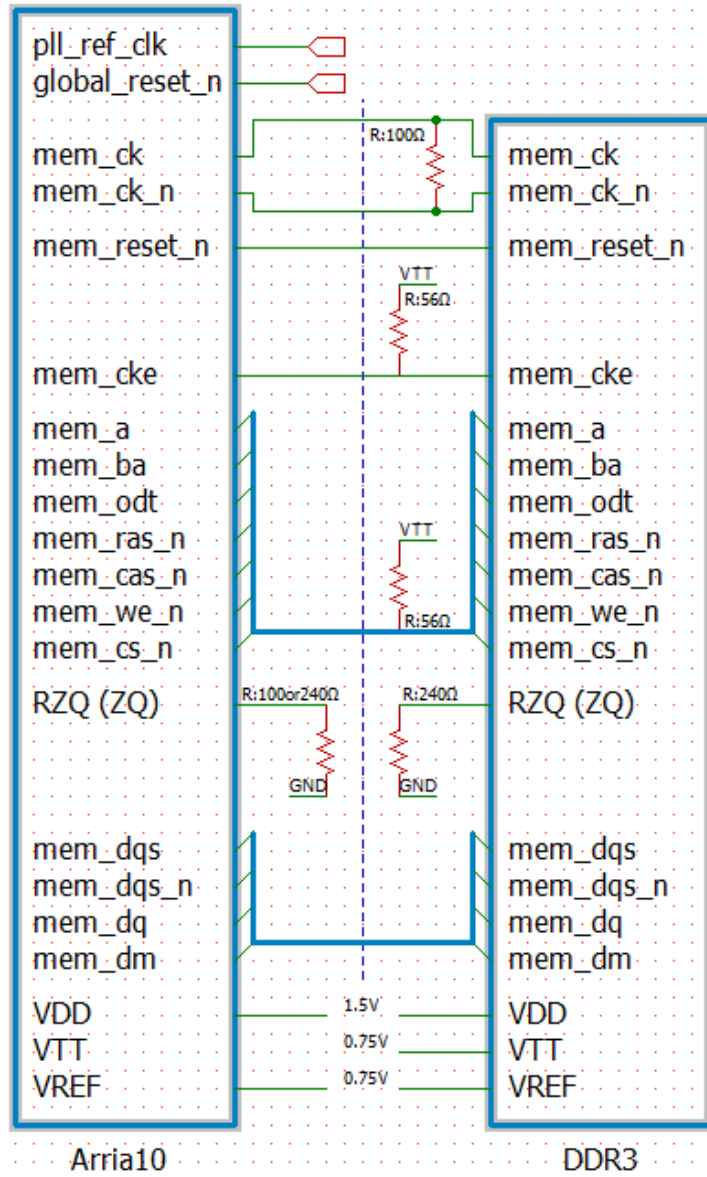
I/O Standard	Device Variant Support	Calibrated OCT (Input)	
		R <sub>T</sub> (Ω)	RZQ (Ω)
SSTL-15 Class II	All	50	100
SSTL-15	All	30, 40, 60, 120	240
SSTL-135	All	30, 40, 60, 120	240
SSTL-125	All	30, 40, 60, 120	240
SSTL-12	All	60, 120	240
POD12	All	34, 40, 48, 60, 80, 120, 240	240
1.8 V HSTL Class I	All	50	100
1.8 V HSTL Class II	All	50	100
1.5 V HSTL Class I	All	50	100
1.5 V HSTL Class II	All	50	100

# Arria10 + DDR4 の回路図確認 9/9



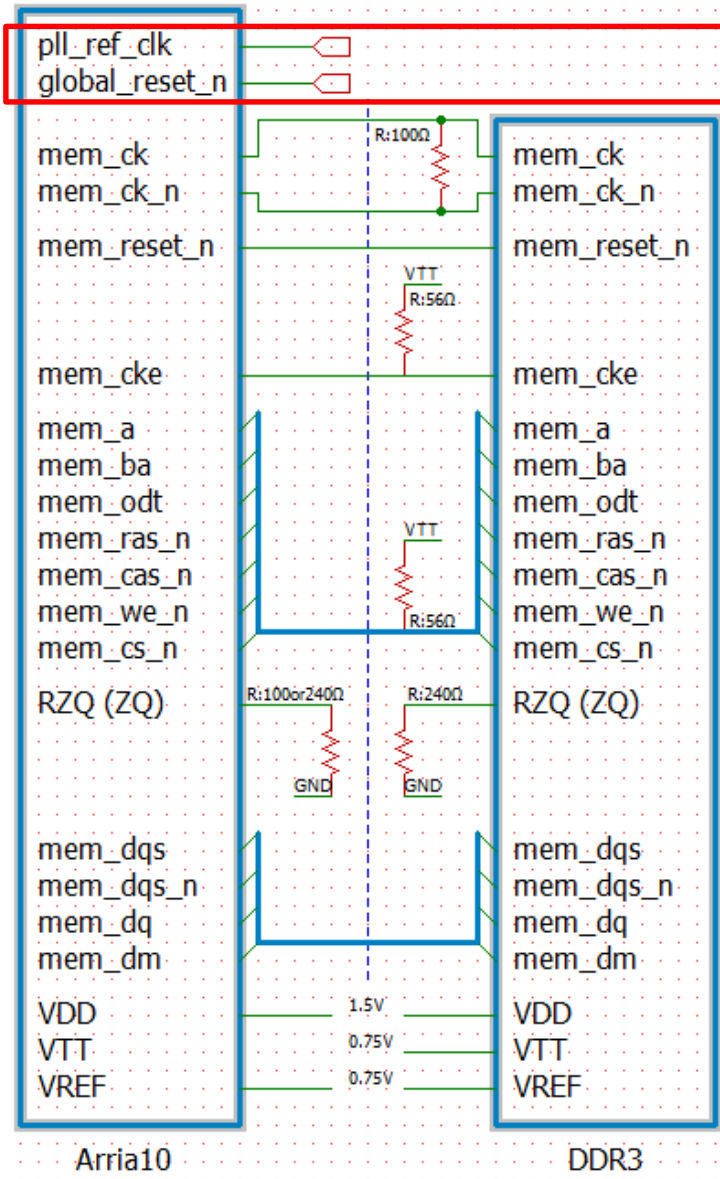
- mem\_dq/dqs/dm : **終端不要**
  - FPGA 側、メモリ側ともに終端不要
  - OCT と ODT が用意されている
    - OCT (On-Chip Termination)
      - FPGA 側の内部終端
    - ODT (On-Die Termination)
      - SDRAM 側の内部終端
- VDD
  - 1.2V が接続されていること確認
- VTT, VREF(メモリ側)
  - 0.6V が接続されていること確認
  - VTTとVREFは同じ電圧値だが別電源にすることを推奨
    - VTTはアドレスコマンドのプルアップに使われるのでノイズが乗る場合があります。一方VREFはレファレンス電圧なので、精度良い電源を接続する事が理想的です
- VREF(Arria10側)
  - Arria10 では、DDR4 I/Fの場合、内部VREFを使用します。この場合、VREF入力は不要ですので、GND or VCCIO に接続してください(図はGND接続の例)
  - 本資料の以前のRev.では0.6V に接続と記載されていましたが、0.6V 接続でも問題ありません

# Arria10 + DDR3 の回路図確認 1/8



- **左の図は Arria10+DDR3 の参考接続回路図**
- 抵抗値を決める際は必ず基板 SIM をする必要がある
  - 基板 SIM の結果が良い方を選択する
- 左の図は Component の接続を表しています  
DIMMの場合、プルアップはDIMMモジュール上で処理されていますので基板上の処理は不要です

# Arria10 + DDR3 の回路図確認 2/8



- pll\_ref\_clk : **専用ピンに接続**

- 専用ピンに接続
- Arria 10 HANDBOOKのClock Networks and PLLs in Arria 10 Devices の章の Reference Clock Sources に、ref clk は専用ピンから接続するのが推奨と記載

• [Arria 10 HANDBOOK](#)

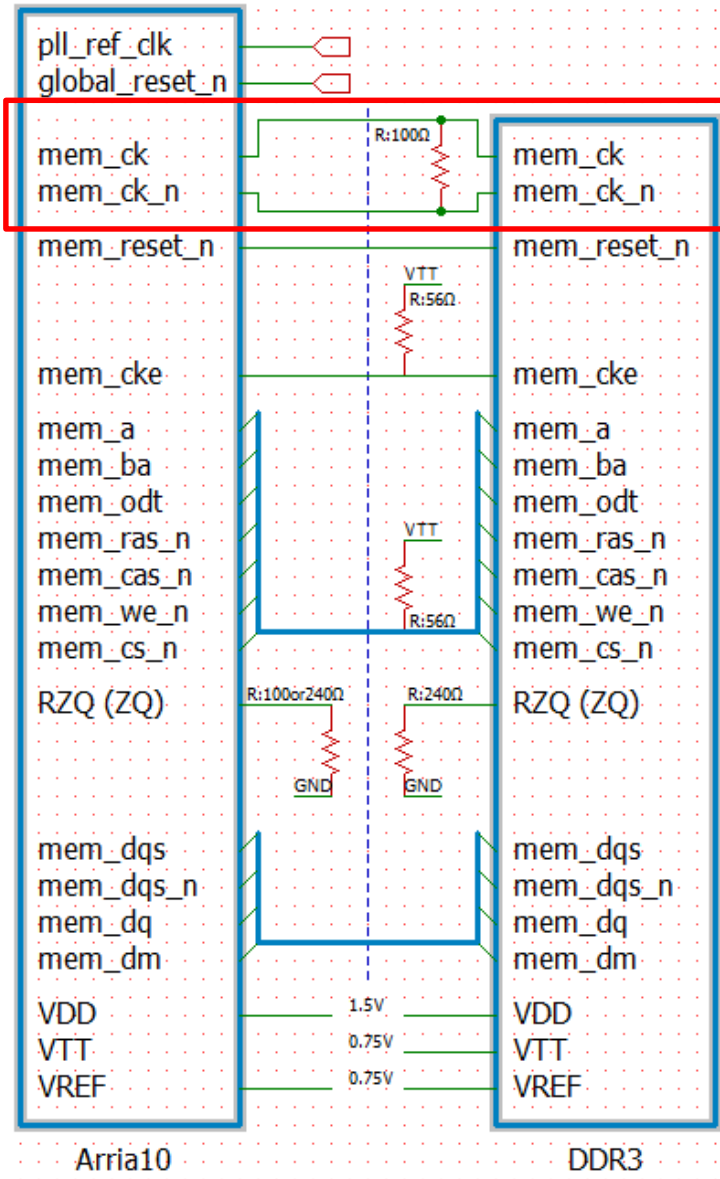
Altera recommends providing the I/O PLL reference clock using a dedicated pin when possible. If you want to use a non-dedicated pin for the PLL reference clock, you have to explicitly promote the clock to a global signal in the Quartus Prime software.

- global\_reset\_n : **終端不要**

- 終端の必要なし



# Arria10 + DDR3 の回路図確認 3/8



- mem\_ck : **差動終端 (抵抗値は基板SIMで判断)**

- mem\_ck は出力ピンなので FPGA 側は終端は不要
- メモリ側は終端が必要
  - 参考 : EMIF HANDBOOK の V シリーズの章では 100Ω で差動終端と記載

•EMIF HANDBOOK

Clock	DIFF Class I R50 NO CAL	N/A	x1 = 100-ohm differential (10)  x2 = 200-ohm differential (11)
-------	----------------------------	-----	--

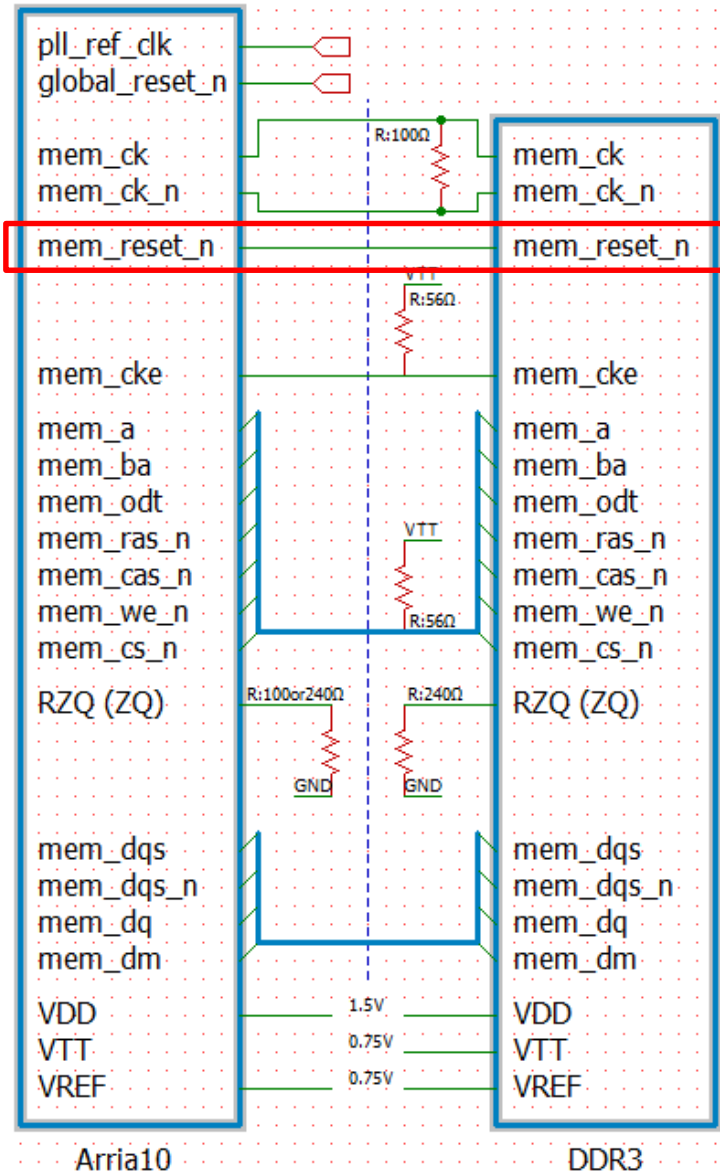
- 参考 : DDR3 HiLo の回路図では 49.9Ω の抵抗とコンデンサを介して GND 処理

•DDR3 HiLo の回路図





# Arria10 + DDR3 の回路図確認 4/8



## ● mem\_reset\_n : **終端不要**

- FPGA側、メモリ側ともに終端の必要なし
- KDBに reset 信号に終端は必要ない、との記載があります

- メモリ側のリセットピンと FPGA 側のリセットピンを終端なしで直つなぎ

- [https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd07212013\\_499.html](https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd07212013_499.html)

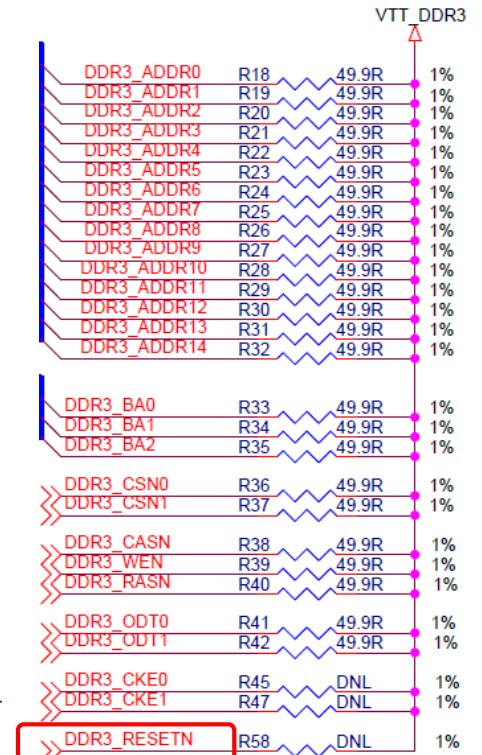
- 参考 : Schematic Review Sheet では VTT へ接続不要と記載あり

### • Schematic Review Worksheet

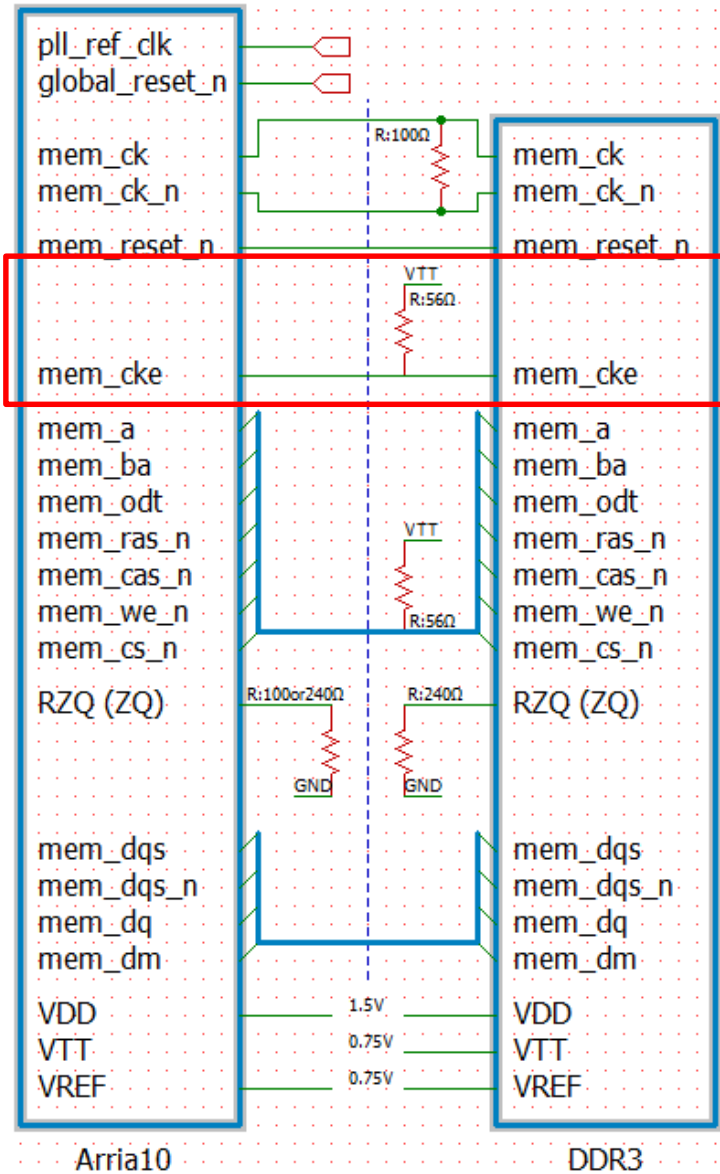
Reset for DDR3 Memory	↔	For DDR3, Use 1.5V and fast slew rate. ↕ Also use serial output termination with calibration for SSTL-15 DDR3. ↕
↕		↕
↕		For DDR3L, use SSTL-135, fast slew rate and serial output termination. ↓
		↕
		Check the FPGA termination value in the .qip file which is generated with your IP. ↕
		↕
		It is not recommended to externally terminate this reset to Vtt. ↕

- 参考 : DDR3 HiLo の回路図ではVTTに接続

### • DDR3 HiLo の回路図



# Arria10 + DDR3 の回路図確認 5/8



- mem\_cke : **抵抗介して VTT (抵抗値は基板 SIM で判断)**

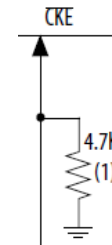
- CKEは出力ピンなので FPGA 側で終端不要
- メモリ側は終端が必要

- **KDBに記載あり：V シリーズの時と処理が違うので注意が必要です**

- <https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/emif/2017/how-cke-should-be-terminated-for-ddr3-and-ddr3-emif-ip-.html>

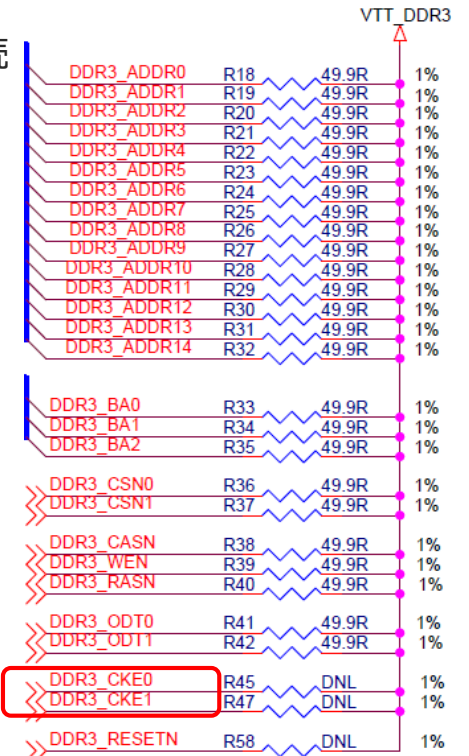
- 参考：EMIF HANDBOOK V シリーズの章では4.7kΩでGND接続

•EMIF HANDBOOK

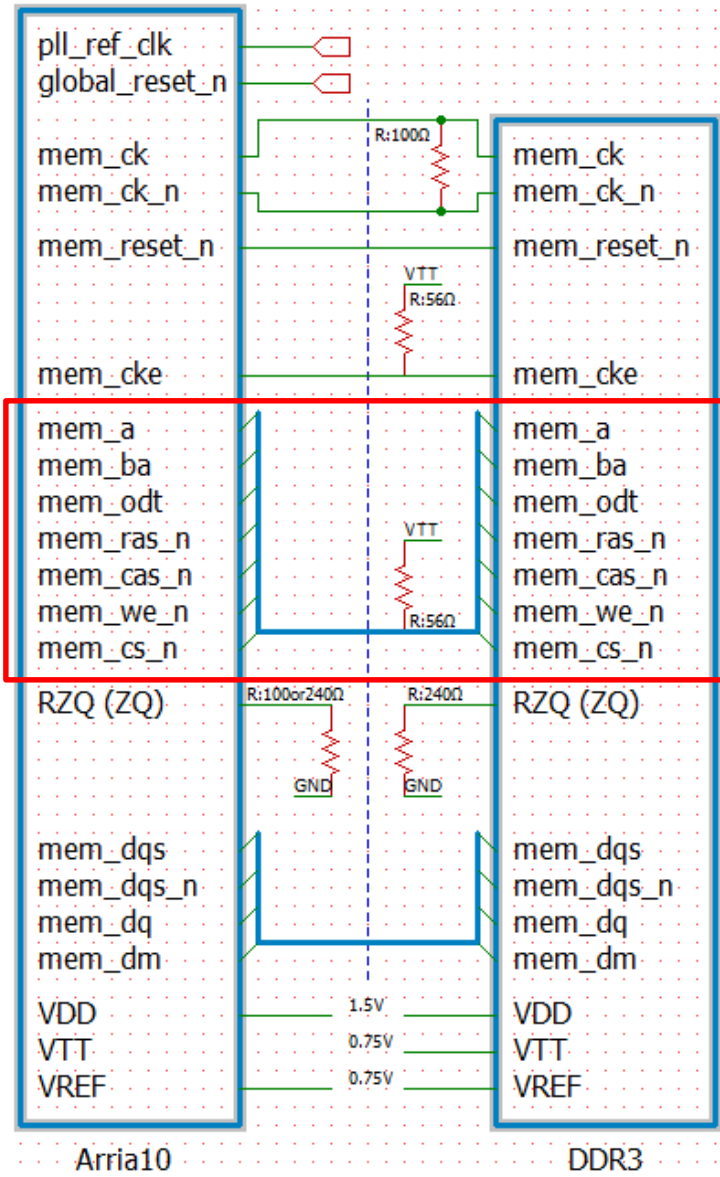


- 参考：DDR3 HiLo の回路図ではVTTに接続

•DDR3 HiLo の回路図



# Arria10 + DDR3 の回路図確認 6/8



● add/cmd : **抵抗介して VTT (抵抗値は基板 SIM で判断)**

- mem\_a
- mem\_ba
- mem\_odt
- mem\_ras\_n
- mem\_cas\_n
- mem\_we\_n
- mem\_cs\_n

- アドレス/コマンドピンは出力ピンなので FPGA 側は終端不要
- メモリ側は終端が必要

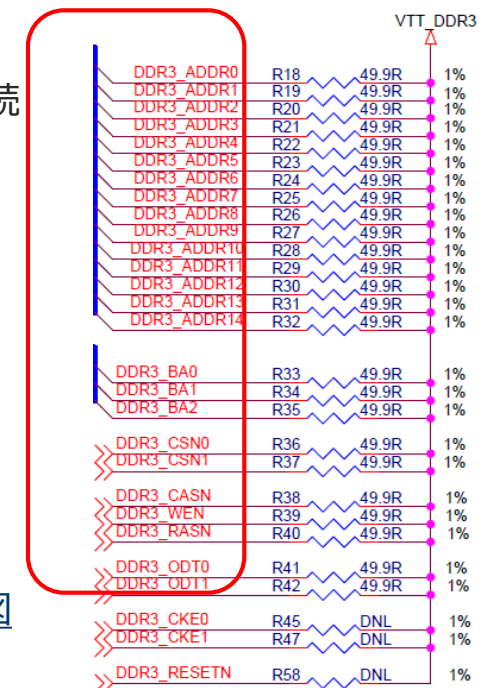
- 参考 : EMIF HANDBOOK V シリーズの章では56ΩでVTTに接続

•EMIF HANDBOOK

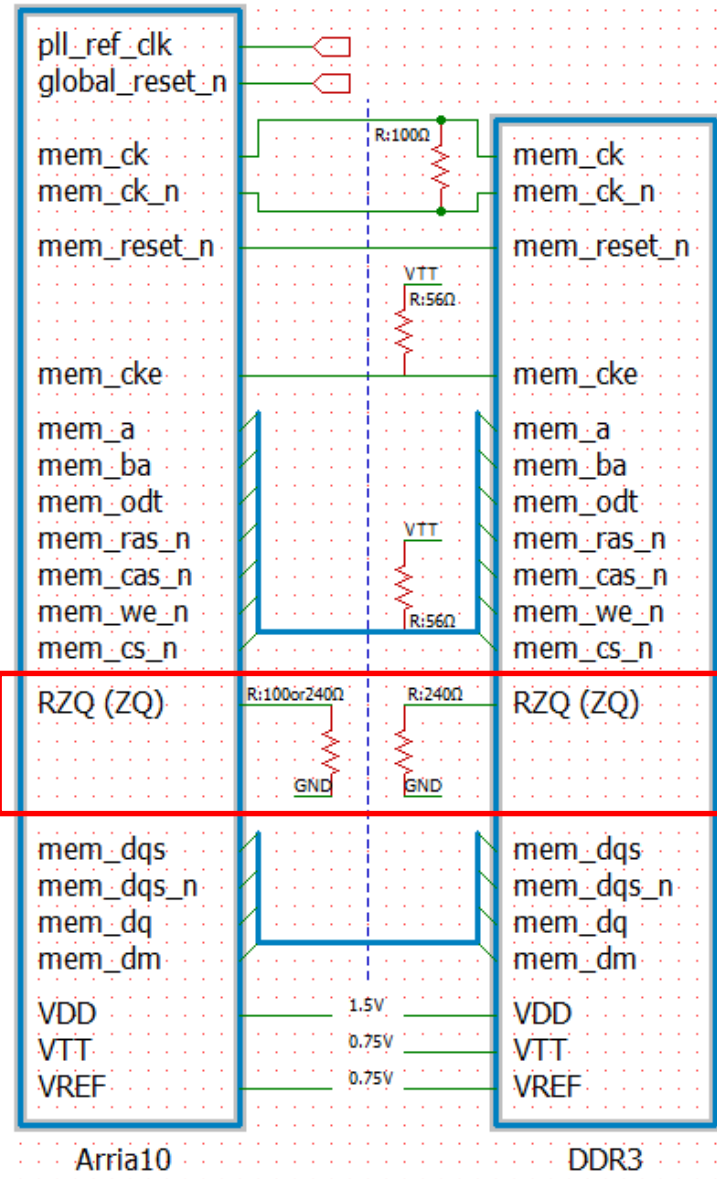
Address and command	Class I MAX	N/A	56-ohm Parallel to VTT discrete
---------------------	-------------	-----	---------------------------------

- 参考 : DDR3 HiLo の回路図では49.9Ωで VTT に接続

•DDR3 HiLo の回路図



# Arria10 + DDR3 の回路図確認 7/8



## ● RZQ : 240 又は 100 Ω の抵抗介して GND

- メモリ側の RZQ はメモリやデバイスによらず 240Ω で GND 接続
  - DDR3, DDR4 は 240Ω だが DDR2は240Ω の接続は不要
- FPGA 側は I/O Standard によって 100Ω 又は 240Ω に変わる
  - 抵抗値は OCT 機能のあるピンの I/O Standard に依存
  - デフォルト設定ではデータピンのみ考慮すればよいがアドレスコマンドピンの設定を直列 OCT に設定した場合はアドレスコマンドピンの I/O Standard も考慮
- 複数のバンクに跨ってメモリ IP が配置されている場合でも、メモリ IP ひとつごとに RZQ ピン一つを処理すればよい
- メモリ IP の配置バンクでなくともメモリ IP と同じ電圧のバンクなら RZQ ピンはどこのバンクでもよい

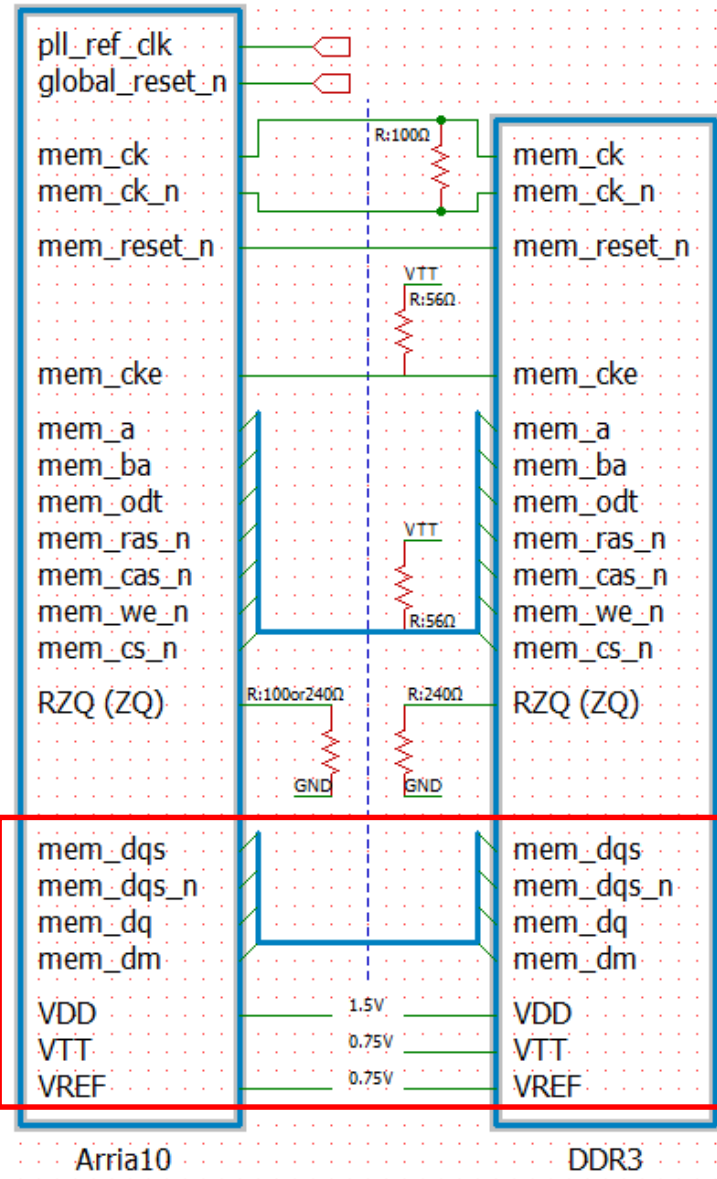
• [Schematic Review Worksheet](#)

RZQ_[#]	↔	RZQ pin is connected to GND through an external 240-Ω or 100-Ω ±1% resistor. Refer to <a href="#">I/O and High Speed I/O in Arria 10 Devices</a> for the OCT impedance options for the desired OCT scheme. ↔
---------	---	--

• [Arria 10 Core Fabric and General Purpose I/Os Handbook](#)

I/O Standard	Device Variant Support	Calibrated OCT (Input)	
		R <sub>T</sub> (Ω)	RZQ (Ω)
SSTL-15 Class II	All	50	100
SSTL-15	All	30, 40, 60, 120	240
SSTL-135	All	30, 40, 60, 120	240
SSTL-125	All	30, 40, 60, 120	240
SSTL-12	All	60, 120	240
POD12	All	34, 40, 48, 60, 80, 120, 240	240
1.8 V HSTL Class I	All	50	100
1.8 V HSTL Class II	All	50	100
1.5 V HSTL Class I	All	50	100
1.5 V HSTL Class II	All	50	100

# Arria10 + DDR3 の回路図確認 8/8



- mem\_dq/dqs/dm : **終端不要**
  - FPGA 側、メモリ側ともに終端不要
  - OCT と ODT が用意されている
    - OCT (On-Chip Termination)
      - FPGA 側の内部終端
    - ODT (On-Die Termination)
      - SDRAM 側の内部終端
  
- VDD
  - 1.2V が接続されていること確認
  
- VTT, VREF
  - 0.75V が接続されていること確認
  - VTTとVREFは同じ電圧値だが別電源にすることを推奨
    - VTTはアドレスコマンドのプルアップに使われるのでノイズが乗る場合があります。一方VREFはレファレンス電圧なので、精度良い電源を接続する事が理想的です



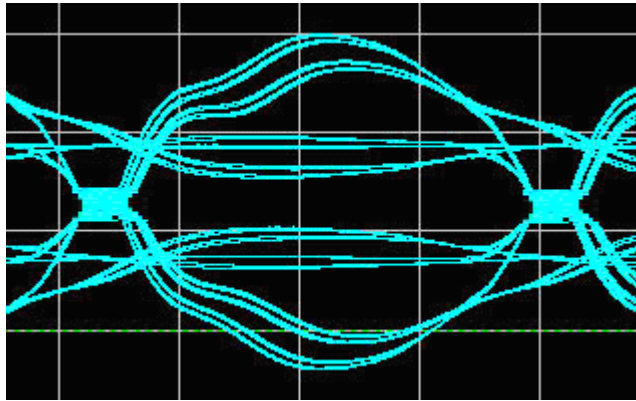
## Appendix : 基板SIM結果の確認項目



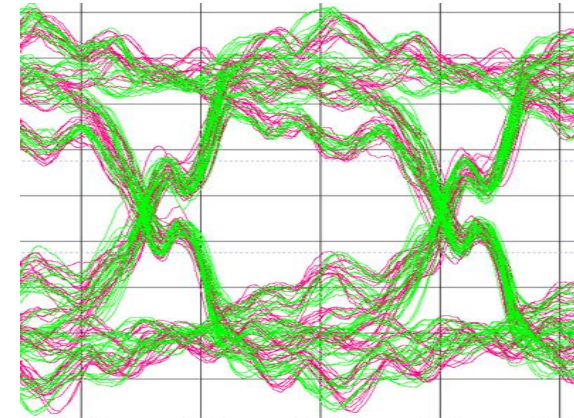
# 基板 sim 結果の概略確認：明らかにおかしい波形の例

- 基板SIM結果の確認

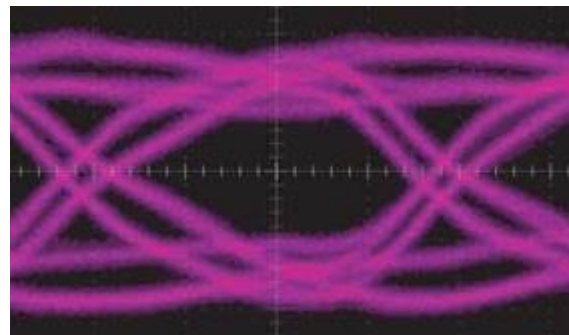
- 明らかにおかしい波形：アイがつぶれている、波形の乱れ（リングング、階段）が激しい、等



例1: アイが上下方向でつぶれている  
(High/Low の電圧が要求を満たさない疑い)



例2: リングングは激しい、立ち上がり時に  
しきい値付近でリングバックしている  
(クロック/ストロブでは不可の可能性)



例3: スルーレートが小さい  
(左右(時間方向)のつぶれ、  
クロックでは要求仕様違反の可能性)

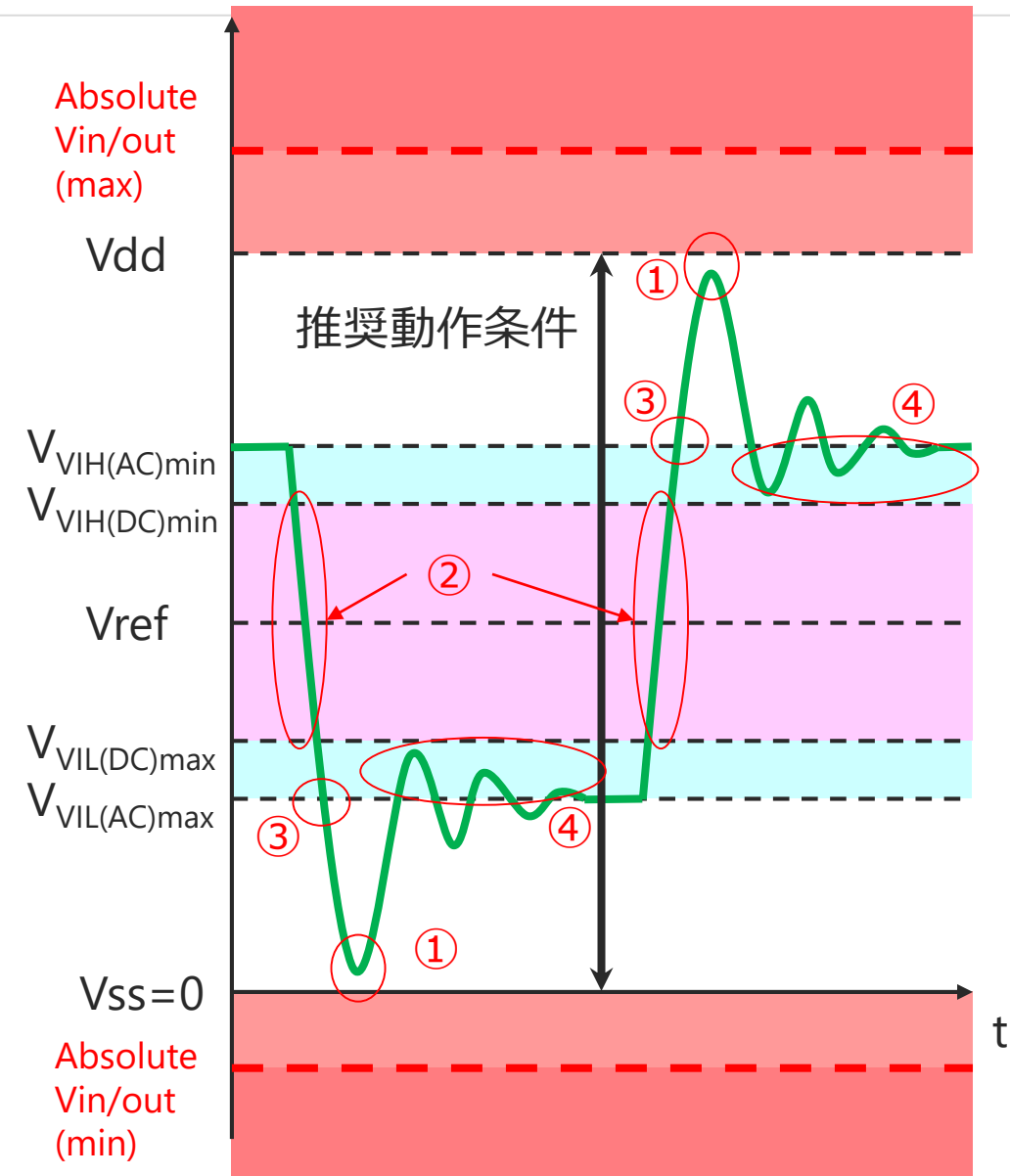


# 基板 sim 結果の確認詳細：(1) 電圧レベルの確認

## ● 電圧レベルの確認：

### 各種電圧条件に適合しているかを確認

- 推奨動作条件(および絶対最大定格)を満たしているか
  - ① 遷移後のオーバーシュートに注意
- 論理値確定期間(High 期間、Low 期間)を波形と規定値から決め、その期間中一定範囲にあること
  - ② 遷移中、Vref 前後の領域をまたぐこと
  - ③ 遷移後、論理値確定とみなすために VIH/VIL(AC) に達すること
    - ・ 信号の傾きによるディレーティングは別途考慮する
  - ④ 一度、VIH/VIL(AC) に達した後は次の遷移までは VIH/VIL(DC) をまたがない領域に維持すること
    - ・ Address/Command, Data 信号について、またいでしまう場合はタイミングマージンが減少してしまう
    - ・ クロック・ストロブ(DQS) について、またいでしまう場合は誤動作のリスクが生じる(次スライドも参照下さい)



# 基板 sim 結果の確認詳細：(2) 遷移波形と傾きの確認

## ● 遷移波形と傾きの確認：

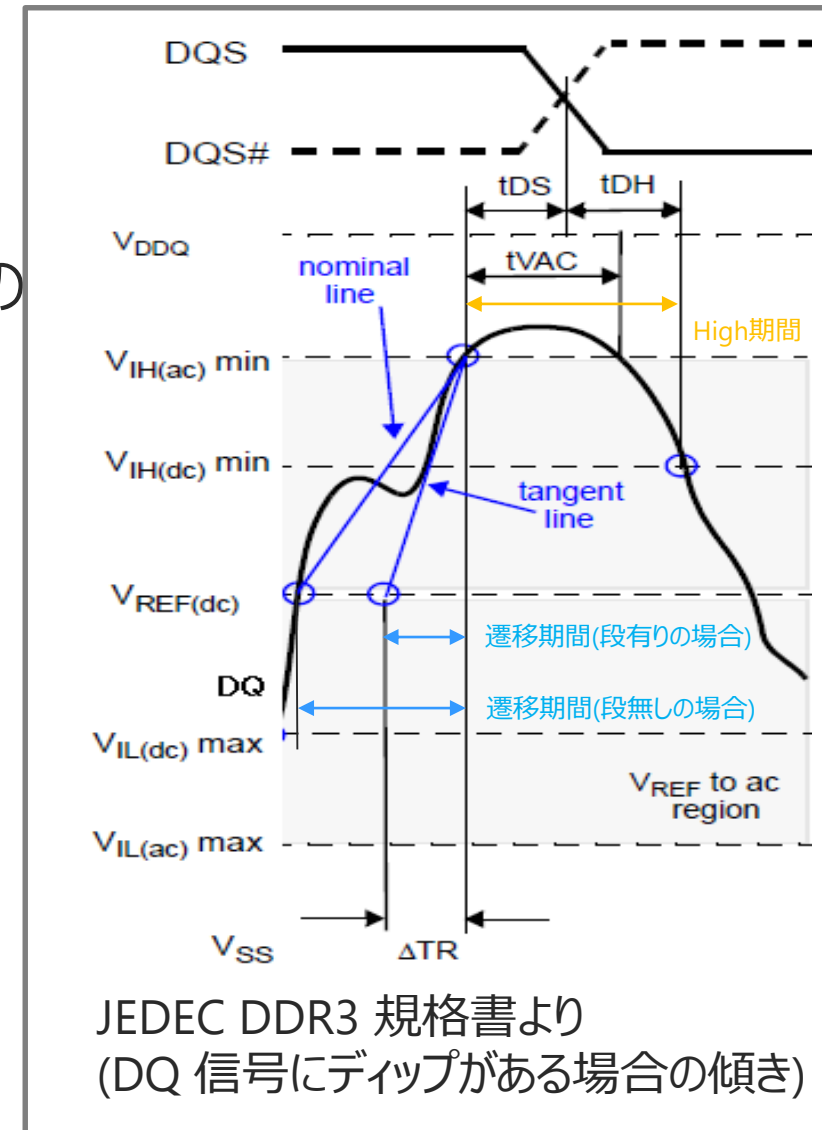
### 特にクロックとストローク信号では厳密に見る事

#### ○ 遷移波形：リングングやディップと呼ばれる階段～揺り戻し状の波形は大きさによっては誤動作の要因となる

- 内部で論理反転として認識されてしまうと誤動作の原因となる
- アドレス・データ信号では前スライドでの判断が良い

#### ○ 傾き：極端に傾きがなだらかになっていないか確認

- クロックとストローク信号はなだらかだとタイミングのマーヅンに影響を及ぼすので標準値の傾きになるようにする
  - DDR2/3 では 1V/ns が標準値の傾き
- Vシリーズでは IP の設定項目で値を入力する箇所があるので波形から読み取る必要がある
  - Arria 10では IP のパラメータ入力する箇所は無し





ありがとうございました

# 改版履歴

リビジョン	日付	概要
1.0	2018年12月	初版作成
1.1	2019年3月	リンク先など微修正
2.0	2019年7月	リンク先の修正
2.1	2019年11月	Arria10 + DDR4回路図、Arria10 の VREF 接続の修正。

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。