

インテル® Agilex™ FPGA

デザイン・ガイドライン 補足資料

macnica

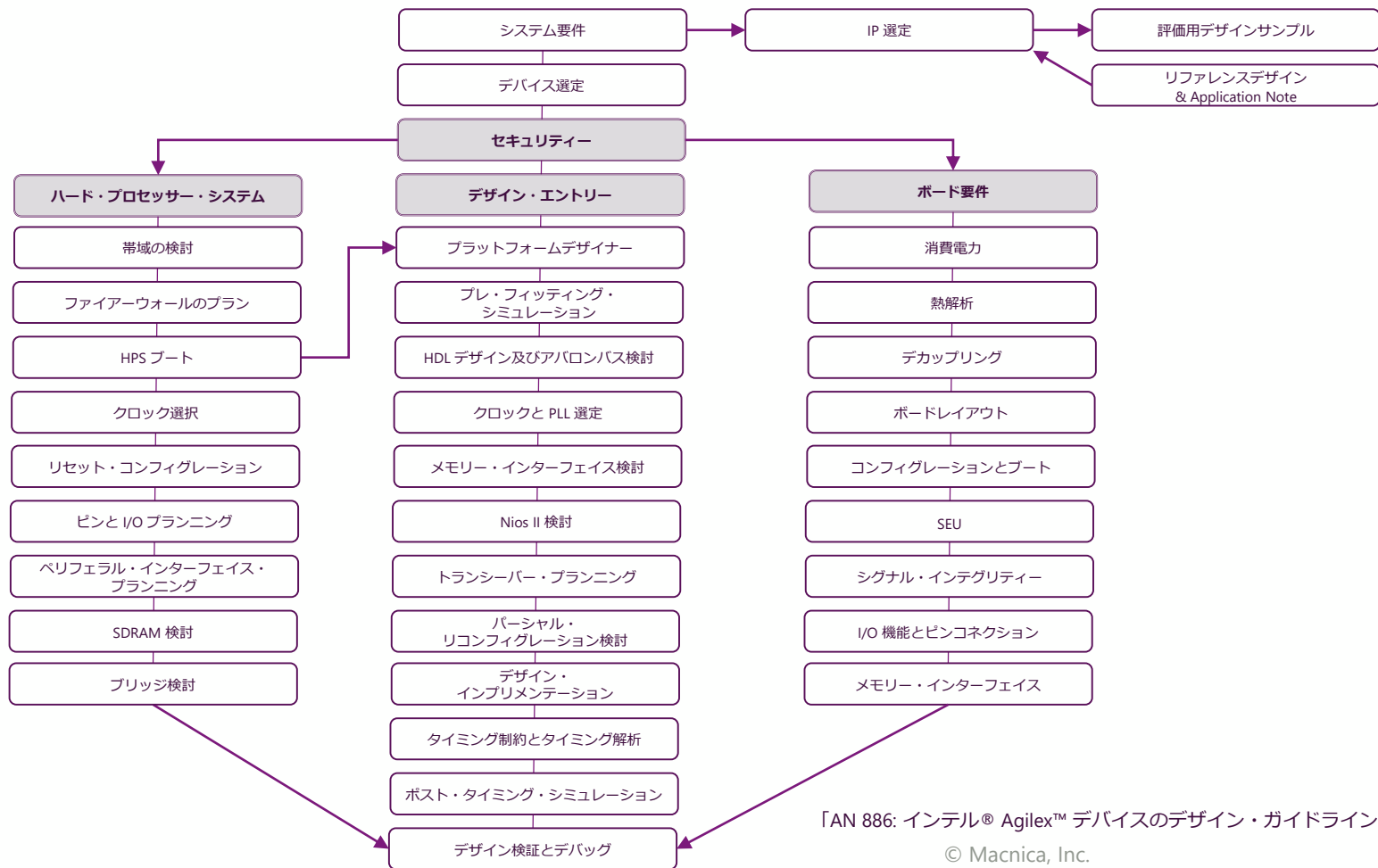
株式会社マクニカ アルティマカンパニー

Rev. 1 2021/3

はじめに

- 高密度で高性能な インテル® Agilex™ デザインを確立するには、デザインプロセスの早期段階で FPGA とシステムのプランニングを立てることが重要です。
- “AN 886: インテル® Agilex™ デバイスのデザイン・ガイドライン” (下記のリンク参照) は、生産性を向上させ一般の設計上の落とし穴を避けるため、デザインフローの各ステージにおけるデザイン・ガイドラインを提示しています。
- 本資料は、“AN 886: インテル® Agilex™ デバイスのデザイン・ガイドライン” の中でも、特に気を付けるべきポイントをまとめた補足資料です。デザインステージにおけるすべての注意事項をまとめている資料ではありませんので、“AN 886: インテル® Agilex™ デバイスのデザイン・ガイドライン” 資料と併せてご活用ください。
- AN 886: インテル® Agilex™ デバイスのデザイン・ガイドライン
 - <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/an/an886-agilex-device-design-guidelines.pdf>
 - 日本語資料（最新情報は英語版をご参考ください）：https://www.intel.co.jp/content/dam/altera-www/global/ja_JP/pdfs/literature/an/an886-agilex-device-design-guidelines-j.pdf
 - Advisories：<https://www.intel.com/content/www/us/en/programmable/support/quality-and-reliability/pcns-and-advisories.html>

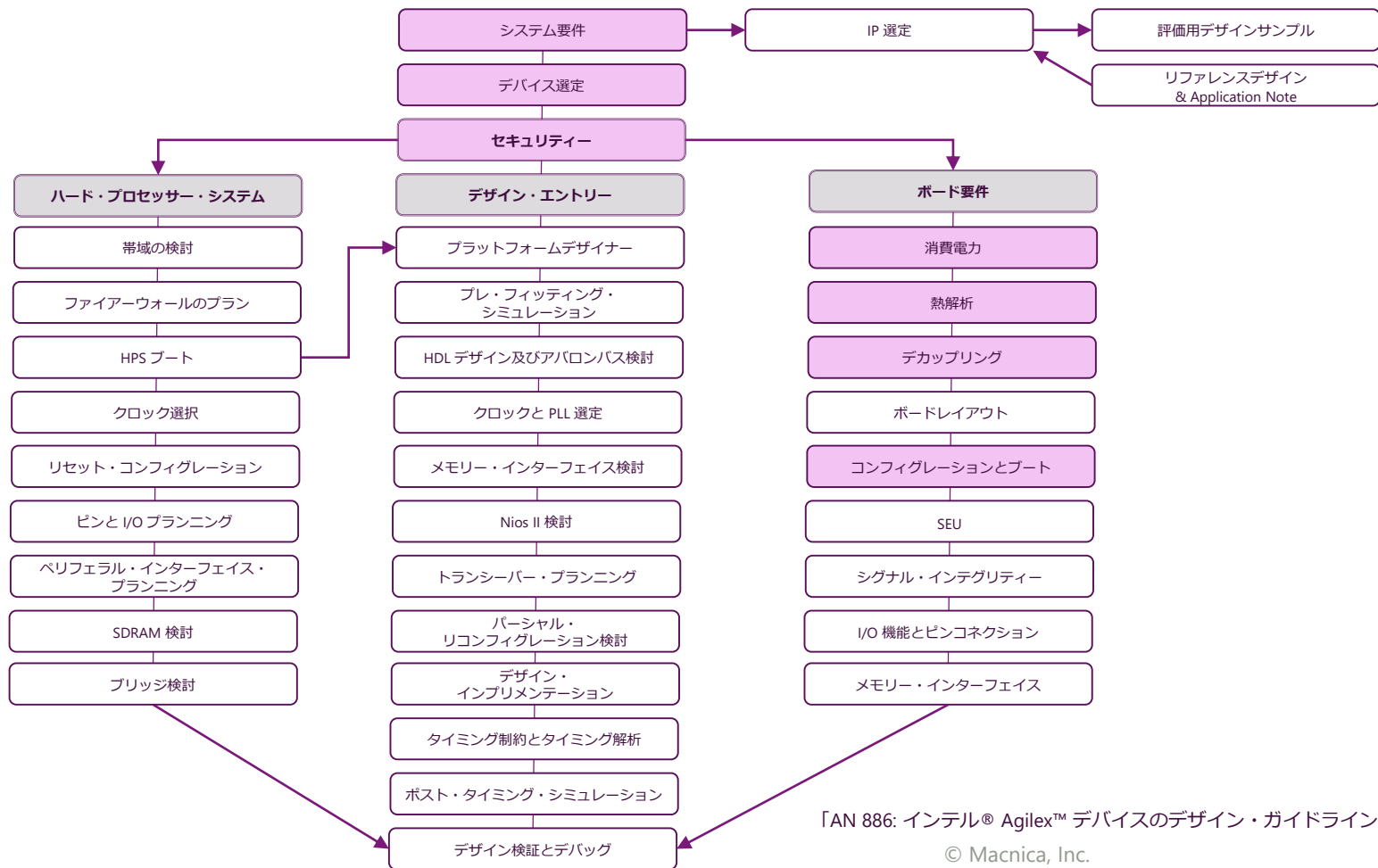
インテル® Agilex™ デバイスのデザインフロー



「AN 886: インテル® Agilex™ デバイスのデザイン・ガイドライン」資料より

© Macnica, Inc.

インテル® Agilex™ デバイスのデザインフロー



「AN 886: インテル® Agilex™ デバイスのデザイン・ガイドライン」資料より

© Macnica, Inc.

アジェンダ

1. システム要件
2. デバイス・バリエーション
3. デバイス・セキュリティー
4. 消費電力
5. 熱解析
6. デカップリング
7. コンフィグレーション

システム要件

システム要件

デバイス選定

セキュリティ

● 推奨コンパイル PC 環境 (物理メモリー)

- 72GB
 - AGFA022, AGFB022, AGFA027, AGFB027
- 64GB
 - AGFA012, AGFB012, AGFA014, AGFA014-R0, AGFB014, AGFB014-R0
- 参考資料
 - <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/rn/rn-qts-pro-dev-support.pdf>

デバイス・バリエーション

システム要件

デバイス選定

セキュリティー

F - Series

最大 58Gbps XCVRs

PCIe® Gen4

DDR4

Quad-Core ARM® Cortex® -A53
SoC オプション

I - Series

最大 116Gbps XCVRs

PCIe® Gen5

DDR4

Quad-Core ARM® Cortex® -A53

インテル® Xeon® プロセッサへの
コヒーレント・インターコネクト

M - Series

最大 116Gbps XCVRs

PCIe® Gen5

DDR4, DDR5,
Intel® Optane™ DC Persistent
Memory

Quad-Core ARM® Cortex® -A53

インテル® Xeon® プロセッサへの
コヒーレント・インターコネクト

HBM オプション

デバイス・バリエーション～トランシーバー・タイル～

システム要件

デバイス選定

セキュリティー

	E-Tile	F-Tile	P-Tile	R-Tile
特徴	10GE、25GE、100GE プロトコルをサポートするためのイーサネット・ハード IP (eHIP) を内蔵	最大 1チャンネルで 116Gbps のデータレートをサポート 400GE 等様々な高速プロトコルの実装が可能	PCIe Gen4 Hard IP および UPI のハード IP を内蔵	PCIe Gen5x16 (32Gbps) を実現するための機能を内蔵
対応デバイス	F シリーズ	F/I シリーズ	F シリーズ	I シリーズ
対応帯域	NRZ - 28.9 Gbps PAM4 - 58 Gbps	PAM4 - 116Gbps PAM4 - 58Gbps or NRZ - 32 Gbps	NRZ - 16 Gbps	NRZ - 32Gbps
内蔵ハード IP	<ul style="list-style-type: none"> 10/25/100GE MAC PCS and RSFEC (528,514) RSFEC (544,514) 	<ul style="list-style-type: none"> 10/25/50/100/200/400GE MAC, PCS and KR/KP RSFEC PCIe Gen4 x16 with 8 PF/2K VF SR-IOV EP/RP 	<ul style="list-style-type: none"> PCIe Gen4 hard IP blocks Intel Ultra Path Interconnect (UPI) hard IP 	<ul style="list-style-type: none"> PCIe Gen5 x16 with 8 PF/2K VF SR-IOV EP/RP Compute Express Link (CXL)

※ デザインのリユース時（他のデバイス・ファミリーからの置き換え時）は各種 IP を新規で作成し直すことを推奨
詳細は、[フィージビリティ・スタディーデザイン・ガイドライン](#)を参照

デバイス・セキュリティー

システム要件

デバイス選定

セキュリティー

● Authentication : 認証

- インテル® Stratix® 10 FPGA から追加されたセキュリティー機能
- FPGA (システム) が信頼できるコンフィグレーション・ビットストリームのみを受け付ける機能
 - システム上で意図しない動作をさせない、なりすまし等を防止する
認証を有効にしないと、他のセキュリティー機能を有効にすることはできない
- コンフィグレーション・データ自体の暗号化はしていない
- 認証キー格納場所
 - 2種の eFuse のみ (①Virtual eFuse、②Physical eFuse)

● Encryption : 暗号

- 従来デバイスから使われていたセキュリティー機能
- コンフィグレーション・ビットストリームから IP (知的財産) や機密データが流出する (解読される) ことを防ぐ機能
- コンフィグレーション・データ自体の暗号化をしている
- 暗号キー格納場所
 - 2種の eFuse (①Virtual eFuse、②Physical eFuse) + BBRAM : 外部蓄電池等で保持

デバイス・セキュリティー Cont.

システム要件

デバイス選定

セキュリティー

● 認証/暗号キーの格納場所

格納オプション	アクセス	対応セキュリティー機能	ポイント
Virtual eFuses	Write / Erase	認証 暗号	Physical eFuses の動作を再現可能
Physical eFuses	Write once	認証 暗号	eFuses を使って認証/暗号キーを格納 認証/暗号キーの書き込みは 1 度のみ可能
Battery Backup RAM	Write / Erase	暗号のみ対応	Battery がある間は暗号キーを書き換え可能 Battery を外すと暗号キーが消去

※ ES 品での検証の際は弊社営業もしくは技術窓口までお問い合わせください

Physical eFuses の機能を一度でも使用すると、キーの消去、新しいキーの書き込みが 2 度とできなくなってしまうため、最終的に Physical eFuses を使用する場合でも、**検証時は Virtual eFuses を使用することを強く推奨**



● Power & Thermal Calculator (PTC) を使用

- デザイン設計前・What-if 解析に使用
- Quartus Prime から起動、もしくは Standalone で使用可能

- ダウンロード : <https://fpgasoftware.intel.com/?edition=pro>

- ユーザーガイド :

- <https://www.intel.com/content/www/us/en/programmable/documentation/mdj1572270584041.html>

● Quartus Prime Power Analyzer を使用

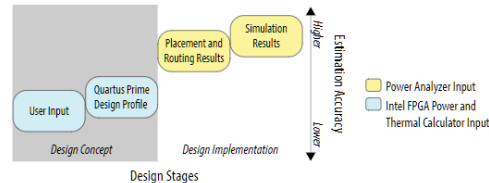
- Post-Fit デザインに使用

- ユーザーガイド :

- <https://www.intel.com/content/www/us/en/programmable/documentation/osq1513989409475.html>

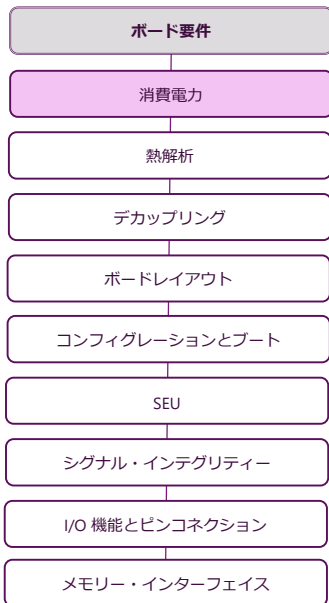
● 注意点

- PTC / Power Analyzer は最新版を使用
 - 現行版 (v20.4) は Preliminary*



*Preliminary となっている場合は暫定版であり、変更となる可能性があります。

電源設計 ～電源シーケンス～



● 電源ツリーを確認

- <https://www.intel.com/content/www/us/en/programmable/documentation/zfo1550730074483.html>

- “Intel Agilex Power Supply Sharing Guidelines” を参照

● 使用するデバイス・バリエーションの電源グループを確認

- <https://www.intel.co.jp/content/www/ja/jp/programmable/documentation/xal1549865615514.html>

- “Table 2. Voltage Rails Group” を参照

● パワーアップ/ダウン・シーケンスを確認

- <https://www.intel.co.jp/content/www/ja/jp/programmable/documentation/xal1549865615514.html>

- “Power-Up Sequence Requirements” および “Power-Down Sequence Requirements for Intel Agilex Devices with E-Tile or H-Tile” セクションを確認

- パワーダウン・シーケンスは E-Tile デバイスが対象

E-Tile デバイス以外はパワーアップ・シーケンスの逆順で実施

電源設計 ～電源シーケンス～ Cont.



● インテル® MAX® 10 FPGA を使った電源管理ソリューション

◦ Reference Design

- 最大 143 レールの電源シーケンスが管理可能。PMBus (パワー・マネジメント・バス) に対応
- Reference Design のダウンロード・サイト

<https://fpgacloud.intel.com/devstore/platform/18.1.0/Standard/multi-rail-power-sequencer-and-monitor/>

- 使用方法は Application Note 896 を参照

https://www.intel.co.jp/content/www/jp/ja/programmable/documentation/zqf1561088193_193.html

◦ Example Design

- インテル® FPGA Agilex™ 開発キットに含まれる MAX® 10 デザインを参照
- 例) インテル® Agilex™ F-Series Transceiver-SoC 開発キット インストレーター・パッケージ

https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/kit-agf-si.html

<キット・インストール>¥examples¥max10_system

● 注意点

- 電源を制御するためインテル® FPGA よりも先に起動している必要がある
- 特に CvP (Configuration via Protocol) 使用時には起動時間に注意
 - PCI Express のインターフェイスを利用してコンフィギュレーションを実施する CvP の場合には Host PC からの PERST# が解除されるまでの 100ms 以内に Link Up している必要がある
 - 上記の起動時間も考慮して電源設計を行う



● インテル® Agilex™ FPGA デバイスの熱解析と温度管理の実施

○ 熱解析

- Power and Thermal Calculator (PTC) を使用して消費電力・熱解析を実施
- インテル® Agilex™ FPGA はマルチダイ構成のため、古典的な θ_{jc} ではなく各ダイからの熱の影響を考慮できる ψ_{jc} での解析が必要

Intel FPGA Power and Thermal Calculator User Guide

<https://www.intel.com/content/www/us/en/programmable/documentation/mdj1572270584041.html>

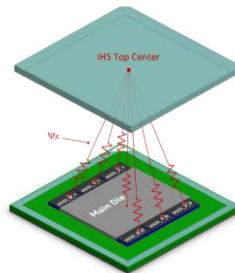
○ 温度管理

- Temperature Sensing Diodes (TSD) 機能を使用したダイ温度 (Tjunction) リアルタイム・モニタリングが可能

Intel Agilex Power Management User Guide

<https://www.intel.com/content/www/us/en/programmable/documentation/xal1549865615514.html#fbb1600826984195>

“Temperature Monitoring System” セクション



電源設計 ～デカップリング要件～



● インテル® Agilex™ FPGA PDN ガイドラインを参考にプランニングを実施

- 各パッケージ毎のデカップリング・コンデンサーの数や配置方法が提示されている
 - AN 910: Intel Agilex Power Distribution Network Design Guidelines
<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/an/an910.pdf>
- 注意点
 - 資料に記載されているコンデンサーの数を緩和する場合は、PI シミュレーションを実施する等してユーザー判断で行う

コンフィグレーション



● 全体

- Intel® Agilex™ Configuration User Guide を参照
 - <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/agilex/ug-ag-config.pdf>
 - プログラムファイルの生成は Programming File Generator を使用
使用方法は下記記事を参照
「[Programming File Generator で .pof / .jic / .rpd を作成してみよう](#)」
- nCONFIG 制御によるリコンフィグレーションを行う場合、nSTATUS が Low になるまで Low をドライブ
- [JTAG mode](#)
 - インテル® FPGA ダウンロードケーブル II または インテル® FPGA イーサネット・ケーブルを使用
- [Avalon-ST \(x8, x16, x32\) mode](#)
 - [PFL II および CFI フラッシュメモリーを備えた CPLD/FPGA](#) またはマイクロプロセッサなどの外部メモリーを備えた外部ホストの実装
- [AS-fast/AS-normal mode](#) 共通
 - ユーザーモード中、AS ピンはトライステートにならない

コンフィグレーション Cont.



● 注意点

- マルチ・デバイス・コンフィグレーションは JTAG コンフィグレーションのみサポート
- [JTAG mode](#)
 - JTAG クロックを 24MHz で使用すると基板に依存して書き込めない場合がある
JTAG クロック周波数を自動で調整する設定を有効にする（設定方法は [Appendix](#) を参照）
- [Avalon-ST \(x8, x16, x32\) mode](#)
 - CONF_DONE がアサートされるまで AVST_CLK (x8) クロックは停止不可
 - [AVST_READY](#) を AVST_CLK (x8) と同期化する回路の追加
- Avalon-ST (x16, x32) mode
 - [1.2V I/O standard](#) のみサポートするGPIOを使用
 - Bank 3A の [index\[91..95\]](#) IO ピンへのアクセスは禁止の為、未接続にする必要あり

コンフィグレーション Cont.



● 注意点

- [AS-fast/AS-normal mode](#) 共通
 - AS_CLK の周波数は基板特性に依存
100MHz 以上で使用する場合は IBIS シミュレーションを実施する
 - Active serial clock source は OSC_CLK_1 を使用できるように設計 ([Appendix](#) を参照)
 - コンフィグレーション ROM は VCCIO_SDM と同時か先にパワーアップする必要あり
 - POF プログラムの場合、MSEL を JTAG mode に変更
 - インテル® Quartus® Prime Pro Edition v20.4 の場合、AS_CLKの周波数は166MHz 以外を使用 ([Knowledge Base](#)を参照)
対象は AGFA014R24A と AGFB014R24A ES デバイス
- AS-fast mode のみ
 - 全ての電源は 10ms 以内に推奨動作範囲内に立ち上げる
- ES デバイスと Production デバイス間は POF 互換なし

コンフィグレーション Cont.

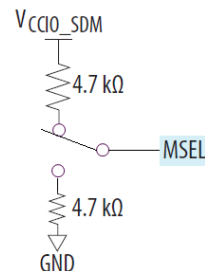


● 必須となる信号及び注意点

- JTAG 信号
 - コネクタを実装
 - コンフィグレーション及びデバックで使用
- CONF_DONE 信号
 - 有効化し、専用ピンとして使用
 - 設定方法は [Appendix](#) を参照
- nCONFIG 信号
 - FPGA や HPS の IO で制御しない
 - リコンフィグレーションを行う場合はユーザーガイドを参照
- MSEL 信号
 - MSEL[0]、CONF_DONE、INIT_DONE は共用しない
 - 4.7kΩ を介して VCCIO_SDM/GND 接続
 - スイッチ切り替えを推奨

他のデバイスファミリーと異なり、プルアップ抵抗
プルダウン抵抗が必要なため (右図を参照)

<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/agilex/ug-ag-config.pdf>



コンフィグレーション Cont.



● 必須となる信号及び注意点

○ Transceiver、HBM2、PCIe、EMIFにはフリーランクロックを接続

- <https://www.intel.com/content/www/us/en/programmable/documentation/oex1546548090650.html#ypf1551739301770>
Table 48. General Configuration Debugging Checklist
11 For designs that use transceivers, HBM2, PCIe®, or EMIF, are the reference clocks stable and free running before configuration begins?
- <https://www.intel.com/content/www/us/en/programmable/documentation/zfo1550730074483.html#gpu1553581347264>
OSC_CLK_1
If you choose to use the external clock source for configuration and/or instantiate any transceivers in your design, you must provide a 25-MHz, 100-MHz, or 125-MHz free-running clock source to this pin
- <https://www.intel.com/content/www/us/en/programmable/documentation/idj1550169748863.html#wzr1557106789922>
6.1.8.4.1. Optional Configuration Pins
Note: Intel® Agilex™ devices use OSC_CLK_1 pin as the reference clock for transceiver calibration. You must provide a stable and free running clock input at this pin. For more guidance on configuration pins, refer to the Intel® Agilex™ Device Family Pin Connection Guidelines.
- <https://www.intel.com/content/www/us/en/programmable/documentation/zfo1550730074483.html#eiz1554279470476>
REFCLK_GXE
The REFCLK_GXE should be available during the power on for successful configuration.
- <https://www.intel.com/content/www/us/en/programmable/documentation/idj1550169748863.html#kew1557328296108>
5.3.2.1. Considerations for Connecting HPS to SDRAM
GUIDELINE: You must provide a free running and stable reference clock source to external memory interface before the start of device configuration.

コンフィグレーション Cont.



● 必須となる信号及び注意点

- リセット回路の検討
 - [Reset Release IP または INIT_DONE](#) を使用してリセット制御
- [SDM IO ピン](#) を適切に設定する

● 推奨事項

- INIT_DONE : 有効化し、専用ピンとして使用
 - 設定方法は [Appendix](#) を参照

● ES デバイスで下記の機能を使用する場合は弊社営業もしくは技術窓口までお問い合わせください

- セキュリティー
- SDMMC でのコンフィグレーション
- パーシャル・リコンフィグレーション

おわりに

- 高密度で高性能な インテル® Agilex™ デザインを確立するには、デザインプロセスの早期段階で FPGA とシステムのプランニングを立てることが重要です
- 一般の設計上での落とし穴を避けるため “AN 886: インテル® Agilex™ デバイスのデザイン・ガイドライン” 資料とともに本資料を活用して、効率的な設計フローを確立し生産性を向上させましょう

Appendix

アジェンダ

1. JTAG クロック周波数の自動設定
2. コンフィグレーション設定

JTAG クロック周波数の自動設定



The screenshot shows the 'Hardware Setup' dialog box in Quartus Prime Programmer Pro Edition. The dialog has two tabs: 'Hardware Settings' and 'JTAG Settings'. The 'Hardware Settings' tab is selected. The 'Hardware Setup...' button in the main window is highlighted with a red box and labeled '① Hardware Setup を選択'. The 'Hardware Settings' tab is also highlighted with a red box and labeled '② Hardware Settings タブを選択'. The 'Auto-adjust frequency at chain scanning' checkbox is checked and highlighted with a red circle, labeled '③ Auto-adjust frequency at chain scanning をチェック'. The 'Currently selected hardware' is 'USB-BlasterII [USB-1]' and the 'Hardware frequency' is '24000000 Hz'. The 'Available hardware items' table is shown below.

Hardware	Server
USB-BlasterII	Local USB-1

● 参考

- [インテル® Quartus® Prime Pro Edition における TCK 変更方法](#)

コンフィグレーション設定



ボード要件

消費電力

熱解析

デカップリング

ボードレイアウト

コンフィグレーションとブート

SEU

シグナル・インテグリティ

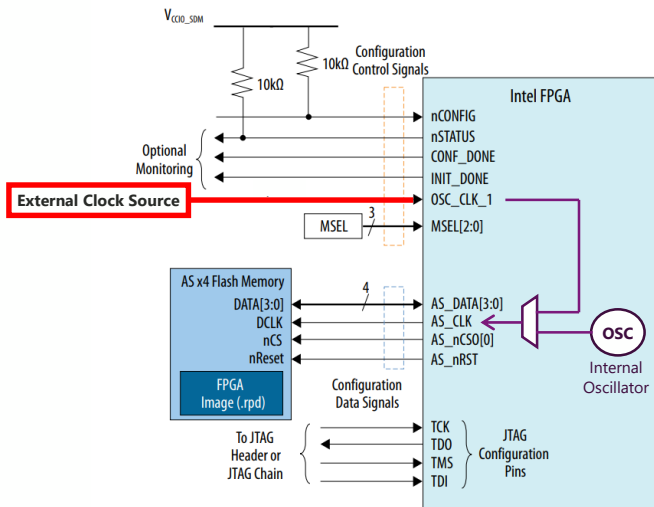
I/O 機能とピン接続

メモリー・インターフェイス

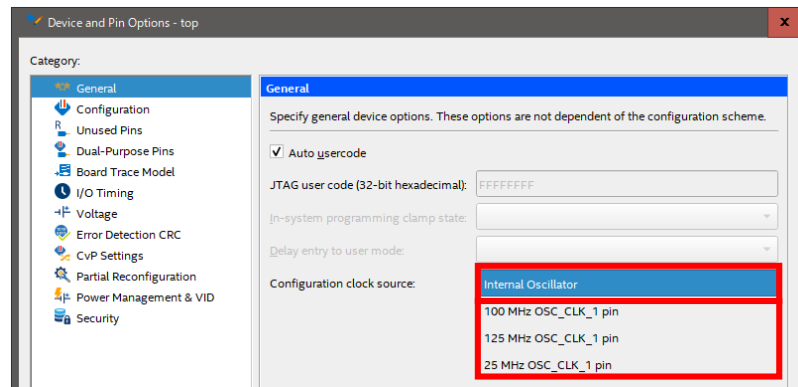
● Active serial clock source を選択

- OSC_CLK_1 (External Clock Source)
 - 25 MHz / 100 MHz / 125MHz のいずれかを入力
- Internal Oscillator
 - 25 MHz / 58 MHz / 77 MHz / 115 MHz を選択

Connections for AS x4 Single-Device Configuration



Assignment > Device > Device and Pin Options



コンフィグレーション設定



ボード要件

消費電力

熱解析

デカップリング

ボードレイアウト

コンフィグレーションとブート

SEU

シグナル・インテグリティ

I/O 機能とピンコネクション

メモリ・インターフェイス

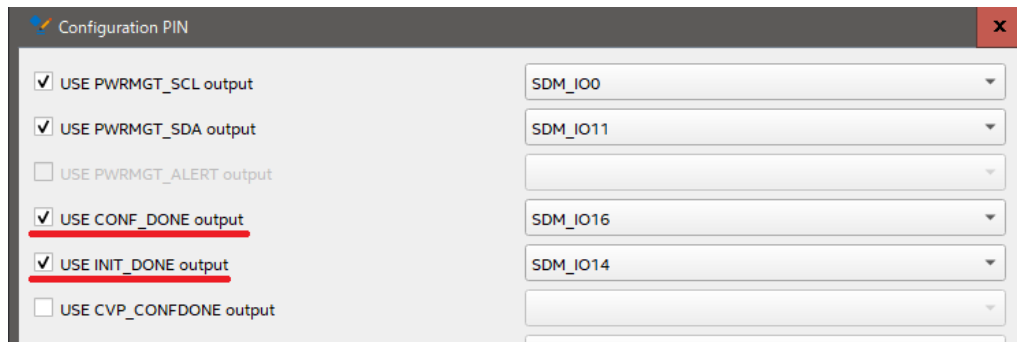
● MSEL 設定

Configuration Scheme		Data Width(bit)	MSEL[2:0]
Passive	Avalon-ST	32	000
		16	101
		8	110
	JTAG	1	111
	Configuration via Protocol (CvP)	x1, x2, x4, x8, x16 lanes	001 ※
Active	AS - fast mode	4	001
	AS - normal mode	4	011

※ AS モードで Periphery Image が Full Image のコンフィグレーションを事前に実施する必要がある

● SDM IO (CONF_DONE, INIT_DONE) 設定

Quartus® Prime の Device > Device and Pin Options > Configuration > Configuration pin Options



改版履歴

Revision	年月	概要
1	2021年3月	初版作成

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

macnica