配置配線後のタイミング解析

2015 年 5 月

Lattice Diamond 日本語ユーザガイド

第15章 配置配線後のタイミング解析

配置配線(Place & Route)実行後に、実負荷遅延でのタイミング解析(PAR Trace、I/O Timing Analysis) と、シミュレーションによる機能検証を行うことができます。本章では、タイミング解析の実行方法とオプ ション設定の詳細について説明します。ネットリストを使用した実負荷シミュレーションの方法については **21 章「Lattice Diamond シミュレーション」**を参照してください。

15.1 Lattice Diamond のタイミング解析

Lattice Diamond のタイミング解析は、ユーザが設定した制約に対して解析結果をレポートする [Place and Route Trace] (以下 [PAR Trace]) プロセスと、IO タイミングを自動的に解析する [I/O Timing Analysis] プロセスがあります。

[PAR Trace] は配置配線後のネットリストを使った静的タイミング検証 (STA) です。[PAR Trace] は、クロック周波数制約や特定パスに対する最大遅延など、解析の自由度は高いですが指定した条件(温度、電源電圧、スピードグレード)のみの解析を行います。ほとんどの制約に対する解析はデフォルト条件がワーストケースとなりますが、入力信号のセットアップ/ホールド時間はワーストケースとなる条件が回路構成やインプリに依存するため、[PAR Trace] のデフォルト条件だけでは正しい要求値をレポートできない可能性があります。

これに対して [I/O Timing Analysis] は、入出力信号(内部でレジスタに接続されているもの)に対して自動的に条件を振って解析を行い最悪値とその条件をレポートします。このため、入力のタイミング解析は [PAR Trace] プロセスだけではなく、必ず [I/O Timing Analysis] でも確認することを推奨します。

15.2 静的タイミング解析 (Place & Route Trace)

15.2.1 タイミング解析の実行

静的タイミング解析は、ProcessウインドウのPlace & Route Designプロセスツリーの下にある[Place & Route Trace] で(図 15-1) 実行します。プロセス名の左側にあるチェックボックスにチェックが入っていると、Place & Route Design プロセス完了後に自動的に実行されます。チェックが入っていない場合でも、プロセス 名をダブルクリックすれば実行されます。

図 15-1. Place & Route Trace の実行



^{© 2014} Lattice Semiconductor Corp. (註:本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。その作成にあたっては各ト ピックについて、それぞれ可能な限り正確を期しておりますが、必ずしも網羅的ではなく、或いは最新でない可能性があります。また、意図せずオリジナル英語版 オンラインヘルプやリリースノートなどと不一致がある場合もあり得ます。疑義が生じた場合は、ラティスセミコンダクター正規代理店の技術サポート担当にお問 い合わせ頂くか、または極力最新の英語オリジナル・ソースドキュメントを併せて参照するようにお願い致します。)

15.2.2 タイミング解析のストラテジ設定

図 15-2. Place & Route Trace のストラテジ設定

escription:									
Process	Place & I	Place & Route Trace							
Synthesize Design Synplify Pro Soft Precision Soft SE Soft SE Soft Sector S	Display catalog: All 🗾 Default								
	Name 🛆	Type	Value						
	Analysis Options	List	Standard Setup and Hold Analysis						
🔄 🔄 Map Trace	Auto Timing	T/F	True						
Place & Route Design	Check Unconstrained Connections	T/F	False						
IO Timing Analysis	Check Unconstrained Paths	T/F	False						
🔄 Timing Simulation	Full Name	T/F	False						
🔤 Bitstream	Number of Unconstrained Paths (0 to 4096)	Num	Ð						
	Report Asynchronous Timing Loops	T/F	False						
	Report Style	List	Verbose Timing Report						
	Speed for Hold Analysis	List	m						
	Speed for Setup Analysis	List	default						
	Worst-Case Paths (0-4096)	Num	10						

Place & Route Trace では、ストラテジ設定で解析条件やレポートスタイル等を変更することができます。 ストラテジ設定ウインドウ左側の一覧から [Place & Route Trace] を選択します。以下に各オプションの詳細 を説明します。

Analysis Options

パラメータ: Standard Setup and Hold Analysis / Standard Setup Analysis / Hold Analysis / Standard Setup with Hold Analysis on IO

デフォルト値: Standard Setup and Hold Analysis

実行する解析内容の選択です。

解析内容は表 15-1 のようになります。

表 15-1. タイミング解析オプションと内容

	内部レジスタ	ヌ間タイミング	入力信号	タイミング	出力信号	タイミング
解析内容選択	最大動作速度 内部レジスタ間 (周期 or 周波数) Hold-time Se		Setup-time	Hold-time	最大遅延	最小遅延
Standard Setup and Hold Analysis	0	0	Δ	Δ	0	0
Standard SetupAnalysis	0	×	Δ	×	0	×
Hold Analysis	×	0	×	Δ	×	0
Standard Setup with Hold Analysis on IO	0	×	Δ	Δ	0	

○ :解析が実行される

× :解析は実行されない

△ :解析は実行されるが、デフォルト設定の条件ではワーストケースではない場合がある

▲ :解析は実行されるが、デフォルト設定の条件ではワーストケースではない

****----

入力セットアップ / ホールド時間は回路構成等に依存してワーストケースとなる条件が異なります。
 必ず Trace だけでなく [I/O Timing Analysis] も実行してください。

Auto Timing

パラメータ : True / False デフォルト値 : True 制約ファイル (prf) 内にタイミング制約が全く設定されていない場合の処理に関する設定です。[True] (デフォルト)の場合は、prf ファイル内に全く制約が設定されていないと、自動的に制約を prf に追 記し、その制約に対して解析が行われます。

[False]を選択した場合は、prfにはタイミング制約が記述されません。ただし、この場合でも解析は行われ、パス遅延の大きなパスから順にレポートされます。

Check Unconstrained Connections

パラメータ:True / False

デフォルト値:False

タイミング制約の対象外(制約がない、或いは BLOCK 制約)となるコネクションのレポートに関する設定です。デフォルト(False)では何もレポートされません。

[True]を選択した場合は、解析対象外となったコネクションのリストがレポートされます。

Check Unconstrained Paths

パラメータ:True / False

デフォルト値 : False

タイミング制約の対象外(制約がない、或いは BLOCK 制約)となるパスのレポートに関する設定です。デフォルト(False)では何もレポートされません。

[True]を選択した場合は、解析対象外となったパスのリストがレポートされます。詳細は本ガイドラインの 15-11 項をご参照ください。

Full Name

パラメータ:True / False

デフォルト値:False

レポート内の長いリソース名の表示に関する設定です。デフォルト(False)では、リソース名が長いと(問題ない範囲で)省略して表示されます。

[True]を選択した場合は、省略されずに全て表示されます。

Number of Unconstrained Paths (0 to 4096)

パラメータ:[0-4096]

デフォルト値:0

レポートする未制約パス数に関する設定です。「Check Unconstrained Paths]を[True]にした場合に、 レポートすべきパス数を数値で入力します。

Report Asynchronous Timing Loops

パラメータ:True / False

デフォルト値:False

非同期で信号がループするパスのレポートに関する設定です。デフォルト(False)では何もレポートされません。

[True]を選択した場合は、図 15-3 のようなレジスタを介さないループや非同期リセット等を介した 非同期のループ等、単純な遅延の加算では正しく解析ができない可能性のあるパスについてレポート させることができます。 図 15-3. 非同期ループパスの例



Report Style

パラメータ: Verbose Timing Report / Error Timing Report

デフォルト値: Verbose Timing Report

レポートする内容についての設定です。デフォルト(Verbose Timing Report)では、タイミングエ ラーの有無に関わらず制約に対してマージンの小さいパスからレポートされます。従ってタイミング エラーが無くてもワーストケースパスを知ることができます。

[Error Timing Report]を選択した場合は、タイミングエラーをおこしたパスだけがレポートされます。 従って、タイミングエラーが無かった場合、最大動作周波数はレポートされますがパスの情報はレ ポートされません(図 15-3)。

図 15-4. Error Timing Report を選択した場合のレポートの例



Speed for Hold Analysis

パラメータ:mまたは各デバイスファミリでサポートするスピードグレードを表す数値 デフォルト値:m

ホールド時間解析を含む「最小遅延でワーストケースになる解析」を行う際に使用するスピードグ レード条件の設定です。

[m] (デフォルト)は、最速グレードで遅延が最小になる条件(低温、高電圧)で解析が行われます。 スピードグレードを表す数値を選択した場合は、そのグレードで遅延が最大になる条件(高温、低電 圧)で解析が行われます。

特別な場合を除いて、[m]以外は選択しないでください。

Speed for Setup Analysis

パラメータ:mおよび default または各デバイスファミリでサポートするスピードグレードを表す数値 デフォルト値:Default (プロジェクトで選択しているスピードグレード)

セットアップ時間解析を含む「最大遅延でワーストケースになる解析」を行う際に使用するスピード グレード条件の設定です。デフォルトでは、プロジェクトで選択しているスピードグレードの遅延が 最大になる条件(低温、高電圧)で解析が行われます。

数値は、そのスピードグレードの遅延が最大になる条件(低温、高電圧)で解析が行われます。 [m]は、最速グレードで遅延が最小になる条件(低温、高電圧)で解析が行われます。

Worst Case Paths (0-4096)

パラメータ:1~4096または0

デフォルト値:10

詳細がレポートされるパス数の設定です。

1~4096の場合は、制約ごとにその値と同じだけのパスの詳細(経路や各リソースの遅延等)がレ ポートされます。0の場合は、全てのパスの詳細がレポートされますが、大きなデザインだとファイ ルサイズが大きすぎて開けなくなることもあるので注意します。

15.2.1.1 Place & Route Trace レポート出力

Place & Route Trace プロセス実行時には、インプリメンテーション・フォルダに html とテキスト形式のレポートが出力されます。内容はどちらも同じです。ファイル名はそれぞれ以下のようになります。

html 形式 :プロジェクト名_インプリメンテーション名_twr.html テキスト形式 :プロジェクト名 インプリメンテーション名.twr

html 形式のレポートは、Lattice Diamond の Report ウインドウで見ることができます。

図 15-5. Place & Route Trace レポート例



15.2.2 Place & Route Trace レポート内容の概要

レポートには、解析の結果として主に以下のような内容についてレポートされます(レポート順)。

- ・解析実行環境のレポート
- ・各制約に対する解析の詳細レポート
- ・解析結果サマリ
- ・クリティカルネット情報
- ・クロックドメイン解析情報
- ・BLOCK PATH レポート (Diamond 2.1 以降)
- ・解析対象外パスのレポート
- ・総パス数や解析カバレッジのレポート

15.2.4.1 解析実行環境のレポート

図 15-5 のようにレポートファイルの先頭には、ヘッダとして解析を行ったツールやライブラリのバージョン、解析対象のネットリストおよび制約ファイル等の情報がレポートされます。Report Information」ヘッダ部の後には「Preference Summary」として、各周波数制約に対するサマリ部が続き、その後 Diamond 2.x 以降では「Unconstrained:」として未制約パスに関するサマリ部が設けられています(図 15-6 左)。

これはストラテジ設定で「Check Unconstrained Paths」を [True] にした場合にレポートされ、制約タイプ として CLOCK_DOMAIN、INPUT_SETUP、CLOCK_TO_OUTPUT、および MAXDELAY の4つがリストされま す。それぞれクリックするとジャンプする詳細レポート・セクションをチェックすることにより(図 15-6 右)、本来制約されるべき箇所が漏れていないかの把握ができます。

図15-6. 未制約パスのサマリ部と詳細例

15.2.4.2 各制約に対する解析の詳細レポート

設定した制約毎に詳細な解析情報がレポートされます(図 15-7)。先頭には、制約記述、その制約の対象 となったパス数およびエラーの数がレポートされます。なお、解析対象パス数の表示は、ストラテジの[Worst Case Paths]の設定値に依存します。[0]以外が設定されている場合には、対象パスが [4096] を超えていても 表示される最大値は [4096] です。[0] を設定した場合は、[4096] を超えた値も表示されます。

・レポートの解析パス数の表示が [4096] であっても、解析は 4096 を超える全てのパスを対象に行われ ています

****----

その後に、タイミングマージンの少ないパスから順に、詳細情報がレポートされます。

パスごとのレポートの1行目にはタイミング制約に対する合否判定と、タイミングマージン(エラーの場合は不足分)が表示されます。行頭に[Passed]と書かれていれば、タイミング要求を満たしていることを表します。行末に書かれている数値はタイミングマージンです。

タイミング要求が満たされていない場合は行頭に[Error]と表示されます。この場合、行末に記載されている数値は、要求値に対する不足/超過分になります。

次にレポートされるのはパスの始点および終点のオブジェクト名の情報です。クロックエッジで動作する オブジェクト (FF やブロックメモリ等)は、オブジェクト名の右側括弧内に使用されているクロック名と エッジ (+: 立ち上がり - : 立下り)が表示されます。 それに続いて、データパスとクロックの経路と遅延情報がレポートされます。パスの経路と遅延情報は、 制約の種類や回路構成に応じて必要とされるものがレポートされます。

図 15-7. 詳細レポートの例

解析の対象パス数	(エラーパス数
Destaura est EDEOUE	NCV DODT 10		
4096 i	tems scored	0 timing error	rs detected.
Passed: The follo	wing path m	eets requirement	古り近と、タイミングマー ts by 0.830ns ジン
Logical Details:	Cell type	Pin type	Cell/ASIC name (clock net +/-)
Source:	FF	Q	CKGAA/sr_spiclk_ren (from SPMCLK_c +)
Destination:	FF	Data in	SPIAA/sr_wrlen_2 (to SPMCLK_c +)
	E E		SFIRE/SI_WITEIL_I
Delay:	5.082	ns (13.0% logic	c, 87.0% route), 3 logic levels.
Constraint Detail	.3:		解析対象パスの始点と
5.082ns phy	sical path	delay CKGAA/SLI	CE_285 to SPIAA/SLICE_15 mee 終点
6.250ns del	ay constrai	nt less	
0.338ns CE_	SET require	ment (totaling s	5.912ns) by 0.830ns パスの経路と遅延情報
Physical Path Det	ails:		
Name Fanout	Delay (ns) Site	Resource
REG_DEL	0.303	R2C75B.CLK to	R2C75B.Q0 CKGAA/SLICE_285 (from SPMCLK_c)
ROUTE 47	3.098	R2C75B.Q0 to	R14C87D.C1 n_spienr
CTOF_DEL	0.179	R14C87D.C1 to	R14C87D.F1 SPIAA/SLICE_310
ROUTE 19	0.412	R14C87D.F1 to	R14C87D.D0 SPIAA/N_11
CTOF_DEL	0.179	R14C87D.D0 to	R14C87D.F0 SPIAA/SLICE_310
ROUTE 5	0.911	R14C87D.F0 to	R14C82B.CE SPIAA/sr_wrlene_0_i (to SPMCLK_c)
	5.082 (13.0% logic, 87	.0% route), 3 logic levels.
Clock Skew Detail	.3:		
Source Clock:			
Delay 1.522ns	E19.	PADDI to R2C75B.	.clk クロックの遅延情報
Destination Clock	:		
Delay		Connection	
1 500mm	F10	DEDINT AN DIACONT	

15.2.4.3 解析結果サマリ

制約と検証結果のサマリがレポートされます。

図 15-8. Place & Route Trace の Report Summary の例

<u>Report Summary</u>					
Preference	I	Constraint	Actual I	evels.	
FREQUENCY PORT "SPMCLK" 50.000000 MHz ;	 	 50.000 MHz 	 164.015 MHz 	7	要求値を満たせて いない場合に表示
INPUT_SETUP PORT "SPMADR_3" 10.000000 ns HOLD 5.000000 ns CLKPORT "SPMCLK" ;	 				される印
Setup Analysis.		10.000 ns 	1.411 ns	1	/
CLOCK_TO_OUT PORT "SPMD0_3" 4.000000 ns MIN 2.0000000 ns CLKPORT "SPMCLK" ; Setup Analysis.	 	 4.000 ns 	 5.618 ns 	2*	•

Lattice Diamond 日本語ユーザガイド

[Preference] は制約記述、[Constraint] はその解析で適用された制約の要求値、[Actual] は解析結果、[Levels] はクリティカルパスの論理回路段数です。制約を満たせてない項目については、論理回路段数の右側に[*] 印が表示されます。

15.2.4.4 クリティカルネット情報

図15-9. クリティカルネットのレポート例

·Critical Nets	Loads	Errors %	of total	
MPUTOSPI2MPUIF_INSTANCEO/REGAA/N_114_i	11	31	100.00%	
MPUTOSPI2MPUIF_INSTANCE0/REGAA/N_872	21	31	100.00%	
MPUTOSPI2MPUIF_INSTANCE0/REGAA/sr_rdaten _2_i_a2_0_4	71	31	100.00%	
MPUTOSPI2MPUIF_INSTANCE0/REGAA/un3_rfren _1	171	31	100.00%	
MPUTOSPI2MPUIF_INSTANCE0/REGAA/N_114_i_1	1	31	100.00%	
MPUTOSPI2MPUIF_INSTANCEO/REGAA/sr_wdat_m _15	1	31	100.00%	
MPUTOSPI2MPUIF_INSTANCE0/n_rfadr_14	1	11	33.33%	
MPUTOSPI2MPUIF_INSTANCE0/n_rfadr_13	1	11	33.33%	
NPUTOSPI2MPUIF_INSTANCE0/n_rfadr_6	11	1 	33.33%	

タイミングエラーがあった場合は、解析結果のサマリに続き、タイミング要求を満たしていないパスに共通して含まれているネット名がレポートされます(リスト3)。全てのタイミング要求を満たしている場合は、この項目はレポートされません。[Critical Nets]は該当するネット名、[% of total]はそのネットを含むタイミングエラーパスの割合を表します。

15.2.4.5 クロックドメイン解析情報

タイミング解析ツールがネットリストから抽出したクロックネットと、それに適用されたタイミング制約のリストがレポートされます。

図 15-10. クロックドメイン解析レポート例

クロックドメインをまたぐパスがあった場合は、ネストされてパスの始点側レジスタのクロックの情報と、 そのパスに適用された制約や、その制約の対象となったパス数がレポートされます。このレポートで、必要 な制約が全て設定されていることを確認してください。

15.2.4.6 未制約コネクション・レポート

ストラテジで「Check Unconstrained Connections」を[True]に設定した場合、タイミング制約解析の対象と ならなかったパスおよびコネクションの情報がレポートされます。従来のタイミング詳細レポートと同様の 形式です。本来は制約が与えられるべきパスやコネクションが含まれていないことの確認を推奨します。

図 15-11. 未制約コネクション・レポート例

15.2.4.7 DRC (Timing Rule Check)

DDR Generic や DDR メモリインターフェイスなど、INPUT_SETUP や CLOCK_TO_OUTPUT 制約が与えられ ている場合でデバイス固有の(分周クロックを含めて)複数のクロック系統を扱うハードマクロがインプリ で私用される場合、セットアップ / ホールド解析レポートセクションの最後に本項目がレポートされます。 マクロが正常動作するために規定されている内部タイミングの DRC 結果です。図 15-12 はその例です。

図 15-12. マクロ内部規定タイミングの DRC

Lattice Diamond 日本語ユーザガイド

タイミング違反がレポートされている場合は、これを解消する必要があります。通常は、当該マクロに関 連する入力クロックなどに周波数制約が与えられていない場合、或いは与えられていても不適切(不正確) な場合が殆どです。パスの詳細レポートを参照して、制約の追加・編集を行うようにします。

15.2.4.8 総コネクション数と解析カバレッジのレポート

レポートの最後には、コネクションに対する解析のカバレッジがレポートされます。カバレッジが100%である必要はありませんが、必ず詳細レポートで解析されていないパスの確認を行ってください。

図 15-13. 解析カバレッジのレポート例

15.3 I/O タイミング解析

I/O タイミング解析(I/O Timing Analysis)は、配置配線後のネットリストを使った IO のみの静的タイミング検証(STA)です。制約を設定していなくても、自動的に入力信号のセットアップ/ホールド時間や、出力信号の最大/最小遅延の解析を行います。この際自動的にスピードグレードを変えて解析し、その中から各タイミングの最悪値とその値をとるスピードグレードをレポートします。

なお、解析が行われるスピードグレードは、プロジェクトで選択しているスピードグレードより高速なもののみです。

--- 例

プロジェクトでターゲットデバイスとして LatticeECP3 ファミリ(スピードグレードは-6,-7,-8)の スピードグレード[-7]を選択している場合、I/Oタイミング解析の解析対象は-7,-8,-mのみで-6 は解析されません(-mは最速グレードの高電圧/低温条件モデル)

15.3.1 I/O タイミング解析の実行

実配線遅延での I/O タイミング解析プロセスは、Process ウインドウの Place & Route Design プロセスツリーの下にある [I/O Timing Analysis] です(図 15-14)。

図 15-14. IO タイミング解析の実行

プロセス名の左側にあるチェックボックスにチェックが入っていると、Place & Route Design プロセス完了 後に自動的に実行されます。チェックが入っていない場合でも、プロセス名をダブルクリックすれば実行さ れます。

15.3.2 I/O タイミング解析のストラテジ

I/O タイミング解析では、ストラテジ設定で解析条件を変更することができます。

図 15-15. I/O Timing Analysis のストラテジ

All Speed Grade

パラメータ:True / False デフォルト値:False

レポート内容に関する設定です。デフォルト(False)では解析のサマリとしてワーストケースのみの結果がレポートされます。

[True] を選択した場合は、全てのスピードグレードで解析を行い、サマリとスピードグレードごとの解析結果がレポートされます。

15.3.3 I/O タイミング解析レポート

15.3.3.1 レポートファイル出力

I/O タイミング解析実行時には、インプリメンテーション・フォルダに html とテキスト形式のレポートが 出力されます。内容はどちらも同じです。ファイル名はそれぞれ以下のようになります。

html 形式 :プロジェクト名_インプリメンテーション名_iotiming.html

テキスト形式 : プロジェクト名_インプリメンテーション名.ior

html 形式のレポートは、Lattice Diamond の Report ウインドウで見ることができます。

図 15-16. I/O Timing Analysis レポート (一部)

🧱 Reports					
File Edit View Window					
Design Summary	I/O Timing Report				
🖻 🗾 Project	// Design: MPUTOSPI1TO	P			
- M Project Summary	// Package: FPBGA484				
🖻 ≓ Process Reports	// ncd File: example2	impl2.ncd			
🕂 🕅 Synplify Pro	// Version: Diamond 1.	2 Production (92)			
🕂 🕅 Map	// Written on Wed May	11 16:53:22 2011			
🕀 🕅 Place & Boute	// M: Minimum Speed Gr	ade			
H Signal/Pad	// iotiming -v example	2 Impl2.ncd examp	ole2 Impl2.prf		
Bitstream		-	-		
Analysis Reports	I/O Timing Report (All	units are in ns)			
Man Trans					
Diana & Davita Turana	Worst Case Results acr	oss All Speed Gra	ades (M, 8, 7, 6):	
🛨 🎽 D/O Timing Analysis	// Input Setup and Hol	d Times			
	_				
DU SSU Analysis	Port Clock Edge	Setup Speed_Grade	Hold Speed_Gr	ade	
Generate Hierarchy					
- " [] Run BKM Check	SPMADR_0 SPMCLK R	0.000 8	1.548 6		
	SPMADR_1 SPMCLK R	8 000.0	1.548 6		
	SPMADR_2 SPMCLK R	8 000.0	1.548 6		
	SPMADR_3 SPMCLK R	8 000.0	1.548 6		
	SPMCSN SPMCLK R	8 000.0	1.548 6		
	SPMDI_0 SPMCLK R	8 000.0	1.548 6		
	SPMDI_1 SPMCLK R	0.000 8	1.548 6		
	SPMDI_10 SPMCLK R	0.000 8	1.548 6		
	SPMDI_11 SPMCLK R	0.000 8	1.548 6		
	SPMDI_12 SPMCLK R	8 000.0	1.548 6		
	SPMDI_13 SPMCLK R	0.000 8	1.548 6		
	SPMDI_14 SPMCLK R	8 000.0	1.548 6		
	SPMDI_15 SPMCLK R	0.000 8	1.548 6		
	SPMDI_2 SPMCLK R	8 000.0	1.548 6		
1.	SPMDT 3 SPMCLK B	0.000 8	1.548 6		

15.3.3.2 レポート内容の概要

レポートには、解析の結果として以下の内容について出力されます。

- ・ 解析実行環境のレポート
- ・ 解析結果のサマリ
- · 各グレードでの解析結果

解析実行環境のレポート

レポートファイルの先頭には、ヘッダとして解析を行ったツールやライブラリのバージョン、解析対象のネットリストおよび解析対象となったスピードグレードの情報がレポートされます(図 15-17)。

図 15-17. タイミング解析実行環境のレポート

解析結果のサマリ

各スピードグレードで行った解析結果から、最悪値とその場合のスピードグレードが、[入力タイミング]=>[出力タイミング]の順にレポートされます。

図 15-18. 解析結果のサマリ例(入力タイミング)

Worst Case	Result:	s acro	oss Spee	ed Grades (M,	6, 5)	:
// Input Se	etup and	d Hold	d Times			
Port	Clock	Edge	Setup	Speed_Grade	Hold	Speed_Grade
BUFSTATE_0	SPMCLK	R	5.992	5	-1.111	М
BUFSTATE 1	SPMCLK	R	5.511	5	-0.972	М
BUFSTATE 2	SPMCLK	R	5.812	5	-1.062	М
BUFSTATE_3	SPMCLK	R	5.125	5	-0.850	М
BUFSTATE 4	SPMCLK	R	4.499	5	-0.701	М
RFADR 0	SPMCLK	R	12.008	5	0.896	5
RFADR 1	SPMCLK	R	11.458	5	0.096	6
RFADR 10	SPMCLK	R	10.257	5	-0.192	М
RFADR 11	SPMCLK	R	12.922	5	-1.066	М
RFADR 12	SPMCLK	R	13.285	5	-0.927	М
RFADR 13	SPMCLK	R	13.227	5	-0.914	М
RFADR 14	SPMCLK	R	12.886	5	-0.839	М
RFADR 15	SPMCLK	R	14.205	5	-1.081	м
RFADR 2	SPMCLK	R	13.898	5	-0.828	М
RFADR 3	SPMCLK	R	10.704	5	-0.091	м
RFADR 4	SPMCLK	R	11.602	5	-0.291	м
		-		-		

図 15-19. 解析結果のサマリ例(出力タイミング)

// Clock to Output Delay

Port	Clock	Edge	Max_Delay	Speed_Grade	Min_Delay	Speed_Grade
DOTEST	SPMCLK	R	13.401	3	8.864	М
EMPTY	SPMCLK	R	12.276	3	8.658	М
FULL	SPMCLK	R	12.276	3	8.658	М
HOLDN	SPMCLK	R	12.276	3	8.658	М
SPMDO_0	SPMCLK	R	12.276	3	8.658	М
SPMD0_1	SPMCLK	R	12.276	3	8.658	М
SPMDO_10	SPMCLK	R	12.276	3	8.658	М
SPMDO_11	SPMCLK	R	12.276	3	8.658	М
SPMDO_12	SPMCLK	R	13.447	3	8.876	М
SPMDO_13	SPMCLK	R	12.276	3	8.658	М
SPMDO 14	SPMCLK	R	12.276	3	8.658	М
SPMD0_15	SPMCLK	R	13.447	3	8.876	М
anuna -	0 PL (07 FF	-	40.000	~	A	

入力/出力ポートごとに各タイミングのワースト値と、解析の基準となるクロック、そのエッジ(R:立ち上がり、F:立ち下り)、ワースト値をとるスピードグレードがレポートされます。

各グレードでの解析結果

各グレードでの解析結果が出力されます。フォーマットはサマリと同じです。

15.4 タイミングアナリシス・ビュー

タイミングアナリシス・ビュー(Timing Analysis View)は、これまで記述してきた各レポート内容をスプレッドシート形式 GUI でレポートする機能です。テキスト(or HTML)ベースのレポートは網羅的にチェックすることが容易ではない場合が多いですが、本ビューを用いるとソート機能やクロスプローブ機能の活用と合わせることで、効率的な確認作業が可能になります。

なお、参照されるタイミング解析結果のデータベースは唯一ですので、これまで説明したレポートの閲覧 結果と何ら異なることはりません。

15.4.1 タイミングアナリシス・ビューの起動と概要

起動は図 15-20 に左上の赤枠で示すアイコンをクリックするか、メニューバーで [Tools] => [Timing Analysis View] を選択します。

図 15-20. タイミングアナリシス・ビューの起動

🚸 Lattice Diamond - Timing Analysis View - Untit	led									_ 🗆 ×
File Edit View Project Design Process Tools Winds	ow He	lp								
] 🏠 ▾ 🖄 ▾ 🗃 🧔 🚍] ướ 🗠 X 🔥 🗖 🦕 🗑	76 C	l Q Q Q] ፼								
」⋪∎ов≎≝∺₩©⊟∎≦⊊∎≡	0	🙀 🔊 🗢 🖪 🎲 🥬	> TH TH G I H 🖬 🚱							
Process 8 ×		Start Page 🔝	🔃 Reports 📧 🛛 🏠 Timing Analys	sis View 🗵 🛛						alx
🖻 💜 Synthesize Design		Settings	Values		Path Table					8,
Translate Decim	□ →	Device Eamily	MachXO2							
H V Man Design	6	Device Farmiy	LCMXO2-7000HE		Course Filter		Destination filts		FT Cases	o o positivo
E V Place & Route Design	500	Package	TOEP144		Source Filler.		Destination nite	a. j	It Case	sensitive
🖃 💜 Place & Route Trace		Setup Performan	Default			,	, ,		,	
🖵 🛱 I/O Timing Analysis		Hold Performance	Default		Source	Destination	sighted Sla 🛆	Arrival	Required	Data Dela
⊕ ₽ Export Files		Check Unconstrai	No							
		Check Unconstrai	No							
HierarchyPost Man Resources Process	H H	Report Asynchron	No		2					
		Report Style	Verbose Timing Report							
File List & X	~	Full Name	No		3					
🚺 lab1_sschk		worst-Case Pans	reterence Na	ameg				ا ما 4 م (Table	
LCMX02-7000HE-4TG144C							F	ath	ladie	
🖻 🕌 Strategies		Preference Name	A	Analysis Typ						
labi_sschk		🖻 📯 Analysis Resu	ults							
Valebt eschk/source/mm18bit512wadd [w		- P CLOCK T	O OUT PORT "p prbs9[0]" 40.0000	setup						
labi sschk/source/sinetable8bit vhd [wor		CLOCK T	O OUT PORT "p prbs9[0]" 40 0000	hold						
📲 lab1_sschk/source/sinetable8bit_led.vhd [CLOCK T	O OUT PORT "n prbs9[0]" 40 0000	hold window	Demost					
🔚 labi_sschk/source/tb_top_xo2_lab.vhd [wc			CV NET "cki prbs. c" 25 000000 MHz	setun	Report					
hab1_sschk/source/top_xo2_lab.vhd			ICV NET "aki prba_e" 25.000000 MHz	bold						
labi_sschk/source/tx_prbs9.vhd [work]			ICK NET I'LL and all 40 00000	noiu						
abi sschk/pill.ipx		FREQUEN	VCY NET "CIK_OSC_OUT_C" 10.230000	setup						
Sunthesis Constraint Files		FREQUEN	VCY NET "clk_osc_out_c" 10.230000	. hold						
E LPF Constraint Files		FREQUEN	VCY NET "clk_pll_out_c_c" 45.000072	. setup		ァ ミチ 女	∏II.,—L°	L		
🔄 🛅 lab1_sschk.lpf		FREQUEN	VCY NET "clk_pll_out_c_c" 45.000072	. hold		ヘ計和	コレハ.			
🖻 🌽 Debug Files		- 🚏 INPUT_SE	TUP PORT "enb_prbs" 1.000000 ns	setup				-		
hab1_sschk/rvl_course.rvl		- 😤 INPUT_SE	TUP PORT "enb_prbs" 1.000000 ns	hold						
En Script Files		- 📌 INPUT SE	TUP PORT "enb prbs" 1.000000 ns	hold window						
Analysis Files		•	_	- +						
		Preference Reports	Other Reports		Detailed Path Tab	des Schema	tic Path view	Remit		

ビュー内で左上枠はグローバル設定のまとめが表示されます。

ビュー内の左下枠は周波数・周期(セットアップ / ホールド時間)タイミング制約に対する STA 結果のサマリを表示する "Preference Names" タブが表示されます。同じ枠内は "Other Reports" タブも選択でき、これは制約が与えられていない以下の項目がまとめられています。

· CLOCK_DOMAIN、CLOCK_TO_OUT、INPUT_SETUP、MAXDELAY

ビュー内の右上枠はパステーブルのサマリで、左下枠で選択した制約項目に該当する、解析対象数の全パスのタイミングサマリが表形式で表示されます。

ビュー内の右下枠は個別パスの詳細レポートで、右上枠で選択したパスに関する詳細タイミングがやはり 表形式で表示されます。"Detailed Path Tables"と "Schematic Path View"、そして "Report" という三つの異な る形式でのレポートが選択でき、それぞれタブが用意されています。"Report"タブ選択時の表記形式は**15.2.4.2 項**で説明した詳細レポート内「パスの経路と詳細情報」と同じです。

図 15-21. タイミング違反がある場合の Preference Name 枠での表示例

15.4.2 Preference Name 枠

左下枠の Preference Name 枠はデザイン内のクロックに与える周波数・周期制約に対するセットアップ / ホールド時間の項目がサマリとして表示されます。タイミング違反がある項目は図 15-21 のように赤字で示されますので、容易に判別可能です。この枠内では次に詳細に確認すべき項目を選択します。

Diamond 3.2 以降では、INPUT_SETUP および CLOCK_TO_OUTPUT 制約項に関して、アイテムとして "hold_window" が追加になりました。これまで FREQUENCY 制約等については "setup" としてリストされると 同時に "hold" が当該対象リソース / ドメインについて自動的にリストされます。これはストラテジ設定で指 定したスピードグレード (デフォルトは "M") に対するホールドチェック結果です。これは従来と変わりま せんが、新たに追加された "hold_window" はターゲットとしてユーザが選択したスピードグレードに対して解 析したホールドチェックの結果をリストするものです。

15.4.3 Path Table 枠

右上のこの枠には、上で選択された制約項目に該当する対象全パスのサマリが、デフォルトではスラック "Weighted Slack" としてソートされて表示されます。表示されるパス数はストラテジ・オプションの "Worst Case Paths" で指定された値です。

図 15-22. Path Table 表示例

F	Path Table - "FREQUENCY NET "gddr7to1tx/sclk_tx" 108.000000 MHz PAR_ADJ10.000000" (setup)												
Source Filter: Destination filter:													sensitive
L		Source	Destination	Weighted Slack 🚈	Arrival	Required	Data Delay	Route %	Levels	Clock Skew	Setup/Hold	Jitter	Color
L	1	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.559	3.7	9.259	4.24	82.3	1	-0.555	0.147	0	
L	2	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.559	3.7	9.259	4.24	82.3	1	-0.555	0.147	0	
L	3	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.606	3.653	9.259	4.193	82.1	1	-0.555	0.147	0	
L	4	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.637	3.622	9.259	4.162	81.9	1	-0.555	0.147	0	
L	5	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.637	3.622	9.259	4.162	81.9	1	-0.555	0.147	0	
L	6	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.649	3.61	9.259	4.15	81.9	1	-0.555	0.147	0	
L	7	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.943	3.316	9.259	3.856	80.5	1	-0.555	0.147	0	
L	8	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.943	3.316	9.259	3.856	80.5	1	-0.555	0.147	0	
1	9	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.943	3.316	9.259	3.856	80.5	1	-0.555	0.147	0	
L	10	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.943	3.316	9.259	3.856	80.5	1	-0.555	0.147	0	
	1 - E											-	

"Required" が制約相当の満たすべき値、"Arrival / Data Delay" が当該パスの実際の遅延、"Clock Skew" が ソース FF とディスティネーション FF に配分されるクロック遅延のスキュー値、"Setup/Hold" がディスティ ネーション FF に確保されるべきマージン要件、です。

各項目名のセルをクリックすることで、その項目に関してソートできます。昇順・降順はクリックごとに 切り替わります。

表示する項目名を指定することもできます。図 15-23 のように最上段の項目名 (Source, Destination,,,,Jitter 各表記)を右クリックすると一覧が表示されますので、未表示とするもののチェックをはずします。

図 15-23. Path Table 表示項目の指定

	Source	Destination	Weighted Slack	Arrival	Requ	Source				
1	datain[0]	Inst4_IDDRX4B0	-0.247	0.407	0.16	 Destination 				
2	datain[10]	Inst4_IDDRX4B10	-0.247	0.407	0.16	 Slack 				
З	datain[11]	Inst4_IDDRX4B11	-0.247	0.407	0.16	🗸 Arrival				
4	datain[1]	Inst4_IDDRX4B1	-0.247	0.407	0.16	✓ Required				
5	datain[2]	Inst4_IDDRX4B2	-0.247	0.407	0.16	✓ Data Delay				
6	datain[3]	Inst4_IDDRX4B3	-0.247	0.407	0.16	✓ Roule				
7	datain[4]	Inst4_IDDRX4B4	-0.247	0.407	0.16	✓ Clock Skew				
•	-				1	Setup/Hold				

15.4.4 パス詳細レポート枠

図 15-24 はパス詳細レポートのうち、"Detailed Path Table"表示例です。Path Table 枠で選択されているパ スに対してその詳細情報を表示します。上部に三つのタブがあり、それぞれ "Data Path Details"(図中上)と "Source Clock"(図中下左)、および "Destination Clock"(図中下右)です。

図 15-24. パス詳細レポート枠、Detailed Path Table タブの表示例(上部タブ3つをそれぞれ示す)

			Deteller	d Dath Tables								
			Detailer	Path Datails Source (Nock Destination Clock							
			Na	me Eanout Delay	Source Destination Re	source						
			C2INE	DEL 0 0.752	IOL B29A CLK IOL B29A BXDA2 BD in							
			ROUT	E 1 3.488		#[2]						
			1001	Total=4.	24							
			Data	lad Path Tablas	matic Path view Benort: setup	Detailed Path Tables						
			Leta	ed Fatti Tables	hato Fact view hepore accop	Data Path Detail	s Sou	irce Clock	Destination Clock			
Detailed Path Table	IS					Name	Fanout	Delay	Source	Destination	Resource	
Data Path Details	Sou	rce Clock	Destination Clock			PADI_DEL	0	1.123	N6.PAD	N6.PADDI	RCLK_in	
Name	Fanout	Delay	Source	Destination	Resource	ROUTE	85	1.111	N6.PADDI	DCM6.CLK0	RCLK_in_c	
PADI_DEL	0	1.123	N6.PAD	N6.PADDI	RCLK_in	MUX_DEL	0	0	DCM6.CLK0	DCM6.DCMOUT	DCMA	
ROUTE	85	0.635	N6.PADDI	RPLL.CLKI	RCLK_in_c	ROUTE	1	0.909	DCM6.DCMOUT	LPLL.CLKI	pll_clki	
CLKI2OS_DEL	0	0.661	RPLL.CLKI	RPLL.CLKOS	pll4rx7to1/Inst2_EHXPLLJ	CLKI2OS_DEL	0	0	LPLL.CLKI	LPLL.CLKOS	pll4tx7to1/PLLInst_0	
ROUTE	1	0.655	RPLL.CLKOS	BECLKSYNC0.ECLKI	pll0o_clkos	ROUTE	1	0.467	LPLL.CLKOS	TECLKSYNC0.ECLKI	pll1o_clkos	
C2OUT_DEL	0	0	BECLKSYNC0.ECLKI	BECLKSYNC0.ECLKO	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst4_ECLK	C2OUT_DEL	0	0	TECLKSYNC0.ECLKI	TECLKSYNC0.ECLKO	gddr7to1tx/Inst3_ECLKSYNCA	
ROUTE	6	0	BECLKSYNC0.ECLKC	BCLKDIV0.CLKI	lvds7to1rx_wopll/gddr7to1rx_wopll/eclk	ROUTE	6	0	TECLKSYNC0.ECLKO	TCLKDIV0.CLKI	gddr7to1tx/eclko	
CLKOUT_DEL	0	0.324	BCLKDIV0.CLKI	BCLKDIV0.CDIVX	lvds7to1rx_wopll/gddr7to1rx_wopll/Inst5_CLKE	CLKOUT_DEL	0	0.324	TCLKDIV0.CLKI	TCLKDIV0.CDIVX	gddr7to1tx/Inst4_CLKDIVC	
ROUTE	14	1.567	BCLKDIV0.CDIVX	IOL_B29A.CLK	lvds7to1rx_wopll/sclk	ROUTE	5	1.586	TCLKDIV0.CDIVX	IOL_T14A.CLK	gddr7to1tx/sclk_tx	
		Total=4.96	5					Total=5.52				
FB Path:						FB Path:						
CLKFB2OP_DEL	0	0	RPLL.CLKFB	RPLL.CLKOP	pll4rx7to1/Inst2_EHXPLLJ		0	0	LPLL CLKEB		nll4tv7to1/PLLInst_0	
ROUTE	2	0.36	RPLL.CLKOP	CLKFBBUF1.A	pll0o_clkop	POUTE	4	1 666			plifte clkop	
A2Z_DEL	0	1.327	CLKFBBUF1.A	CLKFBBUF1.Z	pll4rx7to1/Inst3_CLKFBBUFA		-	Total=1.55/		CI LE. OLIVI D	pirro_cikop	
ROUTE	1	0	CLKFBBUF1.Z	RPLL.CLKFB	pll4rx7to1/buf_clkop			10141-1.000	•			
		Total=1.68	7			Detailed Path Ta	bles 🖇	Schematic Pa	th view Report: setup			
Datailed Path To	Noc	chematic Pa	thuiew Report coture									
Dotonoa Facili Fa				_								

Data Path Details タブを選択すると、ソース FF からディスティネーション FF までの各エレメントごとに ファンアウトや遅延値等を表形式で表示します。なお、デフォルトではセル幅が狭く、このままでは各セル

内の文字が読み取れません。マウス操作で個々に幅を拡げる方法に加え、ビュー左側にあるアイコン 🖬 を

クリックすると全セルの幅が自動的に最適化されます。或いは図 15-25 のように、Detailed Path Rables 内で 何れかのエレメントを選択して右クリック後、"Fit Columns"を選択しても同様です。

図 15-25. "Fit Columns" によるセル幅の自動調整

	Source	Destination
1	rx_inst0/reset_s	nst/c
2	rx_inst0/reset_s	ficible Columns
З	rx_inst0/reset_s	nst/c
4	rx_inst0/reset_s 📑	lide Selected Davis d1
5	rx inst0/pll lock	how in d1
•	· _ · _ 3	ilter
latai	led Path Tables	ind

Source Clock タブと Destination Clock タブは類似しており、それぞれの FF に対するクロックパスの遅延情報をやはり表形式で表示します。クロックスキューが小さくない場合など、ソース側とディスティネーション側での差分が容易に目視でチェックできます。

図 15-26 は Schematic Path View タブ選択時の例です。Path Table 枠で選択されたパスについて回路図イメージで遅延情報を表示します。

図 15-26. パス詳細レポート枠、Schematic Path Viewの表示例

図 15-27 は Report Setup タブ選択時の例です。Path Table 枠で選択されたパスについて従来のテキスト形式でパス遅延情報を表示します。

図 15-27. パス詳細レポート枠、Report Setup の表示例

15.4.5 クロスプロービング機能

タイミングアナリシス・ビューには意図するパスに関する情報をグラフィカルに表示する、クロスプロービング機能に対応しています。ビュー内右上枠の Path Table 内で着目するパスを選択後、右クリックすると図 15-28 左のようになりますので、Show In => FloorPlan View / Physical View を選択します。

或いは、ビュー内右下枠の Detailed Path Table 内で同様にいずれかのエレメントを選択後、右クリックすると図 15-28 右のようになりますので、Show In => FloorPlan View / Physical View を選択します。

特にクリティカルパスとなっているパスの位置関係と配線がどのようになっているかの把握に有用です。

このようなアクションの結果の表示例を図 15-29 に示します。左が EPIC に類似した Physical View 表示、 右が FloorPlan View です。ここで示す Physical View では判りにくいですが、選択されたパスについては色が ハイライトされて識別できるようになっていて、物理的な配線経路が示されます。FloorPlan View では Physical View とは異なり、位置関係が把握できるような表記の形式を取っています。 🖁 Fit Columns

🕕 Visible Columns

Destination

2 gddr7to1tx/Inst5_ODE

2 gddr7to1tx/Inst5_ODE Show in

1 gddr7to1tx/Inst5 ODDRX71A1 5.943

1 gddr7to1tx/Inst5_ODE 🗸 Filter

1 gddr7to1tx/Inst5_ODE 🚠 Find..

1 gddr7to1tx/Inst5_ODE 📻 Hide Selected Rows

2 gddr7to1tx/Inst5_ODD

2 gddr7to1tx/Inst5_ODE

図 15-28. 選択パスに関して FloorPlan / Physical View 右クリックで表示

3.7

3.7

3 653

3.622

Report

Physical View

Path Table 枠内で右クリック

Weighted Slack /

		Datailed Path Table	NC.				
Arrival	Require	Data Path Details	s Sour	ce Clock	Destination Clock		
3.7	9.259	Name	Fanout	Delay	Source	Destination	
3.7	9.259	PADI_DEL	0	1.123	N6.PAD	N6.PADDI	RCLK_in
3.653	9.259	ROUTE	85	0.635	N6.PADDI		RCLK_in_c
3 622	9 259	CLKI2OS_DEL	0	0.661	RPLL.CLKI 🔛 Fit Col	PLL.CLKI 🛃 Fit Columns	pll4rx7to1/Inst2
	0.200	ROUTE	1	0.655	RPLL.CLKC	Columns IN FCI KI	nll0n_clkns
FloorPlan	View	C2OUT_DEL	0	0	BECLKSYN Show i	n 🔹 🚺 FloorP	lan View wo
Physical \	/iew	ROUTE	6	0	BECLKSYNCU.ECLKO	Physical Viev	
Report		CLKOUT_DEL	0	0.324	BCLKDIV0.CLKI	BCLKDIV0.CDIVX	lvds7to1rx_wo
3.310	9.259	ROUTE	14	1.567	BCLKDIV0.CDIVX	IOL_B29A.CLK	lvds7to1rx_wo
				Total=4.965			

Detailed Path Tables タブ内で右クリック

図 15-29. 呼び出された Physical / FloorPlan View 表示例

15.5 静的タイミング解析のみのコマンドライン実行

マッピング・配置配線処理をせずに、ネットリストに対して事前に与えた設計制約条件と異なる条件でタ イミング解析したいケースがあります。

ユーザの指定する制約はファイル <name>.lpf に記述・編集します。これに加えて、デザイン内で使用され ている IP やマクロに関してツールが自動で判別・抽出した制約を含めてテキスト形式の <name>.prf に書き出 されます。STA エンジンが参照するのはこの PRF です。条件を変更してタイミング解析のみを実行したい場 合は、本 PRF を編集してコマンド実行します。

デフォルトのウィンドウレイアウトでは、GUIの下部にはログ出力表示用に『Output』タブが選択されて います。コマンド実行時は『Tcl Console』を選択します。

図 15-30. "Tcl コンソール"

Tcl Console							
<pre>> prj_project close > prj_project open "C:/aDiWork/ClarityDDRG/clarity_ddrg.ldf" C:/aDiWork/ClarityDDRG/clarity_ddrg.ldf > </pre>							
Error Output Tcl Console Warning Info* Find Results							
Ready							

例えば、COMMECIAL グレードジャンクション温度とコア電源電圧は、ワーストケース値がデフォルトであり、それぞれ 85 度、1.14V です。これをベストケースで解析したい場合、以下の様な記述を PRF 内に追記(編集)します。

VOLTAGE 1.26 V; TEMPERATURE 0 C;

その後、Tcl コンソールで、ネットリスト <name>.ncd のあるディレクトリに CD コマンドで移動したあと、 例えば以下のようなコマンドをタイプし、実行します。同ディレクトリには NCD と PRF が必ず必要です。

 $trce.exe \ -v \ 50 \ -sp \ 9 \ -sphld \ 9 \ -setuphold \ -sethld \ -o \ \langle output_file \rangle.twr \ \langle netlist_name \rangle.ncd \ \langle preference \rangle.prf$

なお、コマンドオプションの詳細は Diamond Help ページなどをご参照ください (メニューバーの Help => Lattice Diamond Help、キーワードサーチで "trce command" 等と入力して検索)。

15.6 改訂履歴

Ver.	Date	page	内容	
		$15-2 \sim 4$	Strategy: 図 15-2 差し替え、項目記述追加(Check Unconstrained Connections, Number of Unconstrained Paths)	
2.3F	June 30, 2014	15-6	図 15-5 更新し、旧リスト 3-1「解析実行環境のレポート」を吸収・削除	
		15-7	図 15-6 追加。旧リスト 3-2(タイトル誤り)と差し替え	
	2011	15-10	図 15-10 更新。旧リスト 3-6 差し替え	
		15-10	15.2.4.6 項「未制約コネクション・レポート」として旧項「BLOCK PATH 情報」 と「解析対象外パスのレポート」を統合・更新。合わせて図 15-11 として更新	
3.3	Mar. 2015	15-1	旧図 15-1 削除	
		17-18	15.5 節、コマンドライン実行項を追記	
3.3.1 (3.3, rev1.1)	Apr. 2015	15-9	Internal Error について追記	
	May 2015	15-15	TA、"hold_window" について追記	

---- *** ----