

第15章 配置配線後のタイミング解析

配置配線 (Place & Route) 実行後に、実負荷遅延でのタイミング解析 (PAR Trace、I/O Timing Analysis) と、シミュレーションによる機能検証を行うことができます。本章では、タイミング解析の実行方法とオプション設定の詳細について説明します。ネットリストを使用した実負荷シミュレーションの方法については21章「Lattice Diamond シミュレーション」を参照してください。

15.1 Lattice Diamond のタイミング解析

Lattice Diamond のタイミング解析は、ユーザが設定した制約に対して解析結果をレポートする [Place and Route Trace] (以下 [PAR Trace]) プロセスと、IO タイミングを自動的に解析する [I/O Timing Analysis] プロセスがあります。

[PAR Trace] は配置配線後のネットリストを使った静的タイミング検証 (STA) です。[PAR Trace] は、クロック周波数制約や特定パスに対する最大遅延など、解析の自由度は高いですが指定した条件 (温度、電源電圧、スピードグレード) のみの解析を行います。ほとんどの制約に対する解析はデフォルト条件がワーストケースとなりますが、入力信号のセットアップ/ホールド時間はワーストケースとなる条件が回路構成やインプりに依存するため、[PAR Trace] のデフォルト条件だけでは正しい要求値をレポートできない可能性があります。

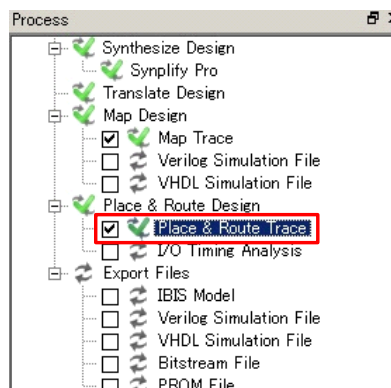
これに対して [I/O Timing Analysis] は、入出力信号 (内部でレジスタに接続されているもの) に対して自動的に条件を振って解析を行い最悪値とその条件をレポートします。このため、入力のタイミング解析は [PAR Trace] プロセスだけではなく、必ず [I/O Timing Analysis] でも確認することを推奨します。

15.2 静的タイミング解析 (Place & Route Trace)

15.2.1 タイミング解析の実行

静的タイミング解析は、Process ウィンドウの Place & Route Design プロセスツリーの下にある [Place & Route Trace] で (図 15-1) 実行します。プロセス名の左側にあるチェックボックスにチェックが入っていると、Place & Route Design プロセス完了後に自動的に実行されます。チェックが入っていない場合でも、プロセス名をダブルクリックすれば実行されます。

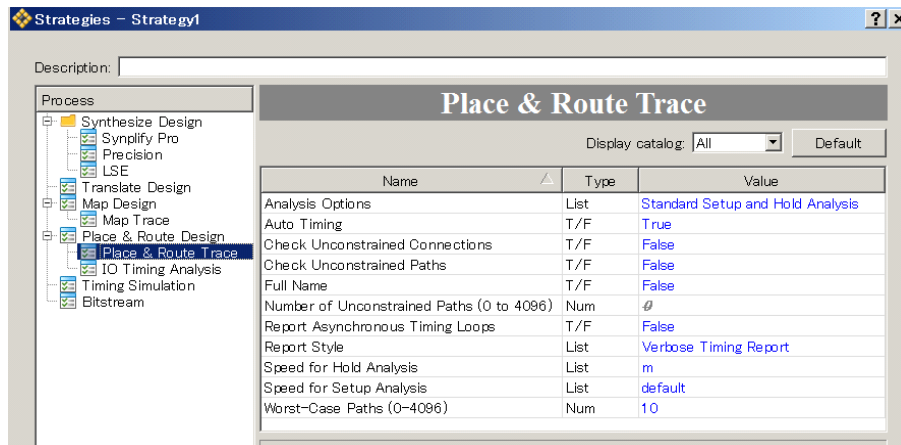
図 15-1. Place & Route Trace の実行



© 2014 Lattice Semiconductor Corp. (註: 本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。その作成にあたっては各トピックについて、それぞれ可能な限り正確を期しておりますが、必ずしも網羅的ではなく、或いは最新でない可能性があります。また、意図せずオリジナル英語版オンラインヘルプやリリースノートなどと不一致がある場合もあり得ます。疑義が生じた場合は、ラティスセミコンダクター正規代理店の技術サポート担当にお問い合わせ頂くか、または極力最新の英語オリジナル・ソースドキュメントを併せて参照するようにお願い致します。)

15.2.2 タイミング解析のストラテジ設定

図 15-2. Place & Route Trace のストラテジ設定



Place & Route Trace では、ストラテジ設定で解析条件やレポートスタイル等を変更することができます。ストラテジ設定ウインドウ左側の一覧から [Place & Route Trace] を選択します。以下に各オプションの詳細を説明します。

Analysis Options

パラメータ : Standard Setup and Hold Analysis / Standard Setup Analysis / Hold Analysis / Standard Setup with Hold Analysis on IO

デフォルト値 : Standard Setup and Hold Analysis

実行する解析内容の選択です。

解析内容は表 15-1 のようになります。

表 15-1. タイミング解析オプションと内容

解析内容選択	内部レジスタ間タイミング		入力信号タイミング		出力信号タイミング	
	最大動作速度 (周期 or 周波数)	内部レジスタ間 Hold-time	Setup-time	Hold-time	最大遅延	最小遅延
Standard Setup and Hold Analysis	○	○	△	△	○	○
Standard Setup Analysis	○	×	△	×	○	×
Hold Analysis	×	○	×	△	×	○
Standard Setup with Hold Analysis on IO	○	×	△	△	○	▲

○ : 解析が実行される

× : 解析は実行されない

△ : 解析は実行されるが、デフォルト設定の条件ではワーストケースではない場合がある

▲ : 解析は実行されるが、デフォルト設定の条件ではワーストケースではない

*****-----

- ・ 入力セットアップ / ホールド時間は回路構成等に依存してワーストケースとなる条件が異なります。必ず Trace だけでなく [I/O Timing Analysis] も実行してください。

*****-----

Auto Timing

パラメータ : True / False

デフォルト値 : True

制約ファイル (prf) 内にタイミング制約が全く設定されていない場合の処理に関する設定です。[True] (デフォルト) の場合は、prf ファイル内に全く制約が設定されていないと、自動的に制約を prf に追記し、その制約に対して解析が行われます。

[False] を選択した場合は、prf にはタイミング制約が記述されません。ただし、この場合でも解析は行われ、パス遅延の大きなパスから順にレポートされます。

Check Unconstrained Connections

パラメータ : True / False

デフォルト値 : False

タイミング制約の対象外 (制約がない、或いは BLOCK 制約) となる接続のレポートに関する設定です。デフォルト (False) では何もレポートされません。

[True] を選択した場合は、解析対象外となった接続のリストがレポートされます。

Check Unconstrained Paths

パラメータ : True / False

デフォルト値 : False

タイミング制約の対象外 (制約がない、或いは BLOCK 制約) となるパスのレポートに関する設定です。デフォルト (False) では何もレポートされません。

[True] を選択した場合は、解析対象外となったパスのリストがレポートされます。詳細は本ガイドラインの **15-11 項** をご参照ください。

Full Name

パラメータ : True / False

デフォルト値 : False

レポート内の長いリソース名の表示に関する設定です。デフォルト (False) では、リソース名が長いと (問題ない範囲で) 省略して表示されます。

[True] を選択した場合は、省略されずに全て表示されます。

Number of Unconstrained Paths (0 to 4096)

パラメータ : [0 - 4096]

デフォルト値 : 0

レポートする未制約パス数に関する設定です。「Check Unconstrained Paths」を [True] にした場合に、レポートすべきパス数を数値で入力します。

Report Asynchronous Timing Loops

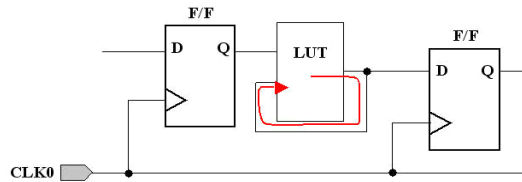
パラメータ : True / False

デフォルト値 : False

非同期で信号がループするパスのレポートに関する設定です。デフォルト (False) では何もレポートされません。

[True] を選択した場合は、図 15-3 のようなレジスタを介さないループや非同期リセット等を介した非同期のループ等、単純な遅延の加算では正しく解析ができない可能性のあるパスについてレポートさせることができます。

図 15-3. 非同期ループパスの例



Report Style

パラメータ : Verbose Timing Report / Error Timing Report

デフォルト値 : Verbose Timing Report

レポートする内容についての設定です。デフォルト (Verbose Timing Report) では、タイミングエラーの有無に関わらず制約に対してマージンの小さいパスからレポートされます。従ってタイミングエラーが無くてもワーストケースパスを知ることができます。

[Error Timing Report] を選択した場合は、タイミングエラーをおこしたパスだけがレポートされます。従って、タイミングエラーが無かった場合、最大動作周波数はレポートされますがパスの情報はレポートされません (図 15-3)。

図 15-4. Error Timing Report を選択した場合のレポートの例

```

=====
Preference: FREQUENCY PORT "SPMCLK" 50.000000 MHz ;
          4096 items scored, 0 timing errors detected.
-----

Report: 164.015MHz is the maximum frequency for this preference.

Report Summary
-----
Preference | Constraint | Actual | Levels
-----|-----|-----|-----
FREQUENCY PORT "SPMCLK" 50.000000 MHz ; | 50.000 MHz | 164.015 MHz | 0
-----
    
```

Speed for Hold Analysis

パラメータ : m または各デバイスファミリでサポートするスピードグレードを表す数値

デフォルト値 : m

ホールド時間解析を含む「最小遅延でワーストケースになる解析」を行う際に使用するスピードグレード条件の設定です。

[m] (デフォルト) は、最速グレードで遅延が最小になる条件 (低温、高電圧) で解析が行われます。スピードグレードを表す数値を選択した場合は、そのグレードで遅延が最大になる条件 (高温、低電圧) で解析が行われます。

特別な場合を除いて、[m] 以外は選択しないでください。

Speed for Setup Analysis

パラメータ : m および default または各デバイスファミリでサポートするスピードグレードを表す数値

デフォルト値 : Default (プロジェクトで選択しているスピードグレード)

セットアップ時間解析を含む「最大遅延でワーストケースになる解析」を行う際に使用するスピードグレード条件の設定です。デフォルトでは、プロジェクトで選択しているスピードグレードの遅延が最大になる条件 (低温、高電圧) で解析が行われます。

数値は、そのスピードグレードの遅延が最大になる条件 (低温、高電圧) で解析が行われます。

[m] は、最速グレードで遅延が最小になる条件 (低温、高電圧) で解析が行われます。

Worst Case Paths (0-4096)

パラメータ : 1 ~ 4096 または 0

デフォルト値 : 10

詳細がレポートされるパス数の設定です。

1 ~ 4096 の場合は、制約ごとにその値と同じだけのパスの詳細（経路や各リソースの遅延等）がレポートされます。0 の場合は、全てのパスの詳細がレポートされますが、大きなデザインだとファイルサイズが大きすぎて開けなくなることもあるので注意します。

15.2.1.1 Place & Route Trace レポート出力

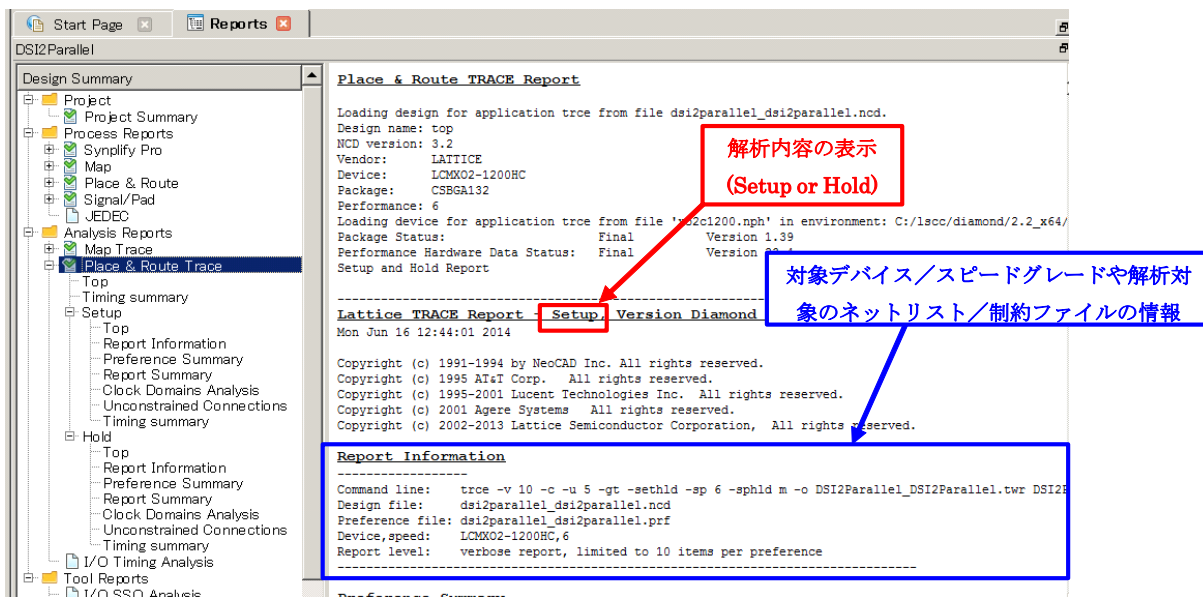
Place & Route Trace プロセス実行時には、インプリメンテーション・フォルダに html とテキスト形式のレポートが出力されます。内容はどちらも同じです。ファイル名はそれぞれ以下ようになります。

html 形式 : プロジェクト名_インプリメンテーション名_twr.html

テキスト形式 : プロジェクト名_インプリメンテーション名.twr

html 形式のレポートは、Lattice Diamond の Report ウィンドウで見ることができます。

図 15-5. Place & Route Trace レポート例

**15.2.2 Place & Route Trace レポート内容の概要**

レポートには、解析の結果として主に以下のような内容についてレポートされます（レポート順）。

- ・解析実行環境のレポート
- ・各制約に対する解析の詳細レポート
- ・解析結果サマリ
- ・クリティカルネット情報
- ・クロックドメイン解析情報
- ・BLOCK PATH レポート（Diamond 2.1 以降）
- ・解析対象外パスのレポート
- ・総パス数や解析カバレッジのレポート

15.2.4.1 解析実行環境のレポート

図 15-5 のようにレポートファイルの先頭には、ヘッダとして解析を行ったツールやライブラリのバージョン、解析対象のネットリストおよび制約ファイル等の情報がレポートされます。Report Information」ヘッダ部の後には「Preference Summary」として、各周波数制約に対するサマリ部が続き、その後 Diamond 2.x 以降では「Unconstrained:」として未制約パスに関するサマリ部が設けられています (図 15-6 左)。

これはストラテジ設定で「Check Unconstrained Paths」を [True] にした場合にレポートされ、制約タイプとして CLOCK_DOMAIN、INPUT_SETUP、CLOCK_TO_OUTPUT、および MAXDELAY の 4 つがリストされます。それぞれクリックするとジャンプする詳細レポート・セクションをチェックすることにより (図 15-6 右)、本来制約されるべき箇所が漏れていないかの把握ができます。

図 15-6. 未制約パスのサマリ部と詳細例

The image shows a screenshot of a timing report. On the left, a summary section lists various constraints: FREQUENCY NET, Timing Rule Check, and Unconstrained: CLOCK_DOMAIN, INPUT_SETUP, CLOCK_TO_OUT, and MAXDELAY (4 errors). A red box highlights the MAXDELAY section, with a red arrow pointing to a detailed table on the right. The table is titled 'Preference: Unconstrained: MAXDELAY' and shows a report of 17.718ns delay. The table columns are Name, Fanout, Delay (ns), Site, and Resource. The table lists several paths with their respective delays and resources.

Name	Fanout	Delay (ns)	Site	Resource
PADI_DEL	---	1.123	N6.PAD to	N6.PADDI DCK
ROUTE	3	0.901	N6.PADDI to	*LKSYNCO.ECLKI DCK_c
CZOUT_DEL	---	0.000	*LKSYNCO.ECLKI to	*LKSYNCO.ECLKI u_DEHY_RX_INST/u_IDDRx4/In
ROUTE	4	0.000	*LKSYNCO.ECLKI to	BCLKDIVO.CLKI u_DEHY_RX_INST/u_IDDRx4/ed
CLKOUT_DEL	---	0.324	BCLKDIVO.CLKI to	BCLKDIVO.CDIVX u_DEHY_RX_INST/u_IDDRx4/In
ROUTE	30	1.529	BCLKDIVO.CDIVX to	LPLLREFPCS.CLKI byte_clk_c
CLKIOUT_DE	---	0.000	LPLLREFPCS.CLKI to	*EFCS.FLCSOUT u_pll_mux
ROUTE	1	0.000	*EFCS.FLCSOUT to	LPLL.CLKI muxclk
CLKI2OS_DE	---	9.259	LPLL.CLKI to	LPLL.CLKOS pll/PLLInst_0
ROUTE	1	1.134	LPLL.CLKOS to	B1.PADD0 FIXCLK_adj_c
DOPAD_DEL	---	3.448	B1.PADD0 to	B1.PAD FIXCLK_adj

15.2.4.2 各制約に対する解析の詳細レポート

設定した制約毎に詳細な解析情報がレポートされます (図 15-7)。先頭には、制約記述、その制約の対象となったパス数およびエラーの数がレポートされます。なお、解析対象パス数の表示は、ストラテジの [Worst Case Paths] の設定値に依存します。[0] 以外が設定されている場合には、対象パスが [4096] を超えていても表示される最大値は [4096] です。[0] を設定した場合は、[4096] を超えた値も表示されます。

```
*****-----
・ レポートの解析パス数の表示が [4096] であっても、解析は 4096 を超える全てのパスを対象に行われ
ています
*****-----
```

その後、タイミングマージンの少ないパスから順に、詳細情報がレポートされます。

パスごとのレポートの 1 行目にはタイミング制約に対する合否判定と、タイミングマージン (エラーの場合は不足分) が表示されます。行頭に [Passed] と書かれていれば、タイミング要求を満たしていることを表します。行末に書かれている数値はタイミングマージンです。

タイミング要求が満たされていない場合は行頭に [Error] と表示されます。この場合、行末に記載されている数値は、要求値に対する不足/超過分になります。

次にレポートされるのはパスの始点および終点のオブジェクト名の情報です。クロックエッジで動作するオブジェクト (FF やブロックメモリ等) は、オブジェクト名の右側括弧内に使用されているクロック名とエッジ (+: 立ち上がり -: 立下り) が表示されます。

それに続いて、データパスとクロックの経路と遅延情報がレポートされます。パスの経路と遅延情報は、制約の種類や回路構成に応じて必要とされるものがレポートされます。

図 15-7. 詳細レポートの例

Preference: FREQUENCY PORT "SPMCLK" 160.000000 MHz ;
4096 items scored 0 timing errors detected.

Passed: The following path meets requirements by 0.830ns

Logical Details: Cell type Pin type Cell/ASIC name (clock net +/-)

Source: FF Q CKGAA/sr_spiclk_ren (from SPMCLK_c +)
Destination: FF Data in SPIAA/sr_wrlen_2 (to SPMCLK_c +)
FF SPIAA/sr_wrlen_1

Delay: 5.082ns (13.0% logic, 87.0% route), 3 logic levels.

Constraint Details:
5.082ns physical path delay CKGAA/SLICE_285 to SPIAA/SLICE_15 mee
6.250ns delay constraint less
0.000ns skew and
0.338ns CE_SET requirement (totaling 5.912ns) by 0.830ns

Physical Path Details:

Name	Fanout	Delay (ns)	Site	Resource
REG_DEL	---	0.303	R2C75B.CLK to	R2C75B.Q0 CKGAA/SLICE_285 (from SPMCLK_c)
ROUTE	47	3.098	R2C75B.Q0 to	R14C87D.C1 n_spiclr
CTOF_DEL	---	0.179	R14C87D.C1 to	R14C87D.F1 SPIAA/SLICE_310
ROUTE	19	0.412	R14C87D.F1 to	R14C87D.D0 SPIAA/N_11
CTOF_DEL	---	0.179	R14C87D.D0 to	R14C87D.F0 SPIAA/SLICE_310
ROUTE	5	0.911	R14C87D.F0 to	R14C82B.CE SPIAA/sr_wrlene_0_i (to SPMCLK_c)
		5.082	(13.0% logic, 87.0% route), 3 logic levels.	

Clock Skew Details:

Source Clock:
Delay Connection
1.522ns E19.PADDI to R2C75B.CLK

Destination Clock :
Delay Connection
1.522ns E19.PADDI to R14C82B.CLK

15.2.4.3 解析結果サマリ

制約と検証結果のサマリがレポートされます。

図 15-8. Place & Route Trace の Report Summary の例

Report Summary

```

-----
Preference | Constraint | Actual | Levels
-----|-----|-----|-----
FREQUENCY PORT "SPMCLK" 50.000000 MHz ; | 50.000 MHz | 164.015 MHz | 7
INPUT_SETUP PORT "SPMADR_3" 10.000000 ns HOLD 5.000000 ns CLKPORT "SPMCLK" ; | | | |
Setup Analysis. | 10.000 ns | 1.411 ns | 1
CLOCK_TO_OUT PORT "SPMDO_3" 4.000000 ns | | | |
MIN 2.000000 ns CLKPORT "SPMCLK" ; | | | |
Setup Analysis. | 4.000 ns | 5.618 ns | 2 *
-----
    
```

要求値を満たせていない場合に示される印

[Preference] は制約記述、[Constraint] はその解析で適用された制約の要求値、[Actual] は解析結果、[Levels] はクリティカルパスの論理回路段数です。制約を満たせてない項目については、論理回路段数の右側に [*] 印が表示されます。

15.2.4.4 クリティカルネット情報

図 15-9. クリティカルネットのレポート例

Critical Nets	Loads	Errors	% of total
MPUTOSPI2MPUIF_INSTANCE0/REGAA/N_114_i	1	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/N_872	2	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/sr_rdaten _2_i_a2_0_4	7	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/un3_rfren _1	17	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/N_114_i_1	1	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/sr_wdat_m _15	1	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/n_rfadr_14	1	1	33.33%
MPUTOSPI2MPUIF_INSTANCE0/n_rfadr_13	1	1	33.33%
MPUTOSPI2MPUIF_INSTANCE0/n_rfadr_6	1	1	33.33%

タイミングエラーがあった場合は、解析結果のサマリに続き、タイミング要求を満たしていないパスに共通して含まれているネット名がレポートされます (リスト 3)。全てのタイミング要求を満たしている場合は、この項目はレポートされません。[Critical Nets] は該当するネット名、[% of total] はそのネットを含むタイミングエラーパスの割合を表します。

15.2.4.5 クロックドメイン解析情報

タイミング解析ツールがネットリストから抽出したクロックネットと、それに適用されたタイミング制約のリストがレポートされます。

図 15-10. クロックドメイン解析レポート例

Clock Domains Analysis

Found 7 clocks:

Clock Domain: RCLK in c Source: RCLK in.PAD Loads: 232
Covered under: FREQUENCY NET "RCLK_in_c" 108.000000 MHz ;

Data transfers from:
Clock Domain: rx inst/sclk c Source: rx inst/pll inst0/PLLInst 0.CLKOK
Covered under: MULTICYCLE FROM CLKNET "rx_inst/sclk_c" TO CLKNET "RCLK_in_c" 2.000000 X ;

Clock Domain: CLK Tx c Source: CLK Tx.PAD Loads: 151
Covered under: FREQUENCY NET "CLK_Tx_c" 108.000000 MHz ;

Data transfers from:
Clock Domain: tx inst/sclk c Source: tx inst/PLL INST/PLLInst 0.CLKOK
Covered under: MULTICYCLE FROM CLKNET "tx_inst/sclk_c" TO CLKNET "CLK_Tx_c" 2.000000 X ;

Clock Domain: rx inst/sclk c Source: rx inst/pll inst0/PLLInst 0.CLKOK Loads: 150
Covered under: FREQUENCY NET "rx_inst/sclk_c" 189.000000 MHz ;

Data transfers from:
Clock Domain: RCLK in c Source: RCLK in.PAD
Covered under: MULTICYCLE FROM CLKNET "RCLK_in_c" TO CLKNET "rx_inst/sclk_c" 2.000000 X ;

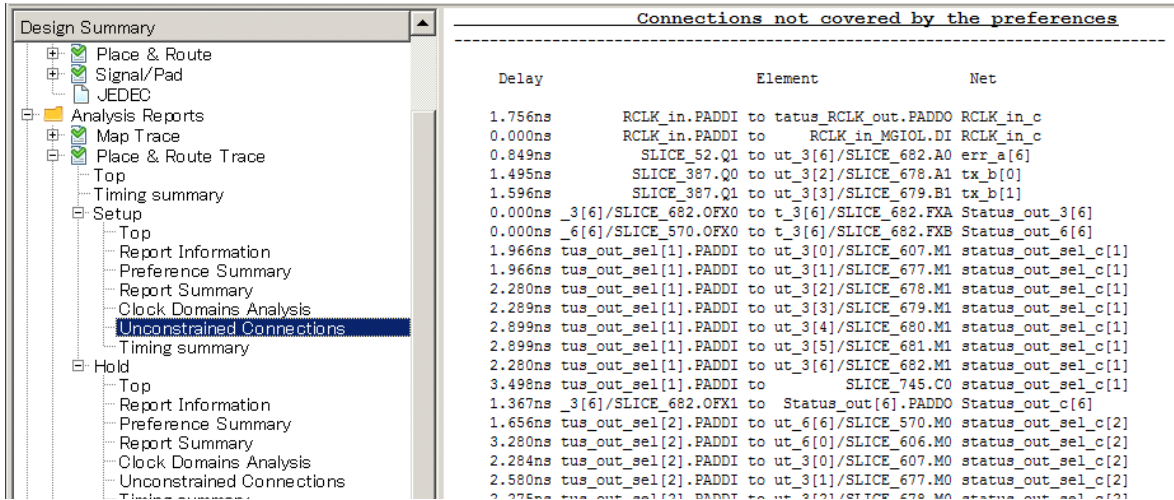
Clock Domain: rx inst/eclk Source: rx inst/pll inst0/PLLInst 0.CLKOS
Covered under: Timing Rule Check Transfers: 5

クロックドメインをまたぐパスがあった場合は、ネストされてパスの始点側レジスタのクロックの情報と、そのパスに適用された制約や、その制約の対象となったパス数がレポートされます。このレポートで、必要な制約が全て設定されていることを確認してください。

15.2.4.6 未制約コネクション・レポート

ストラテジで「Check Unconstrained Connections」を [True] に設定した場合、タイミング制約解析の対象とならなかったパスおよびコネクションの情報がレポートされます。従来のタイミング詳細レポートと同様の形式です。本来は制約が与えられるべきパスやコネクションが含まれていないことの確認を推奨します。

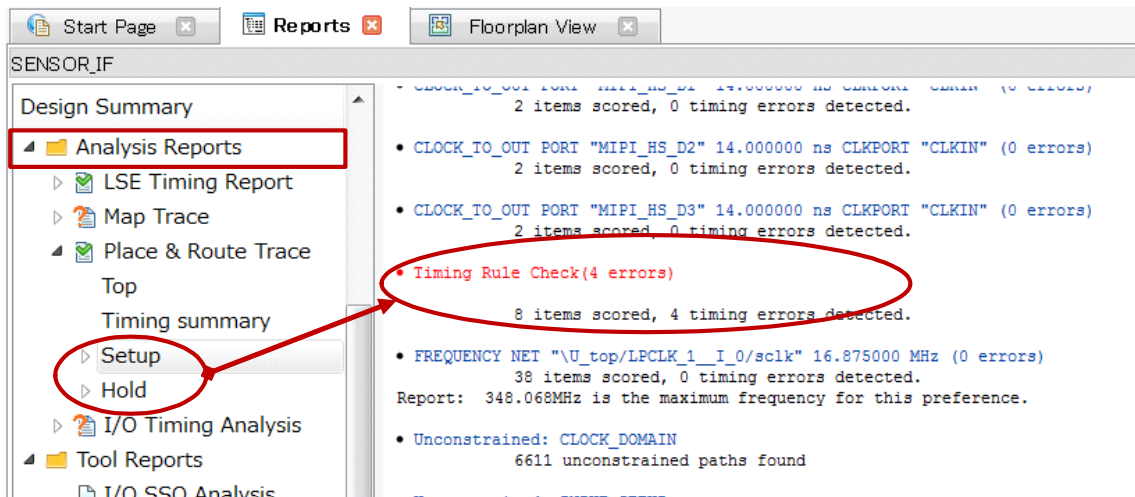
図 15-11. 未制約コネクション・レポート例



15.2.4.7 DRC (Timing Rule Check)

DDR Generic や DDR メモリインターフェイスなど、INPUT_SETUP や CLOCK_TO_OUTPUT 制約が与えられている場合でデバイス固有の（分周クロックを含めて）複数のクロックシステムを扱うハードマクロがインプリで私用される場合、セットアップ / ホールド解析レポートセクションの最後に本項目がレポートされます。マクロが正常動作するために規定されている内部タイミングの DRC 結果です。図 15-12 はその例です。

図 15-12. マクロ内部規定タイミングの DRC



タイミング違反がレポートされている場合は、これを解消する必要があります。通常は、当該マクロに関連する入力クロックなどに周波数制約が与えられていない場合、或いは与えられていても不適切（不正確）な場合が殆どです。パスの詳細レポートを参照して、制約の追加・編集を行うようにします。

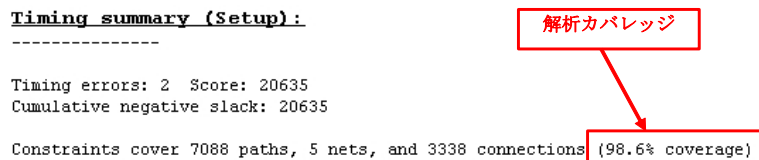
15.2.4.8 総コネクション数と解析カバレッジのレポート

レポートの最後には、コネクションに対する解析のカバレッジがレポートされます。カバレッジが 100% である必要はありませんが、必ず詳細レポートで解析されていないパスの確認を行ってください。

図 15-13. 解析カバレッジのレポート例

```
Timing summary (Setup):
-----
Timing errors: 2 Score: 20635
Cumulative negative slack: 20635

Constraints cover 7088 paths, 5 nets, and 3338 connections (98.6% coverage)
```



15.3 I/O タイミング解析

I/O タイミング解析 (I/O Timing Analysis) は、配置配線後のネットリストを使った IO のみの静的タイミング検証 (STA) です。制約を設定していなくても、自動的に入力信号のセットアップ/ホールド時間や、出力信号の最大/最小遅延の解析を行います。この際自動的にスピードグレードを変えて解析し、その中から各タイミングの最悪値とその値をとるスピードグレードをレポートします。

なお、解析が行われるスピードグレードは、プロジェクトで選択しているスピードグレードより高速なもののみです。

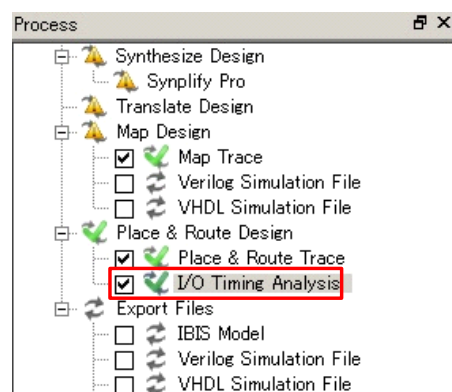
-- 例

プロジェクトでターゲットデバイスとして LatticeECP3 ファミリー (スピードグレードは -6,-7,-8) のスピードグレード [-7] を選択している場合、I/O タイミング解析の解析対象は -7, -8, -m のみで -6 は解析されません (-m は最速グレードの高電圧/低温条件モデル)

15.3.1 I/O タイミング解析の実行

実配線遅延での I/O タイミング解析プロセスは、Process ウィンドウの Place & Route Design プロセスツリーの下にある [I/O Timing Analysis] です (図 15-14)。

図 15-14. IO タイミング解析の実行

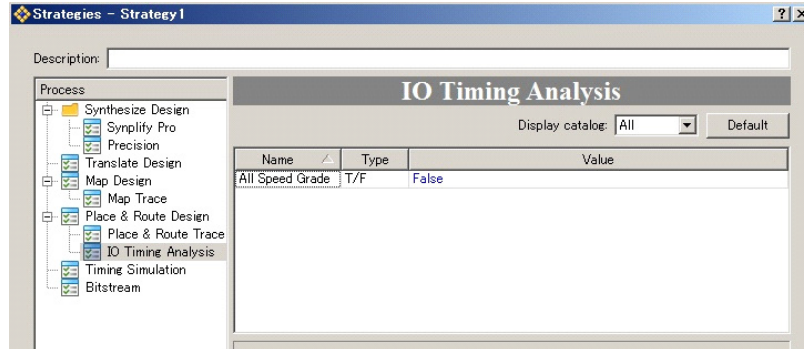


プロセス名の左側にあるチェックボックスにチェックが入っていると、Place & Route Design プロセス完了後に自動的に実行されます。チェックが入っていない場合でも、プロセス名をダブルクリックすれば実行されます。

15.3.2 I/O タイミング解析のストラテジ

I/O タイミング解析では、ストラテジ設定で解析条件を変更することができます。

図 15-15. I/O Timing Analysis のストラテジ



All Speed Grade

パラメータ : True / False デフォルト値 : False

レポート内容に関する設定です。デフォルト (False) では解析のサマリとしてワーストケースのみの結果がレポートされます。

[True] を選択した場合は、全てのスピードグレードで解析を行い、サマリとスピードグレードごとの解析結果がレポートされます。

15.3.3 I/O タイミング解析レポート

15.3.3.1 レポートファイル出力

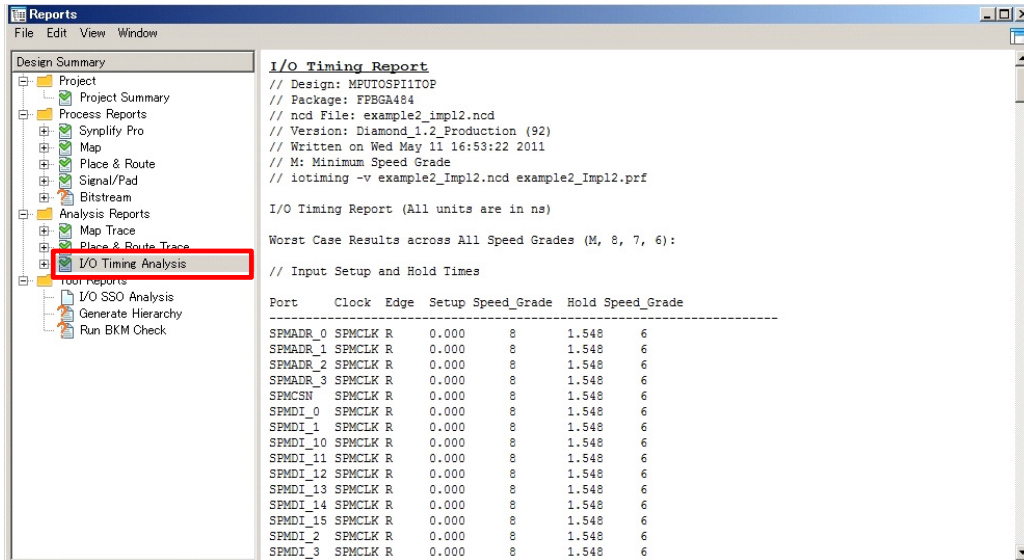
I/O タイミング解析実行時には、インプリメンテーション・フォルダに html とテキスト形式のレポートが出力されます。内容はどちらも同じです。ファイル名はそれぞれ以下ようになります。

html 形式 : プロジェクト名_インプリメンテーション名_iotiming.html

テキスト形式 : プロジェクト名_インプリメンテーション名 .ior

html 形式のレポートは、Lattice Diamond の Report ウィンドウで見ることができます。

図 15-16. I/O Timing Analysis レポート (一部)



15.3.3.2 レポート内容の概要

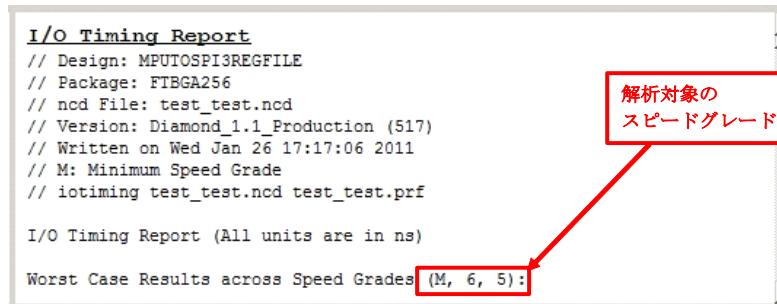
レポートには、解析の結果として以下の内容について出力されます。

- ・ 解析実行環境のレポート
- ・ 解析結果のサマリ
- ・ 各グレードでの解析結果

解析実行環境のレポート

レポートファイルの先頭には、ヘッダとして解析を行ったツールやライブラリのバージョン、解析対象のネットリストおよび解析対象となったスピードグレードの情報がレポートされます (図 15-17)。

図 15-17. タイミング解析実行環境のレポート



解析結果のサマリ

各スピードグレードで行った解析結果から、最悪値とその場合のスピードグレードが、[入力タイミング]=[出力タイミング]の順にレポートされます。

図 15-18. 解析結果のサマリ例 (入力タイミング)

```

Worst Case Results across Speed Grades (M, 6, 5):

// Input Setup and Hold Times

Port      Clock Edge Setup Speed_Grade Hold Speed_Grade
-----
BUFSTATE_0 SPMCLK R  5.992  5  -1.111  M
BUFSTATE_1 SPMCLK R  5.511  5  -0.972  M
BUFSTATE_2 SPMCLK R  5.812  5  -1.062  M
BUFSTATE_3 SPMCLK R  5.125  5  -0.850  M
BUFSTATE_4 SPMCLK R  4.499  5  -0.701  M
RFADR_0    SPMCLK R 12.008  5   0.896  5
RFADR_1    SPMCLK R 11.458  5   0.096  6
RFADR_10   SPMCLK R 10.257  5  -0.192  M
RFADR_11   SPMCLK R 12.922  5  -1.066  M
RFADR_12   SPMCLK R 13.285  5  -0.927  M
RFADR_13   SPMCLK R 13.227  5  -0.914  M
RFADR_14   SPMCLK R 12.886  5  -0.839  M
RFADR_15   SPMCLK R 14.205  5  -1.081  M
RFADR_2    SPMCLK R 13.898  5  -0.828  M
RFADR_3    SPMCLK R 10.704  5  -0.091  M
RFADR_4    SPMCLK R 11.602  5  -0.291  M

```

図 15-19. 解析結果のサマリ例 (出力タイミング)

```

// Clock to Output Delay

Port      Clock Edge Max_Delay Speed_Grade Min_Delay Speed_Grade
-----
DOTEST    SPMCLK R 13.401  3   8.864  M
EMPTY     SPMCLK R 12.276  3   8.658  M
FULL      SPMCLK R 12.276  3   8.658  M
HOLDN     SPMCLK R 12.276  3   8.658  M
SPMDO_0   SPMCLK R 12.276  3   8.658  M
SPMDO_1   SPMCLK R 12.276  3   8.658  M
SPMDO_10  SPMCLK R 12.276  3   8.658  M
SPMDO_11  SPMCLK R 12.276  3   8.658  M
SPMDO_12  SPMCLK R 13.447  3   8.876  M
SPMDO_13  SPMCLK R 12.276  3   8.658  M
SPMDO_14  SPMCLK R 12.276  3   8.658  M
SPMDO_15  SPMCLK R 13.447  3   8.876  M

```

入力/出力ポートごとに各タイミングのワースト値と、解析の基準となるクロック、そのエッジ (R: 立ち上がり、F: 立ち下り)、ワースト値をとるスピードグレードがレポートされます。

各グレードでの解析結果

各グレードでの解析結果が出力されます。フォーマットはサマリと同じです。

15.4 タイミングアナリシス・ビュー

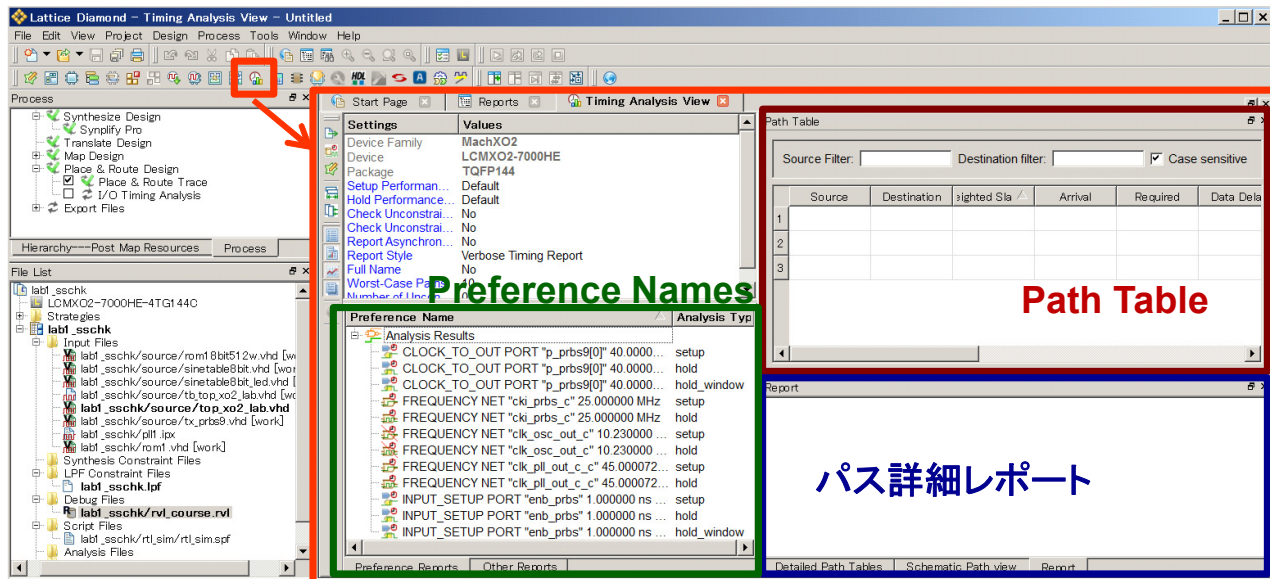
タイミングアナリシス・ビュー (Timing Analysis View) は、これまで記述してきた各レポート内容をスプレッドシート形式 GUI でレポートする機能です。テキスト (or HTML) ベースのレポートは網羅的にチェックすることが容易ではない場合が多いですが、本ビューを用いるとソート機能やクロスプローブ機能の活用と合わせることで、効率的な確認作業が可能になります。

なお、参照されるタイミング解析結果のデータベースは唯一ですので、これまで説明したレポートの閲覧結果と何ら異なることはありません。

15.4.1 タイミングアナリシス・ビューの起動と概要

起動は図 15-20 に左上の赤枠で示すアイコンをクリックするか、メニューバーで [Tools] => [Timing Analysis View] を選択します。

図 15-20. タイミングアナリシス・ビューの起動



ビュー内で左上枠はグローバル設定のまとめが表示されます。

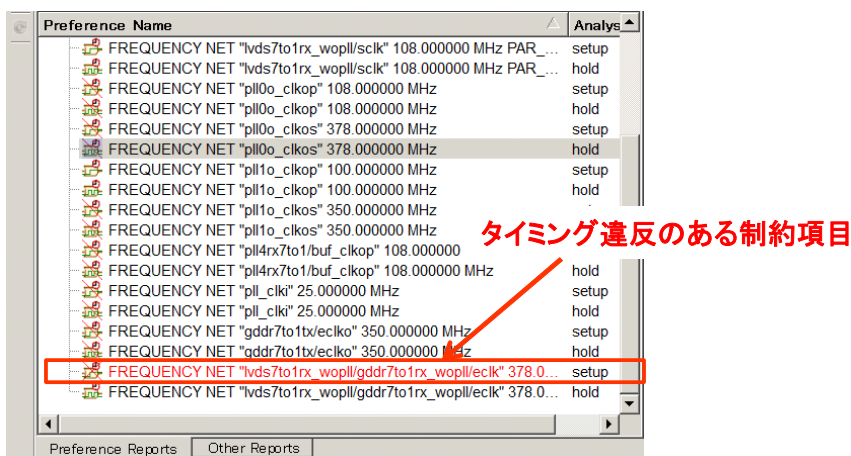
ビュー内の左下枠は周波数・周期（セットアップ / ホールド時間）タイミング制約に対する STA 結果のサマリを表示する ”Preference Names” タブが表示されます。同じ枠内は ”Other Reports” タブも選択でき、これは制約が与えられていない以下の項目がまとめられています。

- ・ CLOCK_DOMAIN、CLOCK_TO_OUT、INPUT_SETUP、MAXDELAY

ビュー内の右上枠はパステーブルのサマリで、左下枠で選択した制約項目に該当する、解析対象数の全パスのタイミングサマリが表形式で表示されます。

ビュー内の右下枠は個別パスの詳細レポートで、右上枠で選択したパスに関する詳細タイミングがやはり表形式で表示されます。 ”Detailed Path Tables” と ”Schematic Path View”、そして ”Report” という三つの異なる形式でのレポートが選択でき、それぞれタブが用意されています。 ”Report” タブ選択時の表記形式は 15.2.4.2 項で説明した詳細レポート内 「パスの経路と詳細情報」と同じです。

図 15-21. タイミング違反がある場合の Preference Name 枠での表示例



15.4.2 Preference Name 枠

左下枠の Preference Name 枠はデザイン内のクロックに与える周波数・周期制約に対するセットアップ / ホールド時間の項目がサマリとして表示されます。タイミング違反がある項目は図 15-21 のように赤字で表示されますので、容易に判別可能です。この枠内では次に詳細に確認すべき項目を選択します。

Diamond 3.2 以降では、INPUT_SETUP および CLOCK_TO_OUTPUT 制約項に関して、アイテムとして "hold_window" が追加になりました。これまで FREQUENCY 制約等については "setup" としてリストされると同時に "hold" が当該対象リソース / ドメインについて自動的にリストされます。これはストラテジ設定で指定したスピードグレード（デフォルトは "M"）に対するホールドチェック結果です。これは従来と変わりませんが、新たに追加された "hold_window" はターゲットとしてユーザが選択したスピードグレードに対して解析したホールドチェックの結果をリストするものです。

15.4.3 Path Table 枠

右上のこの枠には、上で選択された制約項目に該当する対象全パスのサマリが、デフォルトではスラック "Weighted Slack" としてソートされて表示されます。表示されるパス数はストラテジ・オプションの "Worst Case Paths" で指定された値です。

図 15-22. Path Table 表示例

Source	Destination	Weighted Slack	Arrival	Required	Data Delay	Route %	Levels	Clock Skew	Setup/Hold	Jitter	Color
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.559	3.7	9.259	4.24	82.3	1	-0.555	0.147	0	Red
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.559	3.7	9.259	4.24	82.3	1	-0.555	0.147	0	Green
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.606	3.653	9.259	4.193	82.1	1	-0.555	0.147	0	Magenta
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.637	3.622	9.259	4.162	81.9	1	-0.555	0.147	0	Yellow
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.637	3.622	9.259	4.162	81.9	1	-0.555	0.147	0	Cyan
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.649	3.61	9.259	4.15	81.9	1	-0.555	0.147	0	Blue
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.943	3.316	9.259	3.856	80.5	1	-0.555	0.147	0	Red
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.943	3.316	9.259	3.856	80.5	1	-0.555	0.147	0	Green
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A1	gddr7to1tx/Inst5_ODDRX71A1	5.943	3.316	9.259	3.856	80.5	1	-0.555	0.147	0	Magenta
lvds7to1rx_wopll/gddr7to1rx_wopll/Inst6_IDDRX71A2	gddr7to1tx/Inst5_ODDRX71A2	5.943	3.316	9.259	3.856	80.5	1	-0.555	0.147	0	Yellow

"Required" が制約相当の満たすべき値、"Arrival / Data Delay" が当該パスの実際の遅延、"Clock Skew" がソース FF とディステーション FF に配分されるクロック遅延のスキュー値、"Setup/Hold" がディステーション FF に確保されるべきマージン要件、です。

各項目名のセルをクリックすることで、その項目に関してソートできます。昇順・降順はクリックごとに切り替わります。

表示する項目名を指定することもできます。図 15-23 のように最上段の項目名 (Source, Destination,,,,Jitter 各表記) を右クリックすると一覧が表示されますので、未表示とするもののチェックをはずします。

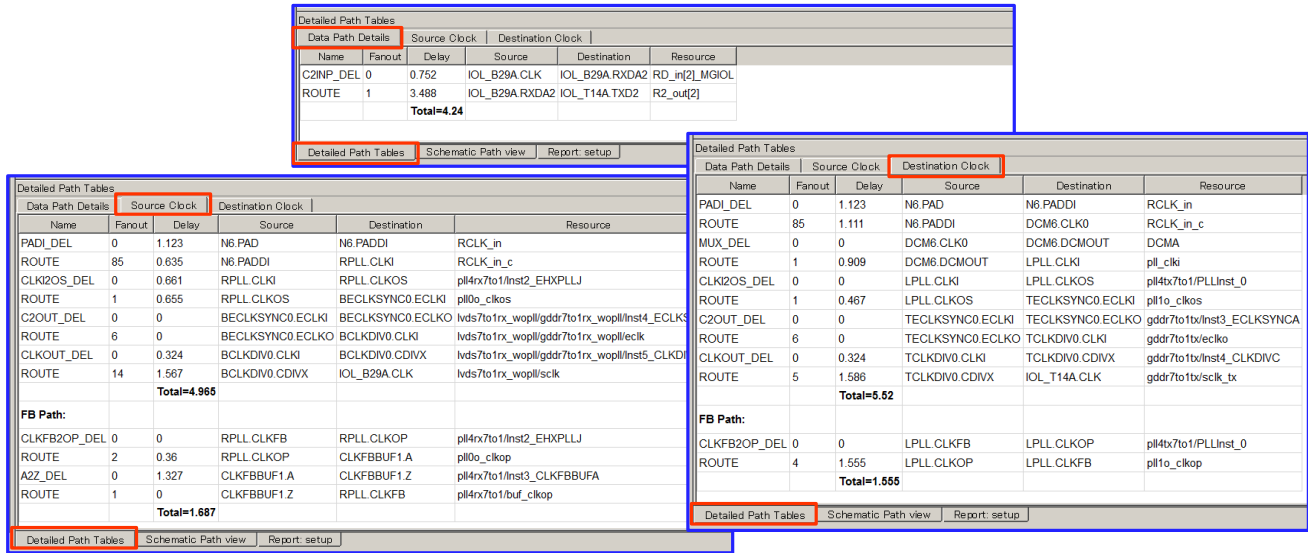
図 15-23. Path Table 表示項目の指定

Source	Destination	Weighted Slack	Arrival	Required	
1	datain[0]	Inst4_IDDRX4B0	-0.247	0.407	0.16
2	datain[10]	Inst4_IDDRX4B10	-0.247	0.407	0.16
3	datain[11]	Inst4_IDDRX4B11	-0.247	0.407	0.16
4	datain[1]	Inst4_IDDRX4B1	-0.247	0.407	0.16
5	datain[2]	Inst4_IDDRX4B2	-0.247	0.407	0.16
6	datain[3]	Inst4_IDDRX4B3	-0.247	0.407	0.16
7	datain[4]	Inst4_IDDRX4B4	-0.247	0.407	0.16

15.4.4 パス詳細レポート枠

図 15-24 はパス詳細レポートのうち、“Detailed Path Table” 表示例です。Path Table 枠で選択されているパスに対してその詳細情報を表示します。上部に三つのタブがあり、それぞれ “Data Path Details” (図中上) と “Source Clock” (図中下左)、および “Destination Clock” (図中下右) です。

図 15-24. パス詳細レポート枠、Detailed Path Table タブの表示例 (上部タブ 3 つをそれぞれ示す)




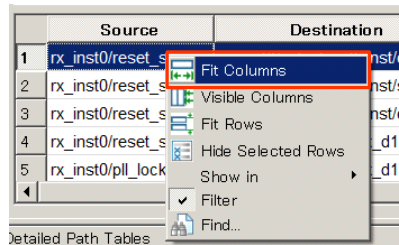
Data Path Details タブを選択すると、ソース FF からディスティネーション FF までの各エレメントごとにファンアウトや遅延値等を表形式で表示します。なお、デフォルトではセル幅が狭く、このままでは各セル内の文字が読み取れません。マウス操作で個々に幅を拡げる方法に加え、ビュー左側にあるアイコン  をクリックすると全セルの幅が自動的に最適化されます。或いは図 15-25 のように、Detailed Path Tables 内で何れかのエレメントを選択して右クリック後、“Fit Columns” を選択しても同様です。

図 15-25. “Fit Columns” によるセル幅の自動調整



Source Clock タブと Destination Clock タブは類似しており、それぞれの FF に対するクロックパスの遅延情報をやはり表形式で表示します。クロックスキューが小さくない場合など、ソース側とディスティネーション側での差分が容易に目視でチェックできます。

図 15-26 は Schematic Path View タブ選択時の例です。Path Table 枠で選択されたパスについて回路図イメージで遅延情報を表示します。

図 15-26. パス詳細レポート枠、Schematic Path View の表示例

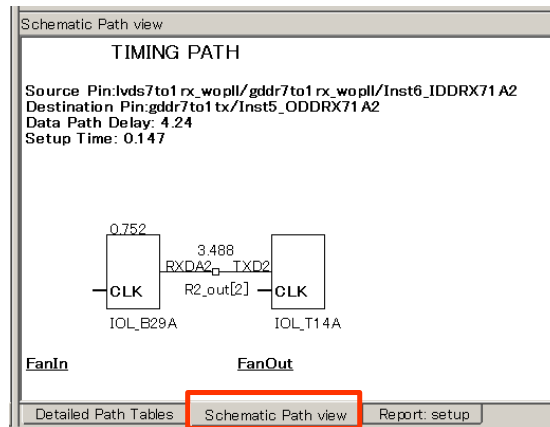
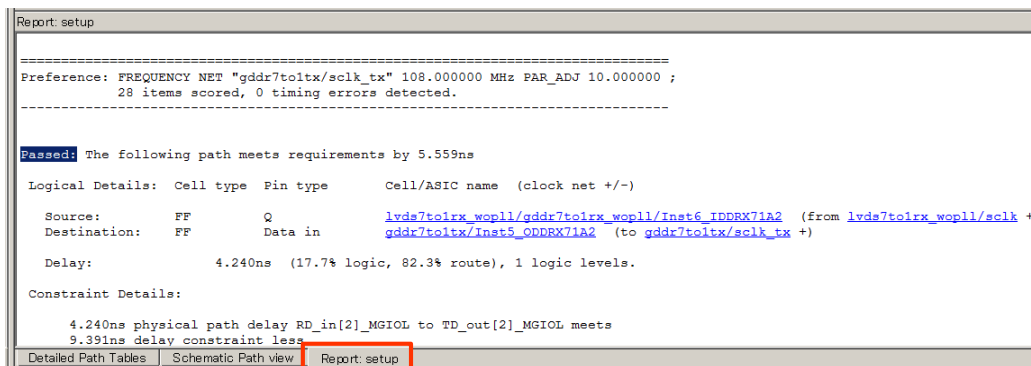


図 15-27 は Report Setup タブ選択時の例です。Path Table 枠で選択されたパスについて従来のテキスト形式でパス遅延情報を表示します。

図 15-27. パス詳細レポート枠、Report Setup の表示例



15.4.5 クロスプロービング機能

タイミングアナリシス・ビューには意図するパスに関する情報をグラフィカルに表示する、クロスプロービング機能に対応しています。ビュー内右上枠の Path Table 内で着目するパスを選択後、右クリックすると図 15-28 左のようになりますので、Show In => FloorPlan View / Physical View を選択します。

或いは、ビュー内右下枠の Detailed Path Table 内で同様にいずれかのエレメントを選択後、右クリックすると図 15-28 右のようになりますので、Show In => FloorPlan View / Physical View を選択します。

特にクリティカルパスとなっているパスの位置関係と配線がどのようになっているかの把握に有用です。

このようなアクションの結果の表示例を図 15-29 に示します。左が EPIC に類似した Physical View 表示、右が FloorPlan View です。ここで示す Physical View では判りにくいですが、選択されたパスについては色がハイライトされて識別できるようになっていて、物理的な配線経路が示されます。FloorPlan View では Physical View とは異なり、位置関係が把握できるような表記の形式を取っています。

例えば、COMMERCIAL グレードジャンクション温度とコア電源電圧は、ワーストケース値がデフォルトであり、それぞれ 85 度、1.14V です。これをベストケースで解析したい場合、以下の様な記述を PRF 内に追記(編集) します。

```
VOLTAGE 1.26 V;
TEMPERATURE 0 C;
```

その後、Tcl コンソールで、ネットリスト <name>.ncd のあるディレクトリに CD コマンドで移動したあと、例えば以下のようなコマンドをタイプし、実行します。同ディレクトリには NCD と PRF が必ず必要です。

```
trce.exe -v 50 -sp 9 -sphld 9 -setuphold -sethld -o <output_file>.twr <netlist_name>.ncd <preference>.prf
```

なお、コマンドオプションの詳細は Diamond Help ページなどをご参照ください (メニューバーの Help => Lattice Diamond Help、キーワードサーチで "trce command" 等と入力して検索)。

15.6 改訂履歴

Ver.	Date	page	内 容
2.3F	June 30, 2014	15-2 ~ 4	Strategy: 図 15-2 差し替え、項目記述追加 (Check Unconstrained Connections, Number of Unconstrained Paths)
		15-6	図 15-5 更新し、旧リスト 3-1 「解析実行環境のレポート」を吸収・削除
		15-7	図 15-6 追加。旧リスト 3-2 (タイトル誤り) と差し替え
		15-10	図 15-10 更新。旧リスト 3-6 差し替え
		15-10	15.2.4.6 項「未制約コネクション・レポート」として旧項「BLOCK PATH 情報」と「解析対象外パスのレポート」を統合・更新。合わせて図 15-11 として更新
3.3	Mar. 2015	15-1	旧図 15-1 削除
		17-18	15.5 節、コマンドライン実行項を追記
3.3.1 (3.3, rev1.1)	Apr. 2015	15-9	Internal Error について追記
	May 2015	15-15	TA、"hold_window" について追記

--- *** ---

