

CertusPro-NX 基板設計時資料

macnica

はじめに

- 本資料は、Lattice社 “CertusPro-NX” の基板設計時の注意事項をまとめたものです
- 実際の動作等詳細、最終の確認は、別途データシート、テクニカルノートを参照頂きますようお願い申し上げます
- Lattice社データシートと本資料との間に差異があった場合には、Lattice社データシートを正としてお取り扱い下さい

目次

1. 電源ピン関連

- 1.1 電源ピンの説明
- 1.2 電源ランプレート

2. sysIOピン関連

- 2.1 sysIOピンの概要
- 2.2 PCLK/GPLLピン
- 2.3 内部Pull up/downの抵抗値
- 2.4 電源起動時のI/Oの挙動に関して
- 2.5 デバッグ用I/F (Reveal)

3. sysIO BANK関連

- 3.1 BANK構成
- 3.2 BANK毎のI/O Standard
- 3.3 Mixed Voltage Mode

4. 差動信号関連

- 4.1 LVDSの注意事項
- 4.2 LVDS Emulate出力の注意事項
- 4.3 subLVDSの注意事項
- 4.4 Generic DDR (GDDR) レジスタ

目次

5. コンフィグレーション関連

- 5.1 コンフィグレーションモード概要
- 5.2 コンフィグレーションモード選択方法
- 5.3 各コンフィグレーションモードにおける使用ピン
- 5.4 開発ツール上の設定
- 5.5 コンフィグレーションフロー
- 5.6 回路例

6. Radiant Programmerを用いた書き込み

- 6.1 Downloadケーブル
- 6.2 SRAM領域への書き込み
- 6.3 FPGA経由でのSPI Flashへの書き込み
- 6.4 Feature Rowへの書き込み
- 6.5 Program Feature Rowでの書き込み
- 6.6 Update Feature Rowでの書き込み
- 6.7 サポートしている特殊Boot Mode
- 6.8 Dual Boot
- 6.9 Multi Boot
- 6.10 Ping-Pong Boot

目次

7. ADC関連

- 7.1 Nexusシリーズ ADCマクロの概要
- 7.2 ADC0/ADC1ブロックについて
- 7.3 ADC基準電圧に関して
- 7.4 ADC用電源に関して
- 7.5 ADC入力フィルターに関して
- 7.6 コンパレータ動作に関して
- 7.7 電源電圧センサー/DTRに関して

8. SerDes/PCS関連

- 8.1 SerDes/PCSの概要
- 8.2 SerDes/PCSの対応プロトコル
- 8.3 SerDes/PCSの電源設計に関して
- 8.4 SerDes/PCSの基準クロック入力について
- 8.5 SerDes/PCSの外部入力基準クロック仕様
- 8.6 SerDes/PCSのレシーバー入力仕様
- 8.7 SerDes/PCSのトランスミッター出力仕様
- 8.8 PCIe Hard IP
- 8.9 10GBASE-R

Revision History

1. 電源ピン関連

1.1 電源ピンの説明

| | Min | Typ. | Max | Unit | |
|----------------------|--------|------|--------|------|--|
| V_{CC}, V_{CCECLK} | 0.95 | 1.00 | 1.05 | V | コア電源 |
| V_{CCAUX} | 1.71 | 1.80 | 1.89 | V | Bank0,1,2,6,7に対する補助電源 |
| $V_{CCAUXH3/4/5}$ | 1.71 | 1.80 | 1.89 | V | Bank3,4,5に対する補助電源 |
| V_{CCAUXA} | 1.746 | 1.80 | 1.89 | V | 内部アナログ回路の補助電源 |
| V_{CCIO} | 3.135 | 3.30 | 3.465 | V | $V_{CCIO}=3.3V$ (Bank0,1,2,6,7) |
| | 2.375 | 2.50 | 2.625 | V | $V_{CCIO}=2.5V$ (Bank0,1,2,6,7) |
| | 1.71 | 1.80 | 1.89 | V | $V_{CCIO}=1.8V$ (All Banks) |
| | 1.425 | 1.50 | 1.575 | V | $V_{CCIO}=1.5V$ (All Banks) |
| | 1.2825 | 1.35 | 1.4175 | V | $V_{CCIO}=1.35V$ (All Banks, DDR3L使用時) |
| | 1.14 | 1.20 | 1.26 | V | $V_{CCIO}=1.2V$ (All Banks) |
| | 0.95 | 1.00 | 1.05 | V | $V_{CCIO}=1.0V$ (Bank3,4,5) |
| ADC部 | | | | | |
| $V_{CCADC18}$ | 1.71 | 1.80 | 1.89 | V | ADC用電源 |
| SerDes部 | | | | | |
| V_{CCSD} | 0.95 | 1.00 | 1.05 | V | SerDesブロック, I/O供給電源 |
| V_{CCSDCK} | 0.95 | 1.00 | 1.05 | V | SerDesクロックバッファ供給電源 |
| V_{CCPLSD} | 1.71 | 1.80 | 1.89 | V | SerDesブロックPLL供給電源 |
| $V_{CCAUXSDQ}$ | 1.71 | 1.80 | 1.89 | V | SerDesブロック補助電源 |

- ・同一電圧電源はすべて同じ電圧源から供給してください。ノイズ対策のため、適切にアイソレーションしてください。
- ・SerDes部を除いて、共通の電源配線は互いに接続する必要があります。
- ・MSPI(BANK0)、JTAG、SSPI、I2C、および I3C(BANK1) ポートは、 V_{CCIO} は 1.8V ~ 3.3V でサポートされます。
- ・10G SerDes を使用する場合、 V_{CC} 電圧は 0.97V ~ 1.05V の範囲内である必要があります。

引用：FPGA-DS-02086-1.2 3.2. Recommended Operating Conditions

1.2 電源ランプレート/電源シーケンス

■ 電源ランプレート

各電源ピンへの電圧供給は以下のランプレートを守らなければなりません。

・0.1~50V/ms

引用：FPGA-DS-02086-1.2 3.3. Power Supply Ramp Rates

■ Power-On-Reset (POR)

POR がかかると、CertusPro-NX はリセット状態になります。
電源立ち上がり時の POR のトリップポイントは以下の通りです。

| | |
|-----------------|---------------|
| ・ V_{CC} | 0.73V ~ 0.83V |
| ・ V_{CCAUX} | 1.34V ~ 1.62V |
| ・ $V_{CCIO0/1}$ | 0.89V ~ 1.05V |

電源立ち下がり時の POR のトリップポイントは以下の通りです。

| | |
|---------------|---------------|
| ・ V_{CC} | 0.51V ~ 0.81V |
| ・ V_{CCAUX} | 1.38V ~ 1.59V |

■ 電源シーケンス

本デバイスに電源に関するシーケンスの規定は基本的にはありません。

ただし POR 後デバイスが起動すると、IO の出力電圧はそのバンクの V_{CCIO} に依存するため、不定電圧の出力を防止するために POR 前に V_{CCIO} を立ち上げることを推奨します。

引用：FPGA-DS-02086-1.2 3.4. Power up Sequence

2. sysIOピン関連

2.1 sysIOピンの概要 1/5

| ピン名 | 入出力 | 説明 | 外部処理 |
|----------------------------|-----|---|---|
| Dedicated ピン | | | |
| JTAG_EN | I | JTAG ピンをコントロールするピン。 JTAG ピンは Low の場合は GPIO に、High の場合は JTAG 専用ピンとなります。 | 4.7kΩ pull-down to GND(Disable時) 1.0kΩ pull-up to V _{CCIO1} (Enable時) |
| ADC_REFA, ADC_REFB | I | ADC の基準電圧を入力します。未使用時は Open で問題ありません。 | |
| ADC_DP/NA, ADC_DP/NB | I | ADC への入力専用ピンです。未使用時は Open で問題ありません。 | |
| SDx_RXDP/N | I | SerDes 用の入力ピン。未使用時は Open で問題ありません。 | |
| SDx_TXDP/N | O | SerDes 用の出力ピン。未使用時は Open で問題ありません。 | |
| SDQy_REFCLKP/N | I | Quad y の SerDes リファレンスクロック入力ピン。未使用時は Open で問題ありません。 | |
| SD_EXTy_REFCLKP/N | I | SerDes 用の外部リファレンスクロック入力ピン。未使用時は Open で問題ありません。 | |
| SDx_REXT | I | SerDes 用リファレンス抵抗入力ピン。このピンと SDx_REFRET の間に抵抗を接続します。 外部抵抗値に基づいて、オンチップ差動終端インピーダンスを調整するために使用されます。未使用時は Open で問題ありません。 | |
| SDx_REFRET | I | SerDes 用リファレンスリターン入力ピン。このピンと SDx_REXT の間に抵抗を接続します。 V _{CCPLLSDx} に AC 結合します。未使用時は Open で問題ありません。 | |
| その他のピン | | | |
| NC | | 未接続ピン。 | |
| RESERVED | | 予約ピン。RESERVED には何も接続しないでください。 | |
| 汎用ピン | | | |
| P[T/B/L/R][Number] _ [A/B] | I/O | USER IO ピン。T は Top、B は Bottom、L は Left、R は Right の Bank を示します。 A/B は差動のペアを示し、Number は A/B ペアを識別します。 Bottom Bank(Bank3, 4, 5) の A/B ペアは True LVDS の入出力に対応しています。 True LVDS 使用の場合、100Ωの差動終端抵抗が選択できます。 それ以外の Bank では Emulated LVDS は A/B ペアで出力のみサポート可能です。 | |

3.6. Unused ADC Blocks

Connect V_{SDAC} pins to board ground. Leave V_{CCIO1} and ADC I/O floating (not connected).

2.1 sysIOピンの概要 2/5

| ピン名 | 入出力 | 説明 | 外部処理 |
|--------------------------------|-----|---|---|
| Shared Configuration ピン | | | |
| PRxxx/SDA/USER_SDA | I/O | PRxxx : GPIO として使用。 SDA : コンフィグレーションを I2C/I3C 経由で行う場合の SDA として使用。 User_SDA : I2C/I3C IF 使用時の SDA として使用。 | SDA : 1.0kΩ to 4.7kΩ pull-up to V _{CCIO1} ※Slave I3C コンフィグ時はプルアップ抵抗不要 |
| PRxxx/SCL/USER_SCL | I/O | PRxxx : GPIOとして使用。 SDA : コンフィグレーションを I2C/I3C 経由で行う場合の SCL として使用。 User_SDA : I2C/I3C IF 使用時の SCL として使用。 | SCL : 1.0kΩ to 4.7kΩ pull-up to V _{CCIO1} ※Slave I3C コンフィグ時はプルアップ抵抗不要 |
| PRxxx/TDO/SSO | I/O | PRxxx : GPIO として使用。 TDO : JTAG_EN = 1 の時、JTAG ピンとして使用。 SSO : Slave SPI モード時の出力ピンとして使用。 | TDO : 4.7kΩ pull-up to V _{CCIO1} |
| PRxxx/TDI/SSI | I/O | PRxxx : GPIO として使用。 TDI : JTAG_EN = 1 の時、JTAG ピンとして使用。 SSI : Slave SPI モード時の入力ピンとして使用。 | TDI : 4.7kΩ pull-up to V _{CCIO1} |
| PRxxx/TMS/SCSN | I/O | PRxxx : GPIO として使用。 TMS : JTAG_EN = 1 の時、JTAG ピンとして使用。 SCSN : Slave SPIモード時のチップセレクトピンとして使用。 | TMS : 4.7kΩ pull-up to V _{CCIO1} SCSN : 4.7kΩ pull-up to V _{CCIO1} |
| PRxxx/TCK/SCLK | I/O | PRxxx : GPIO として使用。 TCK : JTAG_EN = 1 の時、JTAG ピンとして使用。 SCLK : Slave SPI モード時のクロック入力ピンとして使用。 | TCK : 2.2kΩ pull-down to GND SCLK : 2.2kΩ pull-down to GND |

2.1 sysIOピンの概要 3/5

| ピン名 | 入出力 | 説明 | 外部処理 |
|--------------------------------|-----|--|---|
| Shared Configuration ピン | | | |
| PTxxx/MCSNO | I/O | PTxxx : GPIO として使用。 MCSNO : Master SPI モード時のチップセレクトとして使用。Daisy Chain構成時に使用。 | |
| PTxxx/MD3 | I/O | PTxxx : GPIO として使用。 MD3 : Master SPI モードの Quad を使用する際に使用。 | |
| PTxxx/MD2 | I/O | PTxxx : GPIO として使用。 MD2 : Master SPI モードの Quad を使用する際に使用。 | |
| PTxxx/MSI/MD1 | I/O | PTxxx : GPIO として使用。 MSI : Master SPI モード時の入力として使用。 MD1 : Master SPI モードの Quad を使用する際に使用。 | |
| PTxxx/MSO/MD0 | I/O | PTxxx : GPIO として使用。 MSO : Master SPI モード時の出力として使用。 MD0 : Master SPI モードの Quad を使用する際に使用。 | |
| PTxxx/MCSN/PCLKT0_1 | I/O | PTxxx : GPIO として使用。 MCSN : Master SPI モード時のチップセレクトとして使用。 PCLKT0_1 : クロック入力ピンとして使用。 | MCSN: 4.7kΩ pull-up to V _{CC100} |
| PTxxx/MCLK/PCLKT0_0 | I/O | PTxxx : GPIO として使用。 MCLK : Master SPI モード時のクロックピンとして使用。 PCLKT0_0 : クロック入力ピンとして使用。 | MCLK: 1.0kΩ pull-down to GND |
| PTxxx/PROGRAMN | I/O | PTxxx : GPIOとして使用。 PROGRAMN : 入力ピン。任意のタイミングでコンフィグレーションを開始させるピンです。※1 | PROGRAMN: 4.7kΩ pull-up to V _{CC100} |
| PTxxx/INITN | I/O | PTxxx : GPIOとして使用。 INITN : 双方向オープンドレインピン。コンフィグレーション可能な状態を示します。※1 | INITN: 4.7kΩ pull-up to V _{CC100} |
| PTxxx/DONE | I/O | PTxxx : GPIOとして使用。 DONE : 双方向オープンドレインピン。コンフィグレーションの完了を示します。※1 | DONE: 4.7kΩ pull-up to V _{CC100} |

※1 詳細は「2.1.4. 電源起動時の I/O の挙動に関して」をご参照ください

2.1 sysIOピンの概要 4/5

| ピン名 | 入出力 | 説明 | 外部処理 |
|------------------------------|-----|--|------|
| Shared CLOCK Pins | | | |
| PBxxx/PCLK[T,C][3,4,5]_[0-3] | I/O | PBxxx: GPIO として使用。 PCLK: Primary Clock パスにつながる入力ピン。 T(True)、C(Complement)は差動の P/N で、シングルエンド入力を使用する場合には T 側を使用します。 | |
| PTxxx/PCLKT0_[0-1] | I/O | PTxxx: GPIO として使用。 PCLK: シングルエンドのみ使用可能な Primary Clock パスに繋がる入力ピン。 | |
| PRxxx/PCLKT[1,2]_[0-2] | I/O | PRxxx: GPIO として使用。 PCLK: シングルエンドのみ使用可能な Primary Clock パスに繋がる入力ピン。 | |
| PLxxx/PCLKT[6,7]_[0,2] | I/O | PLxxx: GPIO として使用。 PCLK: シングルエンドのみ使用可能な Primary Clock パスに繋がる入力ピン。 | |
| PBxxx/LRC_GPLL[T,C]_IN | I/O | PBxxx: GPIO として使用。 LRC_GPLL: Lower Right Bank の PLL への CLK 入力ピン。 T(True)、C(Complement)は差動の P/N で、シングルエンド入力を使用する場合には T 側を使用します。 | |
| PBxxx/LLC_GPLL[T,C]_IN | I/O | PLxxx: GPIO として使用。 ULC_GPLL: Lower Left Bank の PLL への CLK 入力ピン。 T(True)、C(Complement)は差動の P/N で、シングルエンド入力を使用する場合には T 側を使用します。 | |
| PLxxx/ULC_GPLL_T_IN | I/O | PLxxx: GPIO として使用。 ULC_GPLL: Upper Left Bank の PLL へのシングルエンド CLK 入力ピン。 | |
| PRxxx/URC_GPLL_T_IN | I/O | PRxxx: GPIO として使用。 URC_GPLL: Upper Right BankのPLLへのシングルエンド入力ピン。 | |

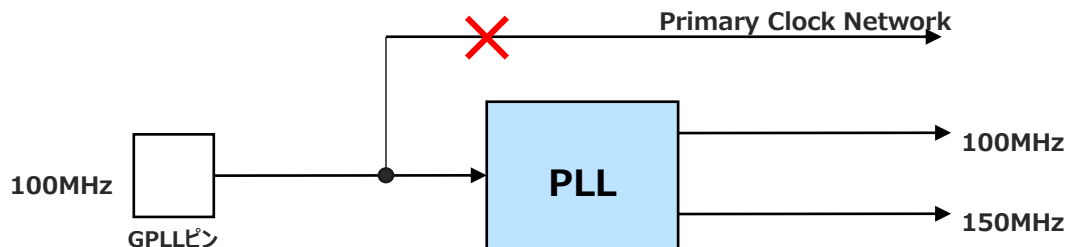
2.1 sysIOピンの概要 5/5

| ピン名 | 入出力 | 説明 | 外部処理 |
|------------------------------|-----|--|------|
| Shared User GPIO Pins | | | |
| PBxxx/VREF[3,4,5]_[1_2] | I/O | PBxxx: GPIO として使用。 VREF: DDR メモリ機能の基準電圧ピン。 | |
| PBxxx/ADC_C[P,N]nn | I/O | PBxxx: GPIO として使用。 ADC_C: ユーザー I/O と ADC 入力の兼用ピン。 | |
| PBxxx/COMP[1-3][P,N] | I/O | PBxxx: GPIO として使用。 COMP: 差動コンパレータ入力ピン。 | |
| PBxxx/SGMII_RX[P,N][0-1] | I/O | PBxxx: GPIO として使用。 SGMII_RX: SGMII 入力ピン。 | |

2.2 PCLK/GPLLピン

・クロック信号は必ずクロック入力ピン(PCLK) から入力してください。
GPIO から入力も可能ですが、内部専用のクロックライン(Primary Clock) に載せるまでに遅延が発生します(クロックピンから内部専用クロックラインまでのパスは最小遅延になります)。

・PLL への入力は GPLL ピンを使用することで PLL のクロックの入力遅延を最小にすることができます。
ただし、以下のような PLL 入力を分岐して他の Primary Clock Network を使用する FF に使用することはできません(設計ツール上でエラーとなります)。



入力クロックの分岐ができないため、
同じ周波数のクロックを使用する場合は
同じ周波数のクロック出力を用意します。

・基板設計時、PLLを使用するかどうか判断に迷った場合には、PLL専用ピン、クロックピン両方にクロック信号を供給しておくことを推奨します(使わない方のピンはパターンが繋がっていても特に問題はありません)。

引用 : sysCLOCK PLL Design and Usage Guide for Nexus Platform 14.5. PLL Inputs and Outputs

2.3 内部 Pull up/down の抵抗値 1/2

- ・外部 Pull up/down を設置する際、内部 Pull 設定と反対のレベルとなる場合は、Package Pin 上で中間電位となるのを防ぐために以下の内容に注意してください。
- ・内部 Pull up/down の抵抗値はそれぞれに流れるリーク電流と V_{CCIO} の推奨電圧範囲から算出することが可能です。

| | | | | | | |
|----------|-------------------------------------|--|-----|---|------|---------|
| I_{PU} | I/O Weak Pull-up Resistor Current | $0 \leq V_{IN} \leq 0.7 \times V_{CCIO}$ | -30 | — | -150 | μA |
| I_{PD} | I/O Weak Pull-down Resistor Current | $V_{IL}(\text{max}) \leq V_{IN} \leq V_{CCIO}$ | 30 | — | 150 | μA |

引用：FPGA-DS-02086-1.2 3.8. DC Electrical Characteristics

V_{CCIO} の推奨電圧

| | | | | | | |
|------------|---------------------------|---|--------|------|--------|---|
| V_{CCIO} | I/O Driver Supply Voltage | $V_{CCIO} = 3.3 \text{ V}$, Bank 0, Bank 1, Bank 2, Bank 6, Bank 7 | 3.135 | 3.30 | 3.465 | V |
| | | $V_{CCIO} = 2.5 \text{ V}$, Bank 0, Bank 1, Bank 2, Bank 6, Bank 7 | 2.375 | 2.50 | 2.625 | V |
| | | $V_{CCIO} = 1.8 \text{ V}$, All Banks | 1.71 | 1.80 | 1.89 | V |
| | | $V_{CCIO} = 1.5 \text{ V}$, All Banks ⁴ | 1.425 | 1.50 | 1.575 | V |
| | | $V_{CCIO} = 1.35 \text{ V}$, All Banks (For DDR3L Only) | 1.2825 | 1.35 | 1.4175 | V |
| | | $V_{CCIO} = 1.2 \text{ V}$, All Banks ⁴ | 1.14 | 1.20 | 1.26 | V |
| | | $V_{CCIO} = 1.0 \text{ V}$, Bank 3, Bank 4, Bank 5 | 0.95 | 1.00 | 1.05 | V |

引用：FPGA-DS-02086-1.2 3.2. Recommended Operating Conditions

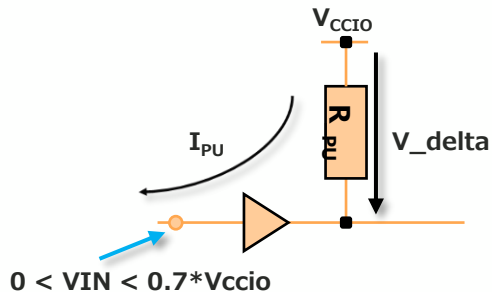
入力電圧レンジ

| Input/Output Standard | V_{IL} ¹ | |
|-----------------------|-----------------------|------------------------|
| | Min (V) | Max (V) |
| LVTT133 LVCMOS33 | — | 0.8 |
| LVCMOS25 | — | 0.7 |
| LVCMOS18 | — | $0.35 \times V_{CCIO}$ |

3.11. sysI/O Single-Ended DC Electrical Characteristics

2.3 内部 Pull up/down の抵抗値 2/2

・実際の計算例 LVCOMS33 の場合



内部 Pull-Up 抵抗 R_{pu} は流れる電流 I_{pu} と電圧降下 V_{delta} を考慮して計算します。

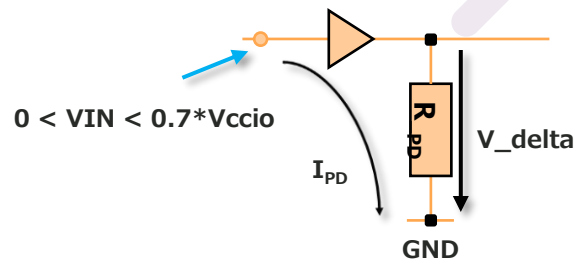
I_{pu}が最大になるのはV_{delta}が最大の時、即ちVIN=0Vのとき

| | VIN | V_delta | I _{pu} (uA) | R _{pu} (KΩ) |
|--------------|-----|---------|----------------------|----------------------|
| LVCMOS33_max | 0 | 3.465 | 150 | 23.1 |
| LVCMOS33_min | 0 | 3.135 | 150 | 20.9 |

I_{pu}が最少になるのはVIN=0.7xV_{CCI0}

| | VIN | V_delta | I _{pu} (uA) | R _{pu} (KΩ) |
|--------------|-------|---------|----------------------|----------------------|
| LVCMOS33_max | 2.425 | 1.039 | 30 | 34.65 |
| LVCMOS33_min | 2.194 | 0.940 | 30 | 31.35 |

従って、LVCMOS33の場合は内部Pull-Upが有効になっている場合で、外部処理で論理レベルを反対のレベルにする場合、 $R_{pu} = 20.9K\Omega$ とVIL(MAX) = 0.8Vを考慮すると外部Pull Down = 7.16KΩ以下とします。



内部 Pull-Up 抵抗 R_{pd} は流れる電流 I_{pd} と電圧降下 V_{delta} を考慮して計算します。

I_{pd}が最大になるのはV_{delta}が最大の時、即ちVIN=V_{CCI0}のとき

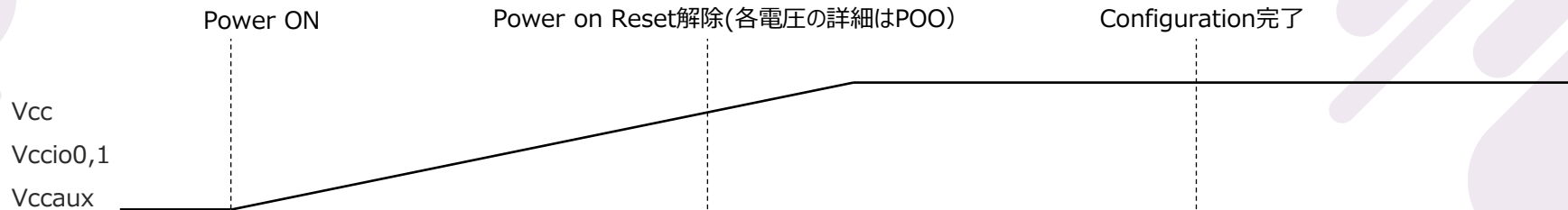
| | VIN | V_delta | I _{pd} (uA) | R _{pd} (KΩ) |
|--------------|-------|---------|----------------------|----------------------|
| LVCMOS33_max | 3.465 | 3.465 | 150 | 23.1 |
| LVCMOS33_min | 3.135 | 3.135 | 150 | 20.9 |

I_{pd}が最少になるのはVIN=VIL(Max)の際

| | VIN | V_delta | I _{pd} (uA) | R _{pd} (KΩ) |
|--------------|-----|---------|----------------------|----------------------|
| LVCMOS33_max | 0.8 | 2.665 | 30 | 26.666 |
| LVCMOS33_min | 0.8 | 2.335 | 30 | 26.666 |

従って、LVCMOS33の場合は内部Pull-Downが有効になっている場合で、外部処理で論理レベルを反対のレベルにする場合、 $R_{pd} = 20.9K\Omega$ と、VIH(MIN) = 2.0Vを考慮すると外部Pull Up = 11.86KΩ以下とします。

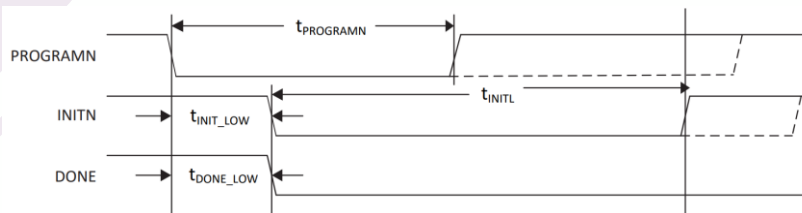
2.4 電源起動時のI/Oの挙動に関して 1/2



| Pin Name | Power up (Default State) | Initialization & Configuration | Wake up & User Mode |
|-------------|------------------------------------|--------------------------------|--------------------------------|
| 汎用IO | Hi-z and internal pull down | Hi-z and internal pull down | 開発ツールで設定している状態 |
| JTAG_ENABLE | Hi-z and internal pull down | Hi-z and internal pull down | Hi-z and internal pull down |
| PROGRAMN | Hi-z and internal pull up | 次のページ参照 | 次のページ参照 |
| INITN | Hi-z and internal pull up | 次のページ参照 | 次のページ参照 |
| DONE | Hi-z and internal pull up | 次のページ参照 | 次のページ参照 |
| MCLK | Hi-z and internal pull up/Down(注1) | Hi-z and internal pull up/Down | Hi-z and internal pull up/Down |
| MCSN | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| MOSI/MD0 | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| MISO/MD1 | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| MD2 | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| MD3 | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| CSNO/SDO | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| TCK/SCLK | Hi-z and internal pull up | Hi-z and external pull up | |
| TMS/SCSN | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| TDI/SI/SD0 | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| TDO/SO/SD1 | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| SD2/SCL | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |
| SD3/SDA | Hi-z and internal pull up | Hi-z and internal pull up | Hi-z and internal pull up |

2.4 電源起動時のI/Oの挙動に関して 2/2

PROGRAMN, INITN, DONEピンの挙動



| PROGRAMN Configuration Timing | | | | | | |
|-------------------------------|------------------------------|---|----|----|-----|---------------|
| t_{PROGRAMN} | PROGRAMN LOW pulse accepted | — | 50 | — | — | ns |
| $t_{\text{PROGRAMN_RJ}}$ | PROGRAMN LOW pulse rejected | — | — | — | 25 | ns |
| $t_{\text{INIT_LOW}}$ | PROGRAMN LOW to INITN LOW | — | — | — | 100 | ns |
| $t_{\text{INIT_HIGH}}$ | PROGRAMN LOW to INITN HIGH | — | — | 40 | — | μs |
| $t_{\text{DONE_LOW}}$ | PROGRAMN LOW to DONE LOW | — | — | — | 55 | μs |
| $t_{\text{DONE_HIGH}}$ | PROGRAMN HIGH to DONE HIGH | — | — | — | 2 | s |
| t_{IODISS} | PROGRAMN LOW to I/O Disabled | — | — | — | 125 | ns |

| | |
|----------|--|
| PROGRAMN | <p>入力ピン。PROGRAMN に印加される信号が High から Low に遷移すると、デバイスがコンフィグレーションモードになります。Low の最小期間は t_{PROGRAMN} として規定があります。t_{PROGRAMN} 時間以上 Low を保持した後に High へ遷移するとコンフィグレーションが開始されます。デバイスのコンフィグレーション中には、PROGRAMN ピンをトグルしないでください。ツール上で PROGRAMN_PORT を Disable 設定した場合は、GPIO となります。</p> <p>※PROGRAMN ピンに対して Jumper などをつけておき、SPI Flash へ書き込む際は、Jumper をショートして PROGRAMN ピンを Low にしておいた状態で、“Program Device” をクリックして書き込みを実行することを推奨します。書き込みが完了したら Jumper を Open にしてください。</p> |
| INITN | <p>双方向オープンドレインピン。コンフィグレーション中に Low が出力されると、SRAM の初期化中であることを表し、High になるとデバイスがコンフィグレーション・データの受け入れ準備ができたことを表します。また、Low にアサートされた後、t_{INITNL} 期間の間に外部から Low に保持すると、デバイスはコンフィグレーション・モードにはなりません。</p> <p>コンフィグレーションの開始後は、INITN はビットストリーム・エラーの表示に使用されます。コンフィグレーション中に何らかのエラーが検出されると INITN ピンは Low になり、デバイスがウェイクアップしません。</p> |
| DONE | <p>双方向オープンドレインピン。デバイスがコンフィグレーションを終了し、ユーザーモードに入ったことを示します。</p> <p>デバイスがコンフィグレーションを起動すると、DONE ピンは コンフィグレーション中に Low になり、コンフィグレーションが正常に完了すると High に遷移します。</p> |

2.5 デバッグ用I/F（Reveal）

■ Revealを使用する際の注意事項（Reveal：FPGAデバック用の内部信号観測ツール）

- RevealはJTAG IFを使用しFPGA内部の信号をPC上で観測することが可能です
- FPGAの設計時（試作基板）はRevealを使用するためのJTAG IFを設けることを推奨します

■ SSPIモードコンフィグレーション時のReveal使用方法

- CertusPro-NXのJTAGピンはSSPI用のピンと兼用になっているため、以下の2通りの方法でRevealを使用可能です
 - 1) SSPI用の回路とJTAG用の回路を基板上でwired orし、コンフィグレーション後にJTAGENピンを制御しJTAGとして使用
 - 2) 任意の汎用IOをJTAGとして使用

※任意の汎用IOを使用する場合はRadiantのReveal Inserter上でsoft JTAGを選択することで汎用IOに割り当てが可能

※soft JTAG アサイン時は同一BANKへ接続し、TCKはクロック入力専用ピンとする必要あり

3. sysIO BANK関連

3.1 BANK構成

■BANK構成の概要

- CertusPro-NXはBANK0~7のsysIO BANKで構成されています
- BANK0、1、2、6、7では1.0V~3.3VのSingle-Ended IOをサポートしています
- BANK3、4、5ではStaticとDynamicのTerminationがあり、Differential IOやDDR Memory IFをサポートしています
- BANK3、4、5ではVREFを保有しており、同じBANKで2つの異なるレベルの入力が可能です
- BANK0、1、2、6、7ではHot Socketに対応し、BANK3、4、5では非対応です

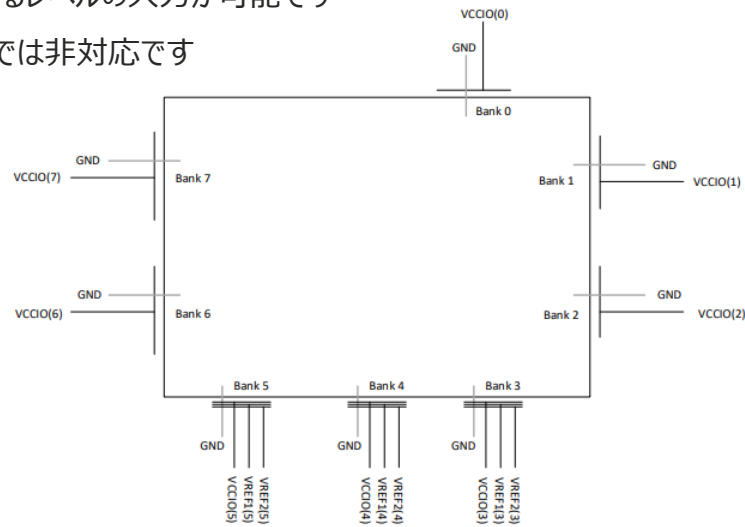


Figure 2.27. sysI/O Banking

3.2 BANK毎のI/O Standard

■各I/O Standardと対応BANKまとめ

| Single-Ended I/O Standards | | | |
|----------------------------|--------------------|--------------------|----------------------------------|
| | INPUT | OUTPUT | Bi-Directional |
| LVTTTL33 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 |
| LVCOS33 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 |
| LVCOS25 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 |
| LVCOS18 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 |
| LVCOS15 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 |
| LVCOS12 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 | BANK 0, 1, 2, 6, 7 |
| LVCOS10 | BANK 0, 1, 2, 6, 7 | - | - |
| LVCOS18H | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| LVCOS15H | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| LVCOS12H | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| LVCOS10H | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| LVCOS10R | BANK 3, 4, 5 | - | BANK 3, 4, 5 *OutputはLVCOS10H |
| HTSL15 _ Class I | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| SSTL15 _ Class I , II | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| SSTL135 _ Class I , II | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| HSUL12 | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| LVSTL _ Class I , II | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| MIPI D-PHY LP mode | BANK 3, 4, 5 | BANK 3, 4, 5 | - |

| Differential I/O Standards | | | |
|----------------------------|--------------|--------------------|----------------|
| | INPUT | OUTPUT | Bi-Directional |
| HTSL15D _ Class I | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| LVTTTL33D | - | BANK 0, 1, 2, 6, 7 | - |
| LVCOS33D | - | BANK 0, 1, 2, 6, 7 | - |
| LVCOS25D | - | BANK 0, 1, 2, 6, 7 | - |
| SSTL15D _ Class I , II | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| SSTL135D _ Class I , II | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| HSUL12D | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| LVDS | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| LVDSSE | - | BANK 0, 1, 2, 6, 7 | - |
| SUBLVDS | BANK 3, 4, 5 | - | - |
| SUBLVDSSE | - | BANK 0, 1, 2, 6, 7 | - |
| SUBLVDSSEH | - | BANK 3, 4, 5 | - |
| SLVS | BANK 3, 4, 5 | BANK 3, 4, 5 | - |
| MIPI D-PHY | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |
| LVSTLD _ Class I , II | BANK 3, 4, 5 | BANK 3, 4, 5 | BANK 3, 4, 5 |

MIPI D-PHYはuser logicを使用したSoft D-PHYを指します。

3.3 Mixed Voltage Mode

■各VCCIO電圧と入力可能なI/O Standardまとめ

- VCC, VCCAUX, VCCIOの3電源を用いることにより各BANKは以下の通りMixed Voltageに対応しています
- 通常使用する場合と比較しI/OのHysteresisおよび消費電力に差分があります

| Wide Range Input Buffers (BANK0, 1, 2, 6, 7) | | | | | | |
|--|-----------|-----------|-----------|-----------|-----------|-----------|
| VCCIO | LVC MOS10 | LVC MOS12 | LVC MOS15 | LVC MOS18 | LVC MOS25 | LVC MOS33 |
| 1.2 | ✓ | ✓ | ✓ | | | |
| 1.5 | ✓ | ✓ | ✓ | ✓ | | |
| 1.8 | ✓ | ✓ | ✓ | ✓ | | |
| 2.5 | ✓ | ✓ | ✓ | ✓ | ✓ | |
| 3.3 | ✓ | ✓ | ✓ | ✓ | ✓ | ✓ |

| High Performance Input Buffers (BANK3, 4, 5) | | | | |
|--|------------|------------|------------|------------|
| VCCIO | LVC MOS10H | LVC MOS12H | LVC MOS15H | LVC MOS18H |
| 1.0 | ✓ | | | |
| 1.2 | ✓ | ✓ | | |
| 1.5 | ✓ | ✓ | ✓ | |
| 1.8 | ✓ | ✓ | ✓ | ✓ |

4. 差動信号関連

4.1 LVDSの注意事項

■LVDS入力の注意事項

- LVDSの入力バッファは $V_{CCAUX} = 1.8V$ によって動作し、BANK3、4、5 でサポート (V_{CCIO} に他電圧を接続していてもLVDSの入力は可能)
- BANK3、4、5においてすべての差動ペア間にプログラマブル (ON/OFF可能) な100Ω入力終端を内蔵

■LVDS出力の注意事項

- LVDSの出力バッファは $V_{CCIO} = 1.8V$ によって動作し、BANK3、4、5 でサポート (該当BANKに供給すべき電圧は必然的に1.8Vになるためご注意ください)
- BANK3、4、5でTRUE LVDS出力を使用する場合は外付け抵抗は必要ありません

■LVDS入出力の共通の注意事項

- 使用するIOは必ず差動ペアを選択 (T側がTrue_、C側がComplementary)
ex) “True_OF_PL3B”と“Comp_OF_PL3A”がペア
- 差動LVDS入力として扱った場合、内部Pull-upが有効にならないため転送用ケーブルが外れるようなアプリケーションの場合には Floating 防止のため外部での処理が必要です。フェイルセーフ保護として V_{THD} がデバイス内に設けられておりますが、 V_{THD} を超えるような差動ノイズを拾うとレシーバはスイッチングや発信など、デバイス内で問題を引き起こす可能性があります。

4.2 LVDS Emulate出力の注意事項

■ LVDS Emulate (LVDSE) 出力の注意事項

- LVDSEは出力のみサポートされ、基板上に外付け抵抗を設けることで疑似的にLVDS出力を行うことが可能
- BANK0、1、2、6、7で $V_{CCIO} = 2.5V$ でサポート
- 使用するIOは必ず差動ペアを選択（T側がTrue、C側がComplementary）

ex) “True_OF_PB26B”と“Comp_OF_PB26A”がペア

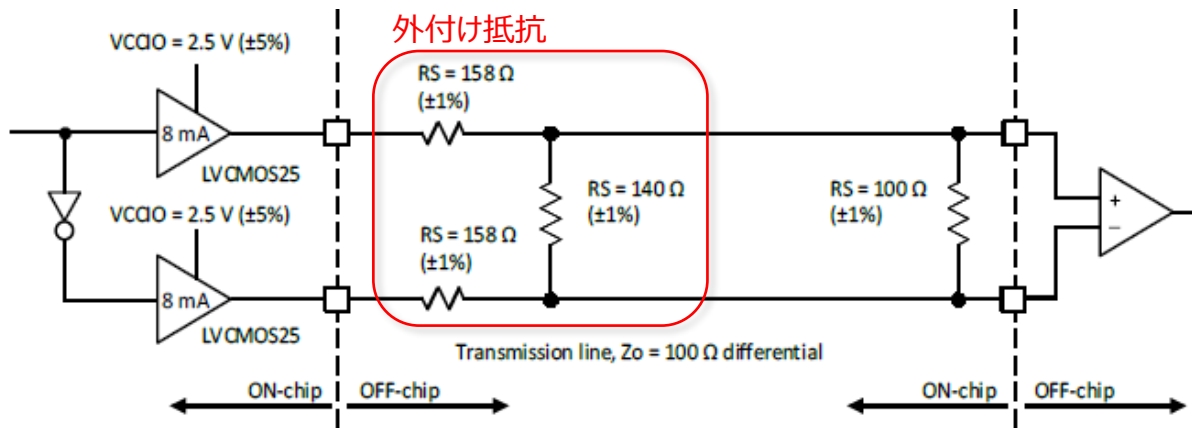


Figure 3.2. LVDS25E Output Termination Example

4.3 subLVDSの注意事項

■ subLVDS入力の注意事項

- LVDSの入力バッファは $V_{CCAUX} = 1.8V$ によって動作し、BANK3、4、5 でサポート (V_{CCIO} に他電圧を接続していてもLVDSの入力は可能)
- BANK3、4、5においてすべての差動ペア間にプログラマブル (ON/OFF可能) な100Ω入力終端を内蔵

■ subLVDS出力の注意事項

- subLVDS出力は基板上に外付け抵抗を設け、 $V_{CCIO} = 1.8V$ によって動作
- Bank 0, Bank 1, Bank 2, Bank 6, Bank 7では、“subLVDSSE”、
Bank 3, Bank 4, and Bank 5では “subLVDSSEH” でサポートされ LVCMOS18Hバッファに依存

■ subLVDS入出力の注意事項

- 使用するIOは必ず差動ペアを選択 (T側がTrue_、C側がComplementary)
ex) “True_OF_PB36B”と“Comp_OF_PB36A”がペア

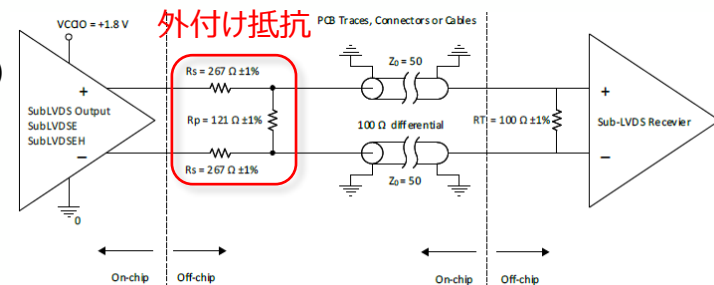


Figure 3.4. SubLVDS Output Interface

4.4 GDDR (Generic DDR) レジスタ 1/2

■GDDR (Generic DDR) レジスタを使用する場合の注意事項

- X1 (1:2) ,X2 (1:4) ,X4 (1:8) 、X5 (1:10) ,X71 (1:7) の変換をGDDR (ハードマクロ) でサポートされています
 - ※入力側はシリパラ変換、出力側はパラシリ変換を行います
- IFをLVDS (差動) として使用される場合はBANK 3, 4, 5のみ対応しています
 - ※使用するIOは必ず差動ペアを選択する必要があります (T側がTrue,C側がComplementary)
- IFをLVCMOSとして使用される場合はBANK 0, 1, 2, 6, 7のみ対応しています
- クロックはPCLKピンヘアサインする必要があります

4.4 GDDR (Generic DDR) レジスタ 1/2

■GDDR (Generic DDR) レジスタを使用する場合の注意事項

- Data Sheet記載のGDDR71 の Input Requirement に関しては、以下のように解釈可能です
- GDDR71 において必要な eye 開口ウィンドウは、1/2 UI を起点として t_{RPBi_DVA} (ns)及び t_{RPBi_DVE} (ns)設ける必要があります

| Video DDRX71 Inputs/Outputs with Clock and Data Aligned at Pin (GDDR71_RX.ECLK) using PLL Clock Input – Figure 3.12 and Figure 3.13 | | | | | | | | |
|---|---|-------|--------|-------|--------|-------|--------|-------------|
| t_{RPBi_DVA} | Input Valid Bit "i" switch from CLK Rising Edge ("i" = 0 to 6, 0 aligns with CLK) | — | 0.264 | — | 0.264 | — | 0.300 | UI |
| | | — | -0.250 | — | -0.250 | — | -0.249 | ns+(½+i)×UI |
| t_{RPBi_DVE} | Input Hold Bit "i" switch from CLK Rising Edge ("i" = 0 to 6, 0 aligns with CLK) | 0.761 | — | 0.761 | — | 0.700 | — | UI |
| | | 0.276 | — | 0.276 | — | 0.249 | — | ns+(½+i)×UI |

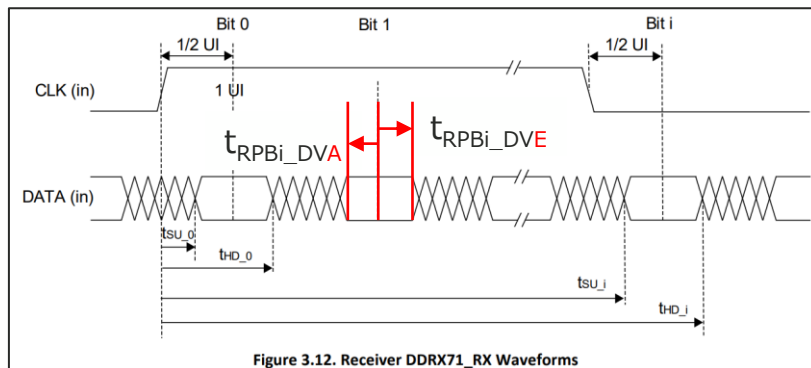


Figure 3.12. Receiver DDRX71_RX Waveforms

5. コンフィグレーション関連

5.1 コンフィグレーションモード概要

■ Master SPI Modes

- SPI Flash Memoryと直接接続し、コンフィグレーションを行います。
- メモリとのデータバスは、[Serial/Dual/Quad](#)の3つから選択可能で、最大150MHzの速度に対応可能です。
複数のコンフィグレーションデータをSPI Flashに格納し、ブートする方法は、以下の3種類があります。
- [Dual boot/Multi boot/Ping-Pong boot](#)

■ Slave SPI Mode

- CPU等からSPI経由で接続し、コマンドによりコンフィグレーションを行います。
- データバスは、[Serial/Dual/Quad](#)の3つから選択可能で、最大150MHzの速度に対応可能です。

■ Slave I2C/I3C Mode

- CPU等からI2C/I3C経由で接続し、コマンドによりコンフィグレーションを行います。

■ JTAG Mode

- JTAGポートを介してコンフィグレーションを行うモードです。

5.2 コンフィグレーションモード選択方法 1/2

各コンフィグレーションモードの選択方法を記載します。

■ Master SPI

- デバイス起動後、Master SPI Portはデフォルトでenableになっています。
- ユーザーモードでMaster SPI Portを維持するためには、RadiantのConstraint EditorにてMaster_spi_portにSERIAL,DUAL,QUADのいずれかを設定します。

■ Slave SPI

- デバイス起動後、PROGRAMNをLに保持し、Slave SPI portのSCSNをドライブし、Activation key(Table 6.4.) をMaster側から入力します。
- アクティベート後はPROGRAMNはL保持でもHへReleaseしても構いませんが、次のPROGRAMNのFalling edgeでアクティベーションはリセットされます
- ユーザーモードでSlave SPI Portを維持するためには、RadiantのConstraint EditorにてSlave_spi_portにSERIAL,DUAL,QUADのいずれかを設定します。

Table 6.4. Slave SPI Configuration Port Activation Key

| Slave Port/ Activation Key | Slave Configuration Port Activation Key | |
|----------------------------|---|--------------|
| Slave SPI Port | Dummy Bytes* | 32'HA4C6F48A |

Note : The number of dummy bytes should be at least 1 only last shifted in 32 bits matters.

5.2 コンフィグレーションモード選択方法 2/2

各コンフィグレーションモードの選択方法を記載します。

■ Slave I2C/I3C

- デバイス起動後、PROGRAMNをLに保持し、Activation key(Table 6.8)をMaster側からSlave addressにWriteします。
- アクティベート後はPROGRAMNはL保持でもHへReleaseしても構いませんが、次のPROGRAMNのFalling edgeでアクティベーションはリセットされます
- ユーザーモードでSlave I2C/I3C portを維持するためには、RadiantのConstraint EditorにてSlave_i2ci3c_portに SERIAL,DUAL,QUADのいずれかを設定します。

Table 6.8. Slave SPI Configuration Port Activation Key

| Slave Port/ Activation Key | Slave Configuration Port Activation Key | |
|-----------------------------|---|--------------|
| Slave I ² C Port | Slave I2C Port Address* | 32'HA4C6F48A |

*Note : The slave I2C/I3C address could be either 7 bits or 10 bits address

■ JTAG

- JTAG経由でのコンフィグレーションを行う場合は、JTAG_ENABLE pinをHにドライブする必要があります
- JTAG_ENABLE pinがHにドライブされた状態では、JTAG portでのコンフィグレーションが最優先されます

5.3 各コンフィグレーションモードにおける使用ピン

各コンフィグレーションモード中に使用するピンと、コンフィグ中の内部Pull状態は以下の通りです。

各ピンのボード上での外付けプルアップ/ダウン抵抗等の接続に関しては、後述の回路例をご確認ください。

| ピン名 | コンフィグ中 内部Pull状態 | コンフィグレーションモード | | | |
|------------|--------------------|---------------|------------|---------|---------|
| | | JTAG | MSPI | SSPI | I2C/I3C |
| JTAG_EN | DOWN | 1'b1 | 1'bx | 1'b0 | 1'b0 |
| PROGRAMN | UP | 1'b0 | 1'b1 | 1'b0 | 1'b0 |
| INITN | UP | INITN | | | |
| DONE | UP | DONE | | | |
| MCLK | UP/DOWN | - | MCLK | - | - |
| MCSN | UP | - | MCSN | - | - |
| MOSI/MD0 | UP | - | MOSI/D0 | - | - |
| MISO/MD1 | UP | - | MISO/D1 | - | - |
| MD2 | UP | - | D2 | - | - |
| MD3 | UP | - | D3 | - | - |
| MCSNO/MSDO | UP | - | MCSNO/MSDO | - | - |
| TCK/SCLK | UP | TCK | - | SCLK | - |
| TMS/SCSN | UP | TMS | - | SCSN | - |
| TDI/SI/SD0 | UP | TDI | - | MOSI/D0 | - |
| TDO/SO/SD1 | UP | TDO | - | MISO/D1 | - |
| SD2/SCL | UP | - | - | D2 | SCL |
| SD3/SDA | UP | - | - | D3 | SDA |

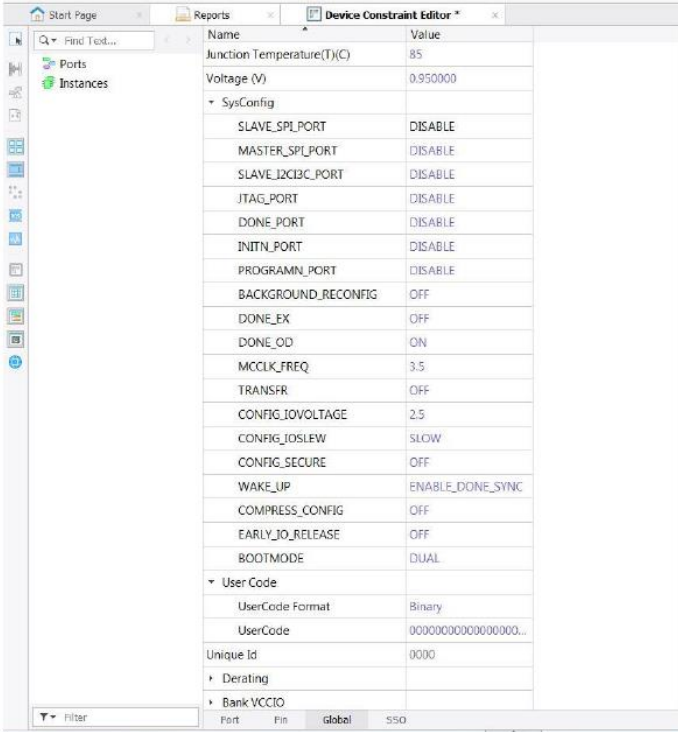
※MCLKの内蔵プルアップ、ダウンは、コントロールレジスタの設定(CPOL)で変更可能です。

詳細はLattice社TN-02099-1-0-CrossLink-NX-sysCONFIG-Usage-Guideをご確認ください。

5.4 開発ツール上の設定 1/4

コンフィグレーション関連ピンの設定や、Boot modeの選択などは、開発ツールRadiant上で行います。

RadiantのDevice Constraint EditorのGlobalタブで設定可能な項目について説明します。



The screenshot shows the Lattice Radiant Device Constraint Editor interface. The main window displays a table of configuration parameters under the 'Global' tab. The table has two columns: 'Name' and 'Value'. The parameters are organized into expandable sections: 'Ports', 'Instances', 'SysConfig', 'User Code', and 'Derating'. The 'SysConfig' section is expanded, showing various parameters and their values.

| Name | Value |
|----------------------------|---------------------|
| Junction Temperature(T)(C) | 85 |
| Voltage (V) | 0.950000 |
| + SysConfig | |
| SLAVE_SPL_PORT | DISABLE |
| MASTER_SP_PORT | DISABLE |
| SLAVE_I2C1C_PORT | DISABLE |
| JTAG_PORT | DISABLE |
| DONE_PORT | DISABLE |
| INITN_PORT | DISABLE |
| PROGRAMN_PORT | DISABLE |
| BACKGROUND_RECONFIG | OFF |
| DONE_EX | OFF |
| DONE_OD | ON |
| MCCLK_FREQ | 3.5 |
| TRANSFR | OFF |
| CONFIG_IOVOLTAGE | 2.5 |
| CONFIG_IOSLEW | SLOW |
| CONFIG_SECURE | OFF |
| WAKE_UP | ENABLE_DONE_SYNC |
| COMPRESS_CONFIG | OFF |
| EARLY_IO_RELEASE | OFF |
| BOOTMODE | DUAL |
| + User Code | |
| UserCode Format | Binary |
| UserCode | 0000000000000000... |
| Unique Id | 0000 |
| + Derating | |
| + Bank VCCIO | |

Figure 7.1. sysCONFIG Preferences in Global Tab, Lattice Radiant Device Constraint Editor

5.4 開発ツール上の設定 2/4

| sysConfig | 設定項目 | 内容 |
|-------------------|---|--|
| SLAVE_SPI_PORT | DISABLE (Default) SERIAL DUAL QUAD | SERIAL/DUAL/QUADに設定した場合、ユーザーモードにおいても、当該ピン（SCLK, SCSN, SI/SD0, SO/SD1, SD2, SD3）がpreserveされます。 Slave SPI Modeでコンフィグレーションを行う際は設定しておくことを推奨します（当該ピンにユーザー信号を意図せずアサインしてしまうことを防ぐため） |
| MASTER_SPI_PORT | DISABLE (Default) SERIAL DUAL QUAD | SERIAL/DUAL/QUADに設定した場合、ユーザーモードにおいても、当該ピン（MCLK, MCSN, MOSI/MD0, MISO/MD1, MD2, MD3）がpreserveされます。 Master SPI Modeでコンフィグレーションを行う際は設定しておくことを推奨します（当該ピンにユーザー信号を意図せずアサインしてしまうことを防ぐため） また、JTAG to SPIモードでFlashへ書き込みを行う際も設定が必要です |
| SLAVE_I2CI3C_PORT | DISABLE (Default) ENABLE | ENABLEに設定した場合、ユーザーモードにおいても、当該ピン（SD2/SCL, SD3/SDA）がpreserveされます。 Slave I2C/I3C modeでコンフィグレーションを行う際は設定しておくことを推奨します（当該ピンにユーザー信号を意図せずアサインしてしまうことを防ぐため） |
| JTAG_PORT | DISABLE ENABLE (Default) | ENABLEに設定した場合、ユーザーモードにおいても、当該ピン（TCK, TMS, TDI, TDO）がpreserveされます。 コンフィグレーションモードに関わらず、基本的にENABLEに設定しておくことを推奨します （DISABLEに設定した場合であっても、JTAG_ENピン外部プルアップすることで、JTAGポートがDISABLEの設定であってもJTAGポートは専用ピンとして扱われます） |
| DONE_PORT | DISABLE ENABLE (Default) | ENABLEに設定した場合、ユーザーモードにおいても、DONEピンがpreserveされます。 DONEピンはコンフィグレーション完了を通知する信号ですので、ENABLEに設定して頂くことを推奨いたします。 |
| INITN_PORT | DISABLE ENABLE (Default) | ENABLEに設定した場合、ユーザーモードにおいても、INITNピンがpreserveされます。 INITNは、コンフィグレーションエラーを通知したり、外部からL保持することでコンフィグレーション開始タイミングを制御することができる信号ですので、ENABLEに設定しておくことを推奨いたします。 |
| PROGRAMN_PORT | DISABLE ENABLE (Default) | ENABLEに設定した場合、ユーザーモードにおいても、PROGRAMNピンがpreserveされます。 PROGRAMNは、ユーザーモードから再コンフィグレーションを行うことが可能な信号です。デバッグ時に役立ちますので、ENABLEに設定しておくことを推奨いたします。 |

5.4 開発ツール上の設定 3/4

| sysConfig | 設定項目 | 内容 |
|---------------------|--|---|
| BACKGROUND_RECONFIG | OFF (Default) ON SRAM_EBR SRAM_ONLY | 再コンフィグレーション時に、ユーザロジックによる動作を継続したまま、バックグラウンドでコンフィグレーションさせるモードをTransparentアクセスモードと呼びます。そのモード設定と、書き込む内容を設定します。 OFF…コンフィグ完了までユーザロジックは動作しない ON …ユーザロジックを動作させたまま、SRAM、EBR、IPの書き込み可能 SRAM_EBR…ユーザロジックを動作させたまま、SRAM、EBRの書き込み可能 SRAM_ONLY…ユーザロジックを動作させたまま、SRAMの書き込み可能 |
| DONE_EX | OFF (Default) ON | 外部信号からWake upタイミングを制御するために使用します。 通常、コンフィグレーションが完了すると、デバイス内部のDone bitがHとなります。 OFF…Done bitがHとなった後に、外部制御によるDONEピンの状態に関わらず、デバイスがWake upします ON…Done bitがHとなった後に、外部制御によってDONEピンがLに保持されている場合はWake upせず、HにドライブされるとWake upします なお、後述のWAKE UPを適切に設定頂く必要があります |
| DONE_OD | ON (Default) OFF | DONEピンをオープンドレイン出力の設定にします。 |
| MCLK_Frequency | 3.5 (Default) 7.0/14.1/28.1/56.2/90/112.5/150 | 外付けSPI Flashからコンフィグする場合のクロック周波数を設定します。 精度は±10%です。 |
| TRANSFR | ON (Default) OFF | TransFR機能の設定をします |

5.4 開発ツール上の設定 4/4

| sysConfig | 設定項目 | 内容 |
|------------------|---|--|
| CONFIG_IOVOLTAGE | 2.5(Default) 1.0/1.2/1.5/1.8/2.5/3.3 | コンフィグ関連ピンが存在するbank0, 1の電圧を設定します |
| CONFIG_IOSLEW | SLOW (Default) MEDIUM FAST | コンフィグ関連ピンのSlew Rateを変更できます。基板環境の違いに簡単に適合することが可能です。 |
| CONFIG_SECURE | OFF (Default) ON | ONの場合、sysCONFIGやJTAGポートからのリードバックを防ぎます。 |
| WAKE UP | ENABLE_DONE_SYNC (Default) DISABLE_DONE_SYNC | ENABLE_DONE_SYNC…外部DONEピンと同期してデバイス起動します。このオプションを選択する場合は、DONE_EXをONにする必要があります。 DISABLE_DONE_SYNC…外部DONEピンと同期しません。DONE_EXをOFFにする必要があります。 |
| COMPRESS_CONFIG | OFF (Default) ON | 圧縮したBitstreamファイルを生成するかどうかを選択します。 |
| EARLY_IO_RELEASE | OFF (Default) ON | Bank1,2,6,7のI/Oに関してEARLY_IO_RELEASEを行うか選択します |
| BOOTMODE | DUAL (Default) SINGLE NONE | Dual…デュアルブートを実行します。失敗した場合でもデバイスを起動させるためゴールデンブートイメージが呼び出されます。 SINGLE…シングルブートを実行します。失敗した場合、デバイスは未プログラム状態になります。 NONE…Master SPIでのブートではない場合に選択します。Slaveコンフィグレーションポートにてコンフィグされることを待ちます。 |

5.5 コンフィグレーションフロー 1/4

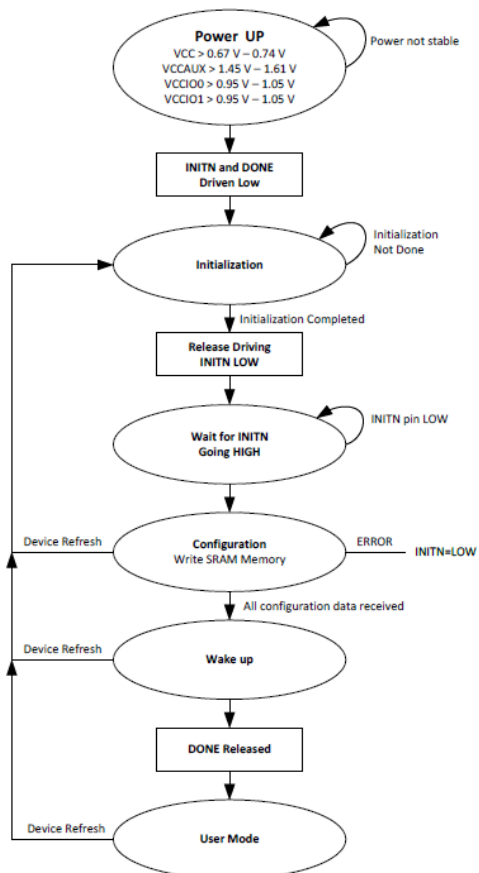


Figure 5.1. Master Port Configuration Flow

1 . Power UP

電源が以下の条件を満たすとき、Power On Resetがかかります

- $V_{cc} > 0.73 \text{ V} - 0.83 \text{ V}$
- $V_{ccaux} > 1.34 \text{ V} - 1.62 \text{ V}$
- $V_{ccio0} > 0.89 \text{ V} - 1.05 \text{ V}$
- $V_{ccio1} > 0.89 \text{ V} - 1.05 \text{ V}$

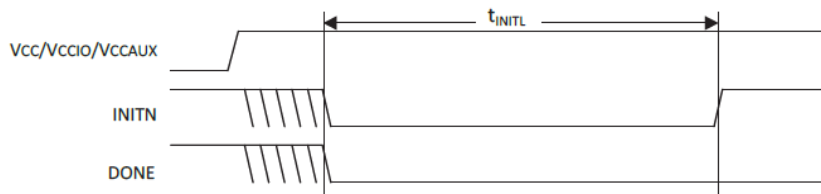


Figure 5.2. Configuration from Power-On-Reset Timing

5.5 コンフィグレーションフロー 2/4

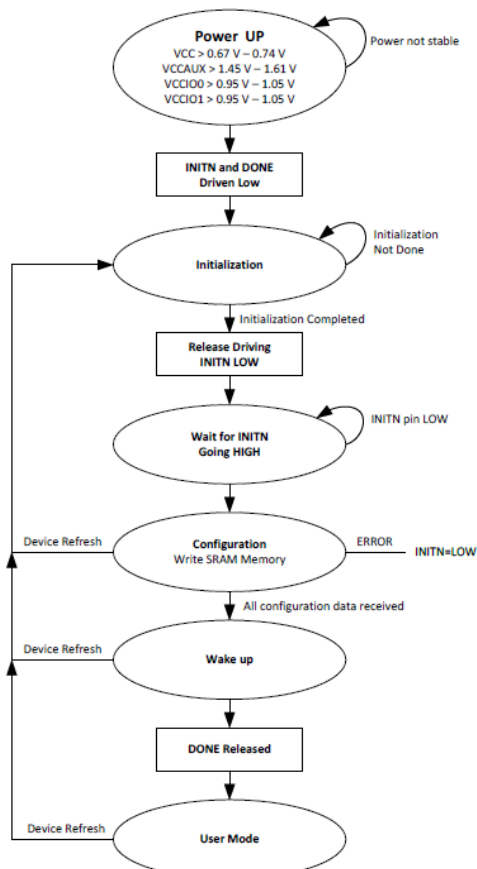


Figure 5.1. Master Port Configuration Flow

2 . Initialization

Power on reset回路により、INITNとDONEがLowにドライブされた後、デバイスはInitiarizationステートに入り、全てのSRAM領域が初期化されます。下記条件全てが満たされるまで、初期化状態を保ちます。

- tINIL時間経過
- PROGRAMNピンがディアサート
- INITNピンが外部Masterによりアサートされていない

tINITLの期間、FPGA内の全てのSRAM領域がクリアされます。初期化が完了すると、INITNをリリースし、外付け抵抗によりHにプルアップされます。

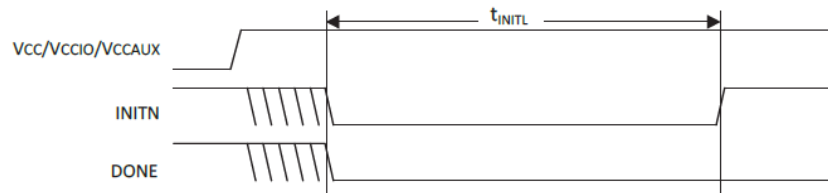


Figure 5.2. Configuration from Power-On-Reset Timing

5.5 コンフィグレーションフロー 3/4

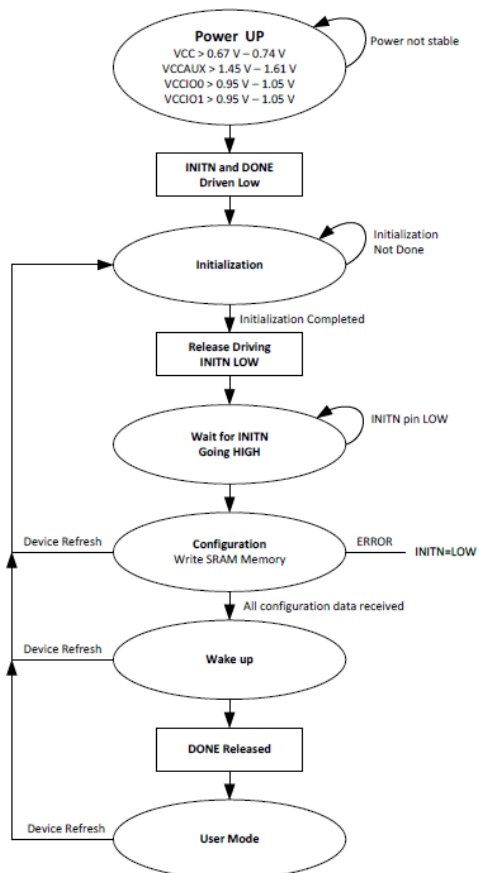


Figure 5.1. Master Port Configuration Flow

3 . Configuration

初期化が完了後、外付け抵抗によりINITNがHになるとコンフィグレーションが開始します。その後のコンフィグレーションにおいてエラーが発生した際はINITNは再度Lにドライブされます。

5.5 コンフィグレーションフロー 4/4

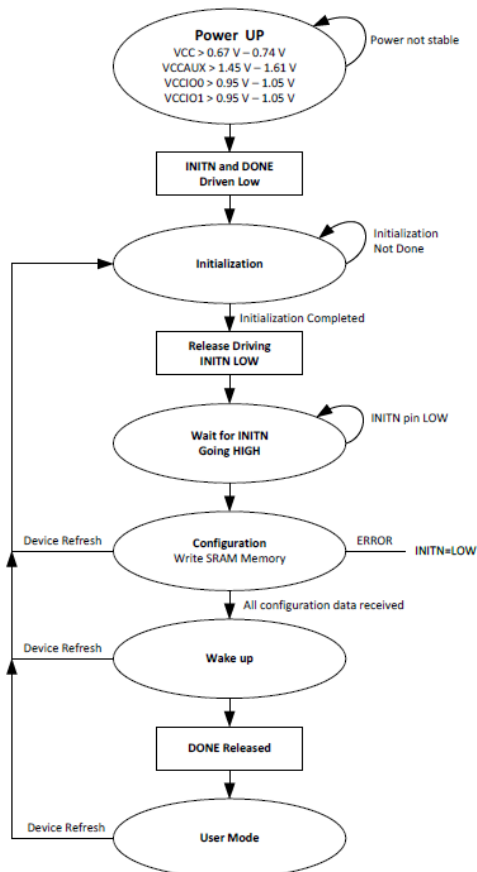


Figure 5.1. Master Port Configuration Flow

4 . Wake Up

コンフィグレーションモードからユーザーモードへの移行ステートです。

デバイスがすべてのコンフィグレーションデータを受信すると、内部DONE status bitをアサートし、

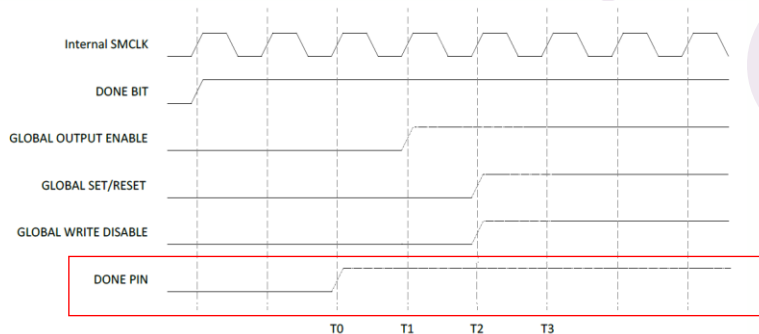
以下の制御を実行します。

- Global Set/Reset (GSR)
アサートされると、すべてのI/O FF, FF, LUT, 分散RAM, EBRがSet/Resetされます
- Global Output Enable (GOE)
アサートされると、I/OのHi-z状態を終了し、プログラムされたI/Oの状態となります。
- Global Write Enable (GWE)
アサートされると、RAMロジックのWrite Enableを有効にします
GWEディアサートに保持することで、意図せぬRAMリソースの破損を防ぎます。
- External DONE
DONEピンをリリースし、コンフィグレーションの完了を示します。

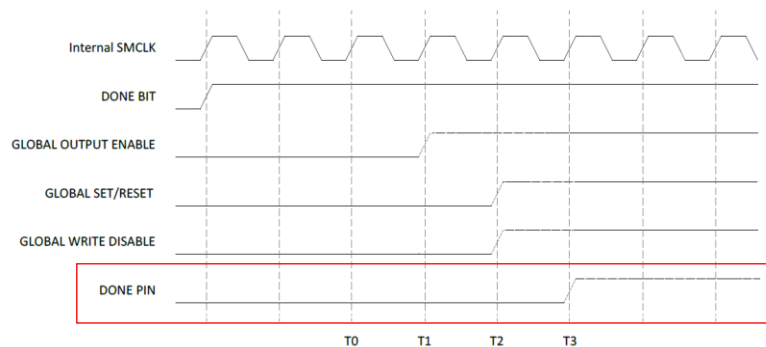
補足 Wake UpにおけるDONEピンの挙動に関して

DONEピンの挙動は、RadiantのGlobal PreferenceにおけるWake Upの設定によって変わります。

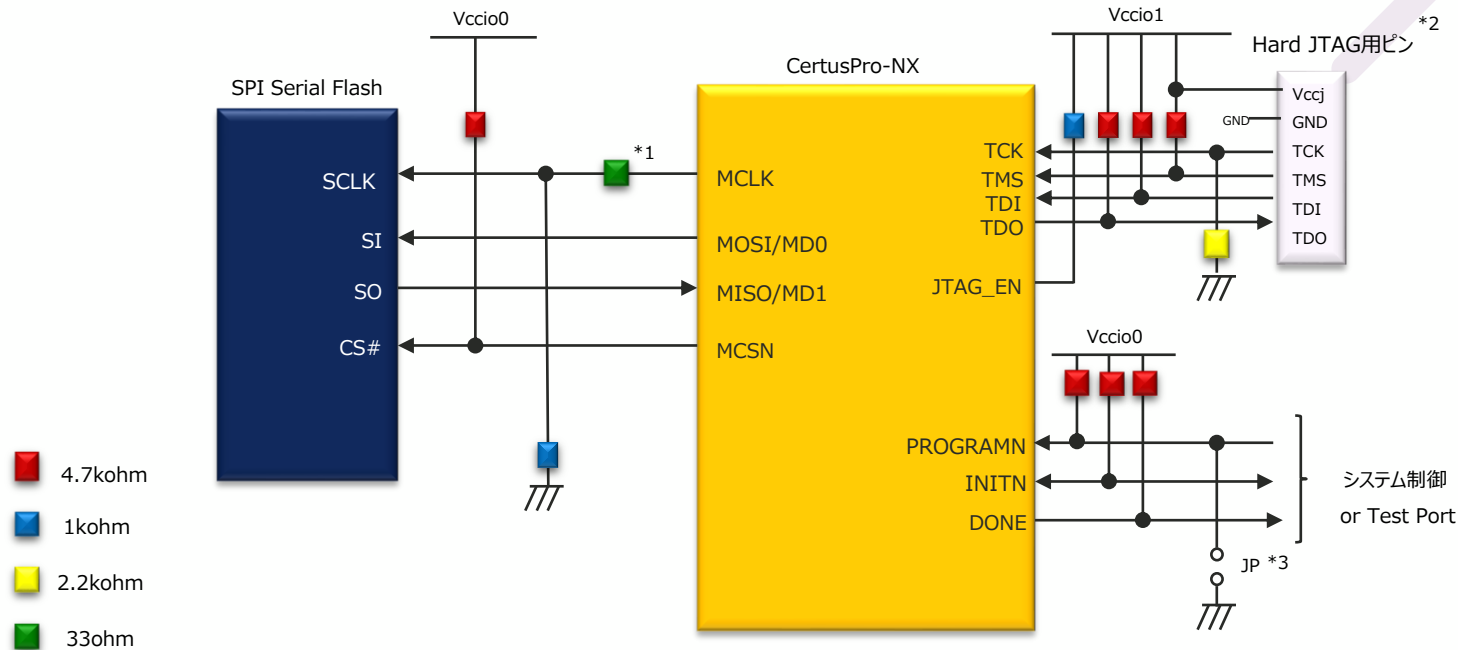
- ENABLE_DONE_SYNC (デフォルト)
…DONEピンがアサートしてからWake upシーケンス開始



- DISABLE_DONE_SYNC
…GSR, GOE, GWDIS後にDONEピンがアサート



5.6 回路例 : Master SPI Serial

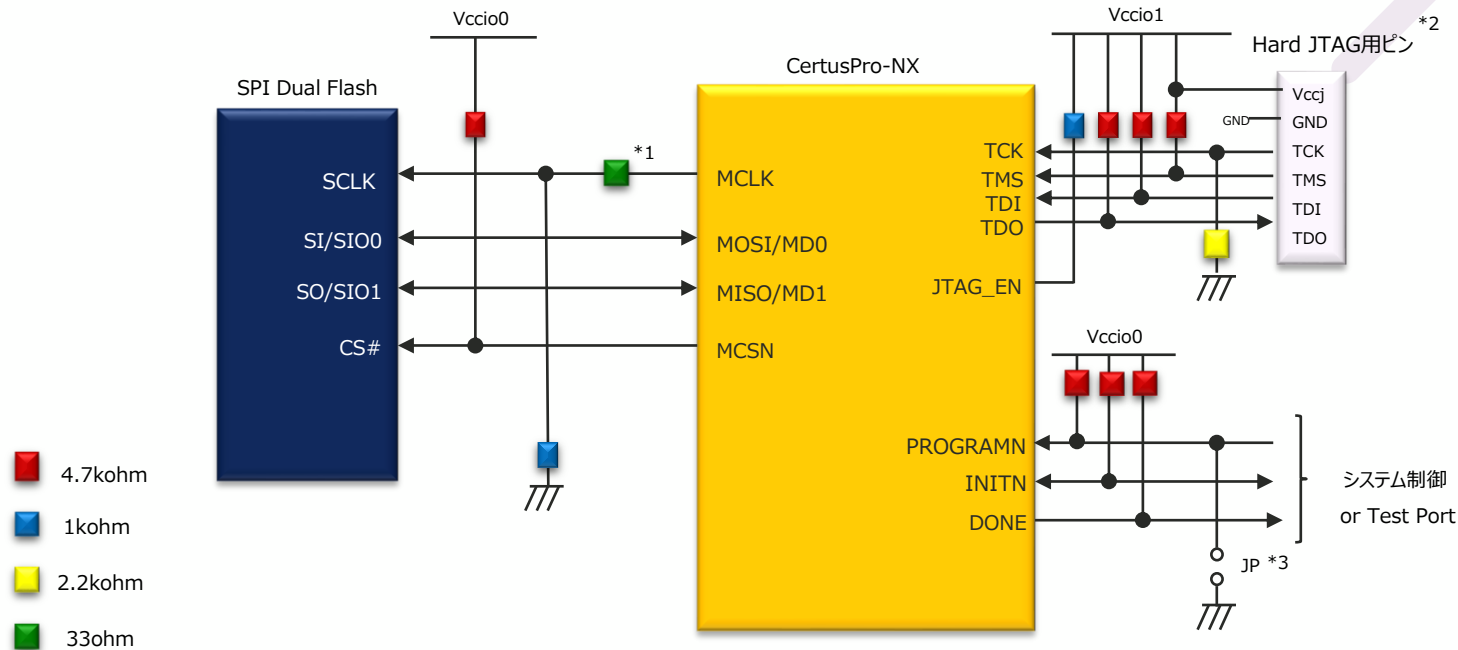


*1 MCLKを高速に設定したり、Slew RateをFastに設定した場合は、33Ωダンピング抵抗を挿入し、波形にオーバーシュート/アンダーシュートが無いことをご確認ください

*2 JTAG Portは外部Flashへの書き込み及びDebug時に必要となりますので必ず設定してください

*3 PROGRAMNは外部からLowへ保持できるようにJP等を設置してください

5.6 回路例 : Master SPI Dual

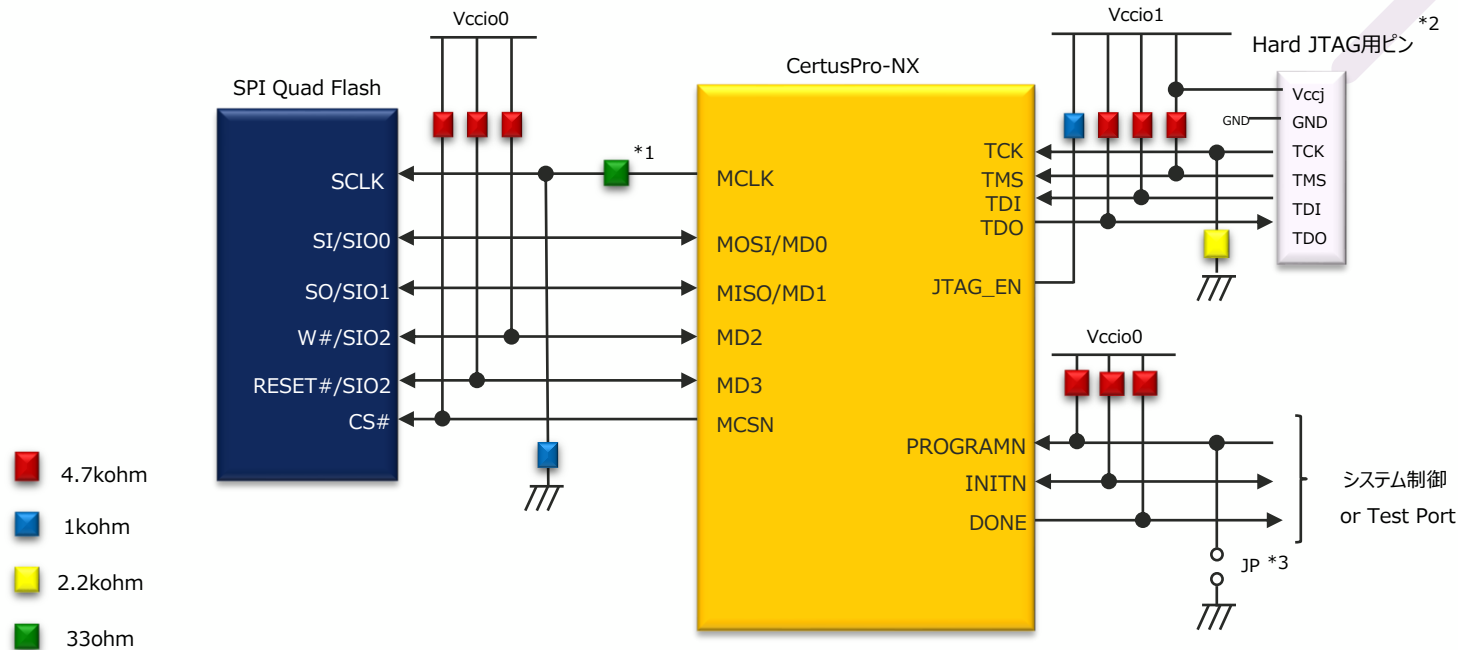


*1 MCLKを高速に設定したり、Slew RateをFastに設定した場合は、33Ωダンピング抵抗を挿入し、波形にオーバーシュート/アンダーシュートが無いことをご確認ください

*2 JTAG Portは外部Flashへの書き込み及びDebug時に必要となりますので必ず設定してください

*3 PROGRAMNは外部からLowへ保持できるようにJP等を設置してください

5.6 回路例 : Master SPI Quad

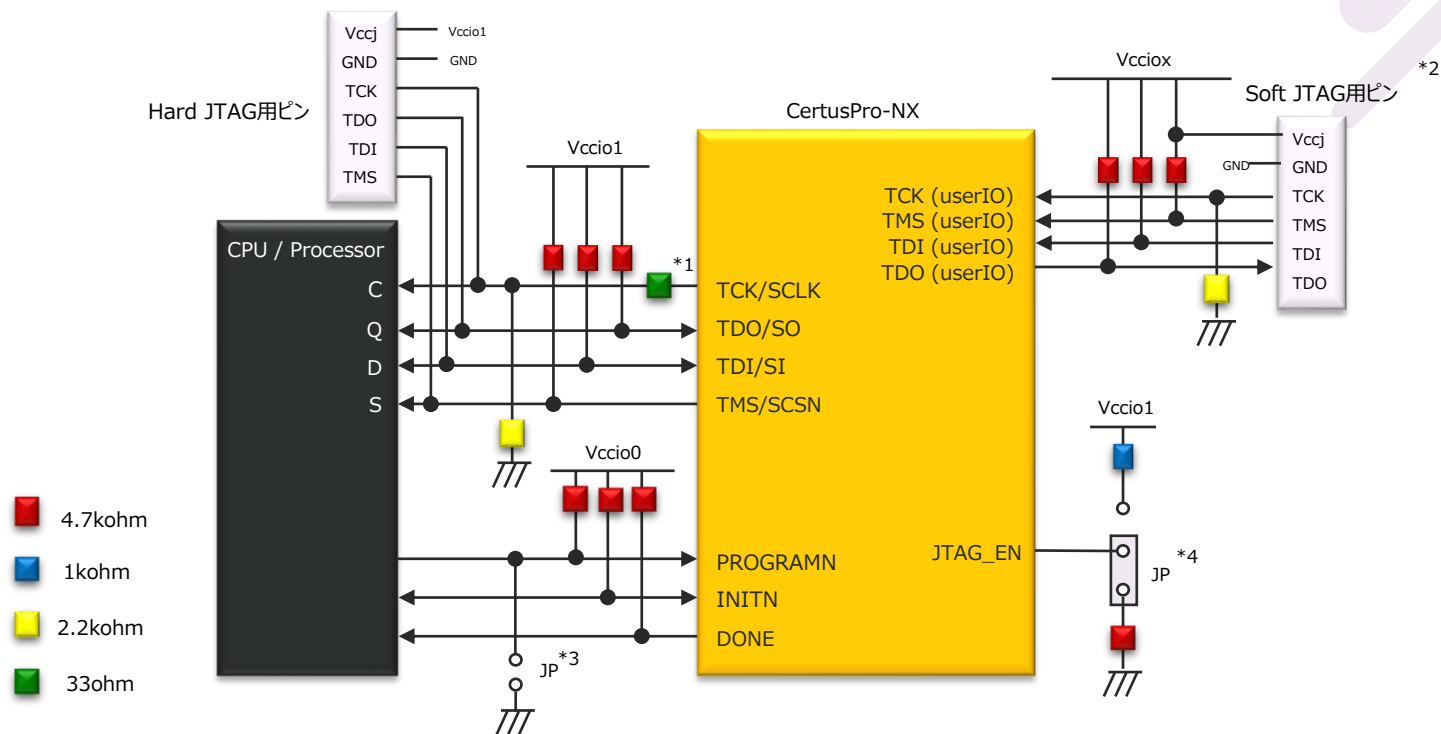


*1 MCLKを高速に設定したり、Slew RateをFastに設定した場合は、33Ωダンピング抵抗を挿入し、波形にオーバーシュート/アンダーシュートが無いことをご確認ください

*2 JTAG Portは外部Flashへの書き込み及びDebug時に必要となりますので必ず設定してください

*3 PROGRAMNは外部からLowへ保持できるようJP等を設置してください

5.6 回路例 : Slave SPI



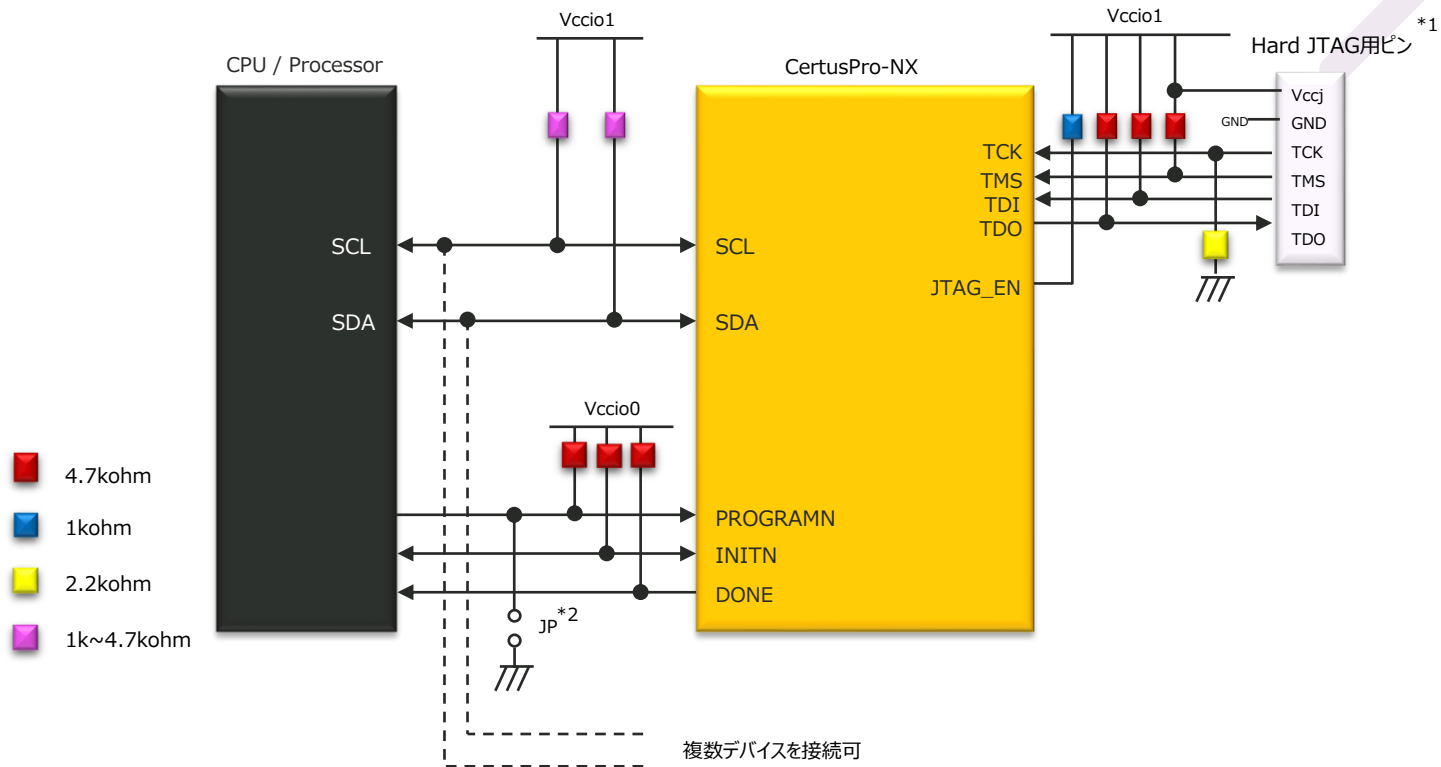
*1 MCLKを高速に設定したり、Slew RateをFastに設定した場合は、33Ωダンピング抵抗を挿入し、波形にオーバーシュート/アンダーシュートが無いことをご確認ください

*2 Debug用途としてsoft JTAG Portを設けるようにしてください

*3 PROGRAMNは外部からLowへ保持できるようにJP等を設置してください

*4 JTAGコンフィグレーションをする場合はJPをプルアップ側に接続できるようにしてください

5.6 回路例 : Slave I2C/I3C



5.7 コンフィグレーションデータサイズ

Table 4.1. Maximum Configuration Bits

| Device | Scenario | All Uncompressed | SPI Mode | |
|------------|-------------------|---|---------------------------------|---------------------------------|
| | | Unencrypted/Encrypted Bitstream Size (Mb) | Recommended SPI Flash Size (Mb) | Dual Boot Recommended SPI Flash |
| LFCPNX-50 | No LRAM, No EBR, | TBD | TBD | TBD |
| | No LRAM, MAX EBR | TBD | TBD | TBD |
| | MAX LRAM, No EBR | TBD | TBD | TBD |
| | MAX LRAM, MAX EBR | TBD | TBD | TBD |
| LFCPNX-100 | No LRAM, No EBR, | 15.005 | 16 | 32 |
| | No LRAM, MAX EBR | 18.749 | 32 | 64 |
| | MAX LRAM, No EBR | 18.589 | 32 | 64 |
| | MAX LRAM, MAX EBR | 22.333 | 32 | 64 |

Note: Both unencrypted and encrypted bitstreams are the same size. Compression ratio depends on bitstream, so we only provide uncompressed bitstream data.

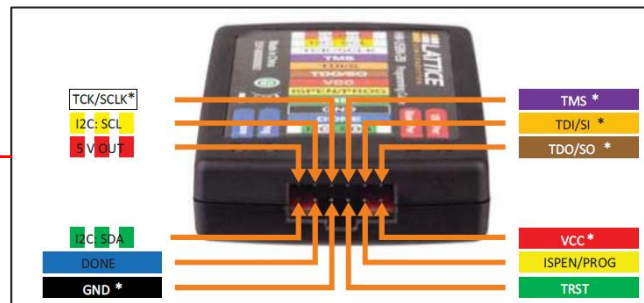
6. Radiant Programmerを用いた書き込み

6.1 Downloadケーブル

デバイスへのコンフィグレーションデータのダウンロードには下図のUSB Downloadケーブルを使用します (※)



USB Download Cable – HW-USBN-2B



コネクタにFlywireケーブルが接続されており、JTAG/SPI/I2Cの各I/Fを兼用できるようになっています。
基板側には2.54mm pitchのピンヘッダをご用意いただければFlywireケーブルを接続できます。

Radiant ProgrammerがインストールされたPCと基板とを上記ケーブルで接続します。
PCにはドライバーをインストールする必要があります。ドライバーのインストールの詳細に関しては、Lattice Radiant Software Installation Guideの”Install and Uninstall Cable Drivers”の項をご参照ください。

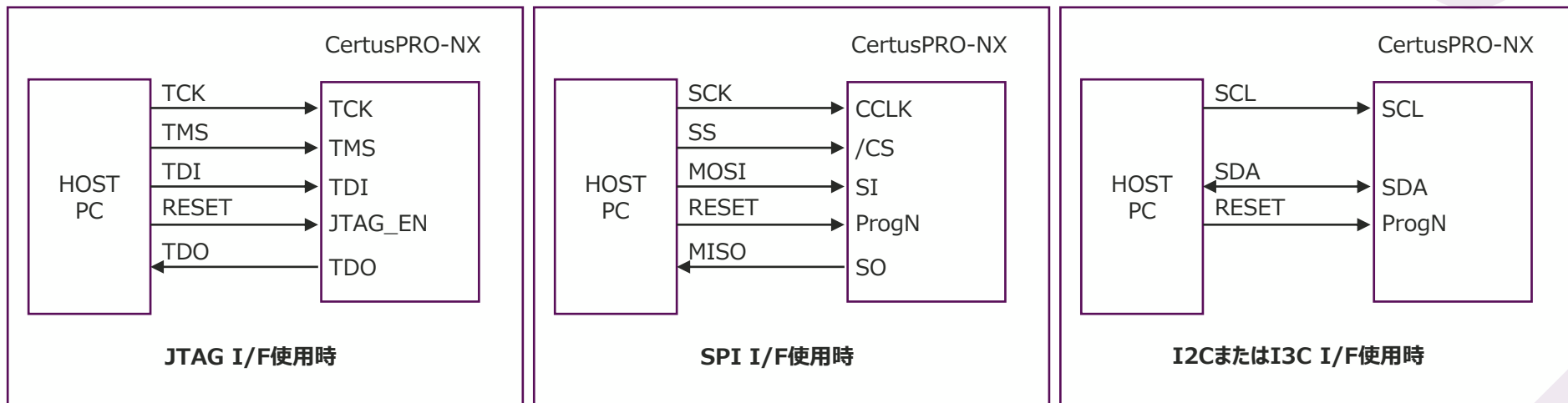
http://www.latticesemi.com/view_document?document_id=52751

※評価ボードによってはUSB DownloadケーブルのBox部とFlywire部に該当する部分が搭載されているものもあり、その場合、一般的なMini USB type-Bケーブルで基板⇔PC間を接続します。

6.2 SRAM領域への書込み 1/3

■ Downloadケーブルとデバイス間の接続

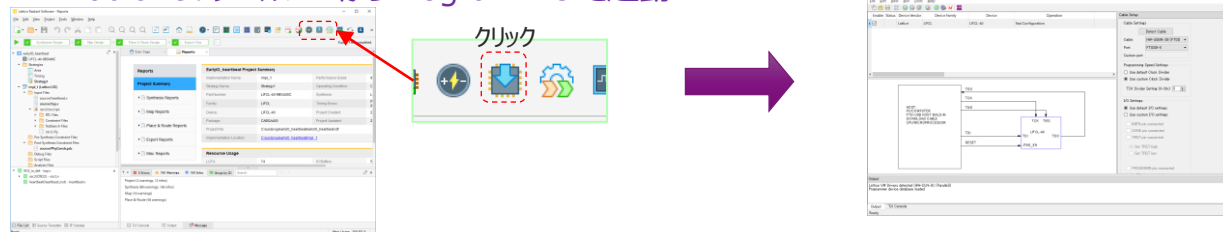
SRAM領域への直接書き込みには**JTAG/SPI/I2C,I3C**のI/Fをサポートしています。
Downloadケーブルとデバイス間はそれぞれ以下の図のように接続します。



6.2 SRAM領域への書き込み 2/3

■ SRAM(揮発性)領域に直接Programmingする場合のオペレーション

1. RadiantのツールバーからProgrammerを起動



2. Device Family、Device、Operation、書き込みファイルを設定

Diagram illustrating the second step: configuring the Programmer application. A table shows the configuration options:

| Enable | Status | Device Family | Device | Operation |
|--------|-------------------------------------|---------------|------------|--------------------|
| 1 | <input checked="" type="checkbox"/> | LFCPNX | LFCPNX-100 | Fast Configuration |

Red dashed boxes highlight the Device Family, Device, and Operation columns. A red arrow labeled 'ダブルクリック' (Double-click) points to the Operation cell. Below the table, two dropdown menus are shown:

- ① LFCPNXを選択 (Select LFCPNX): A dropdown menu showing 'LFCPNX' selected from a list including LFCPNX, LFD2NX, LIFCL, LIFCL_ENG, iCE40 UltraPlus, and SPI Serial Flash.
- ② 使用するデバイスを選択 (Select device to use): A dropdown menu showing 'LFCPNX-100' selected from a list including LFCPNX-100.

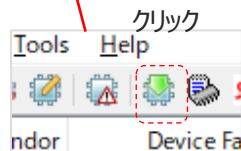
The Programmer application window is shown with the following settings:

- ③ Device Operationを以下に設定 (Set Device Operation as follows):
 - Target Memory: Static Random Access Memory (SRAM)
 - Port Interface: JTAG / Slave SPI / I2C / I3C Bridge から選択 (Select from JTAG / Slave SPI / I2C / I3C Bridge)
 - Access Mode: Direct Programming
 - Operation: Fast Configuration
- ④ 書き込むコンフィグファイル(*.bit)を設定 (Set the configuration file to be written (*.bit))
- ⑤ OKをクリック (Click OK)

6.2 SRAM領域への書き込み 3/3

■ SRAM(揮発性)領域に直接Programmingする場合のオペレーション

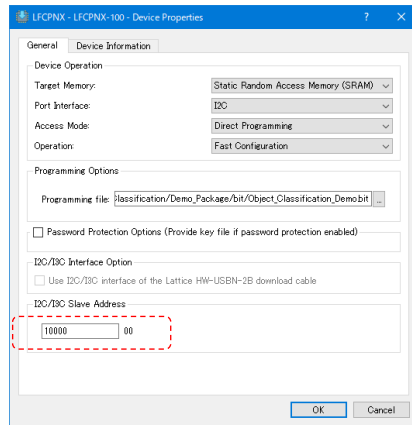
3. Program Deviceをクリックして書き込み実行



4. StatusがDoneとなり書き込み完了

※注意事項 (2023年2月現在)

I2C I/F使用時はDevice PropertiesダイアログにてI2C Slave Addressの設定が可能です、以下のデフォルトのSlave Addressをご使用いただく必要があります

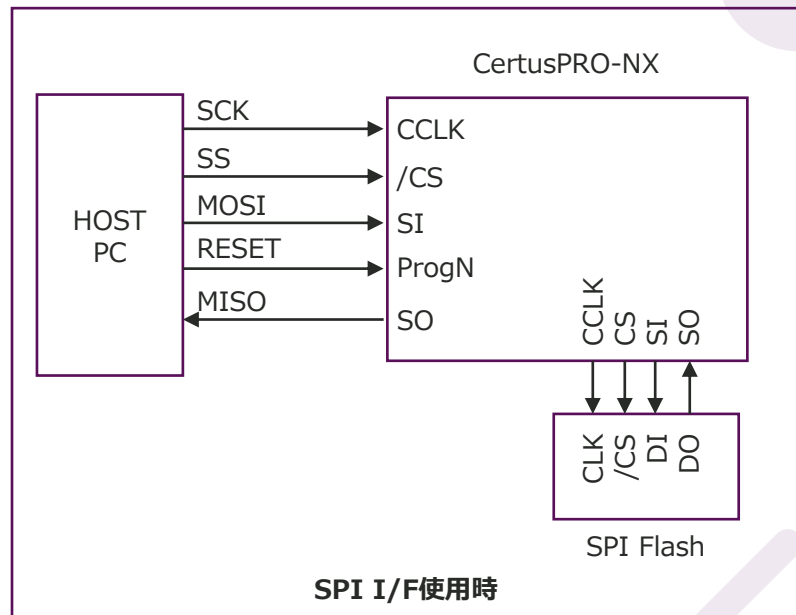
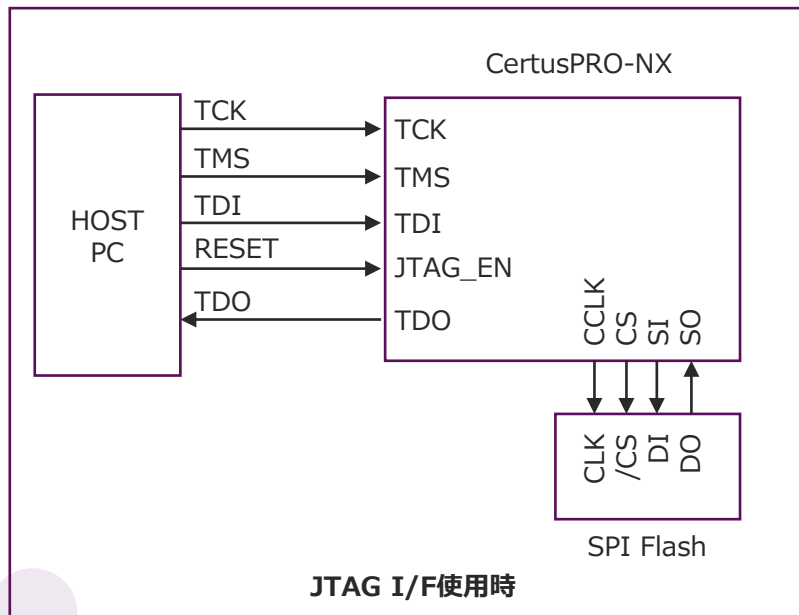


<DefaultのI2C Slave Address>
7bit addressing: 1000000
10bit addressing: 1111000000

6.3 FPGA経由でのSPI Flashへの書き込み 1/3

■ Downloadケーブルとデバイス間の接続

FPGAを経由した外部SPI Flashへの書き込みには**JTAG/SPI**の2つのI/Fをサポートしています。
Downloadケーブルとデバイス間およびデバイス⇄SPI Flash間はそれぞれ以下の図のように接続します。



6.3 FPGA経由でのSPI Flashへの書き込み 2/3

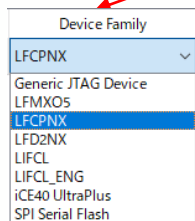
■ FPGAを経由して外部SPI Flashへ書き込みする場合のオペレーション

1. RadiantのツールバーからProgrammerを起動

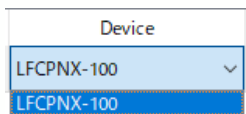


2. Device Family、Device、Operation、書き込みファイルを設定

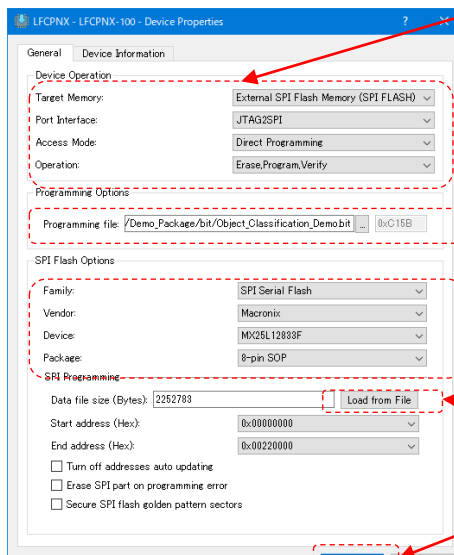
| Enable | Status | Device Family | Device | Operation |
|-------------------------------------|--------|---------------|------------|----------------------|
| <input checked="" type="checkbox"/> | | LFCPNX | LFCPNX-100 | Erase,Program,Verify |



① LFCPNXを選択



②使用するデバイスを
選択



③ Device Operationを以下に設定

Target Memory:
External SPI Flash Memory (SPI Flash)

Port Interface:
JTAG2SPI か SSPI2SPI を選択

Access Mode: Direct Programming

Operation: Erase, Program, Verify

④書き込むコンフィグファイル(*.bit)を設定

⑤使用するSPI Flashを設定

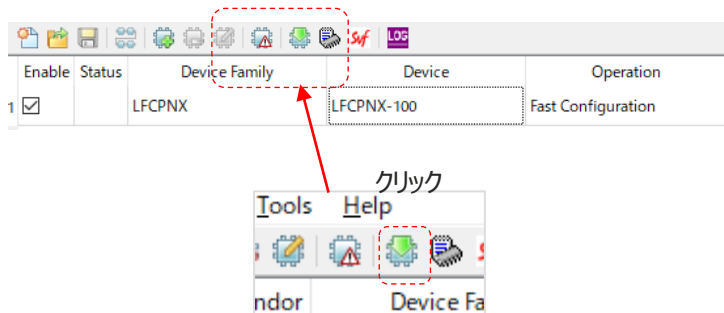
⑥Load from Fileをクリックして書き込みファイルサイズを自動算出

⑦OKをクリック

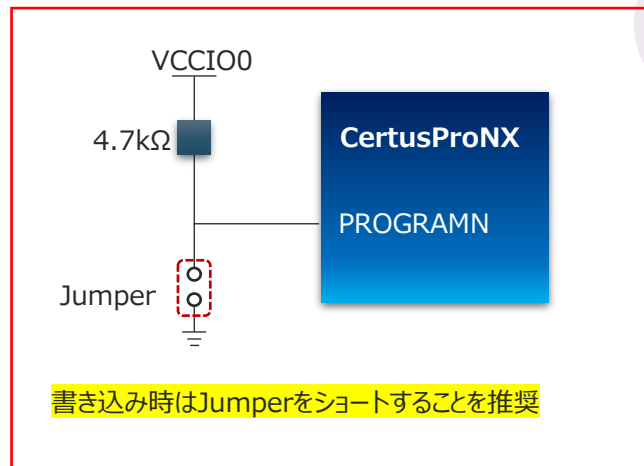
6.3 FPGA経由でのSPI Flashへの書き込み 3/3

■ FPGAを経由して外部SPI Flashへ書き込みする場合のオペレーション

3. Program Deviceをクリックして書き込み実行



※右図のようにPROGRAMNピンに対してJumperなどを設けておき、SPI Flashへ書き込む際は、**JumperをショートしてPROGRAMNピンをLow**にしておいた状態で、“Program Device”をクリックして書き込みを実行することを推奨します。書き込みが完了したらJumperをOpenにしてください。

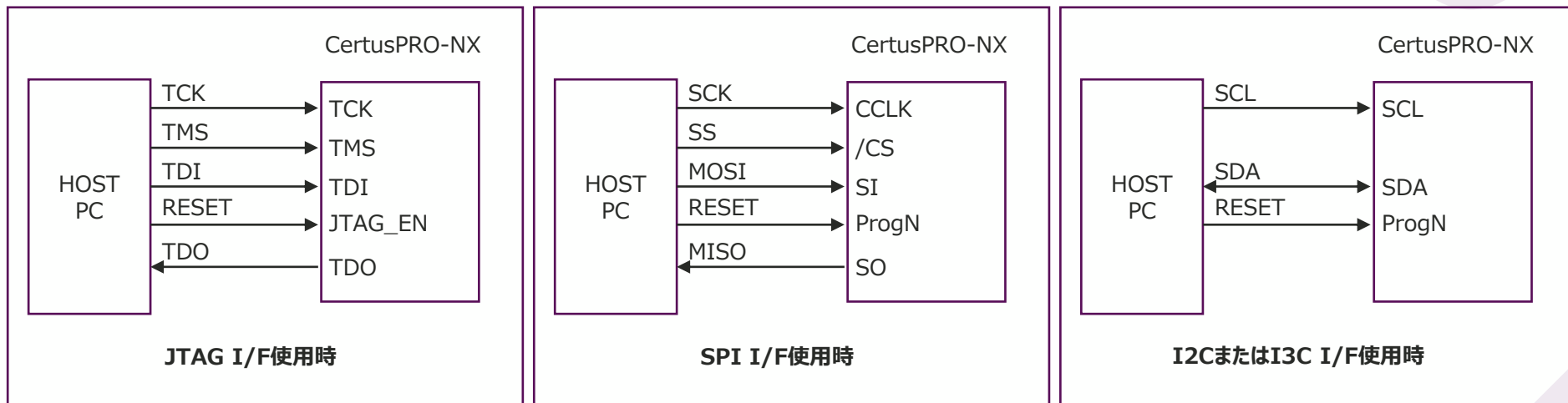


4. StatusがDoneとなり書き込み完了

6.4 Feature Rowへの書込み

■ Downloadケーブルとデバイス間の接続

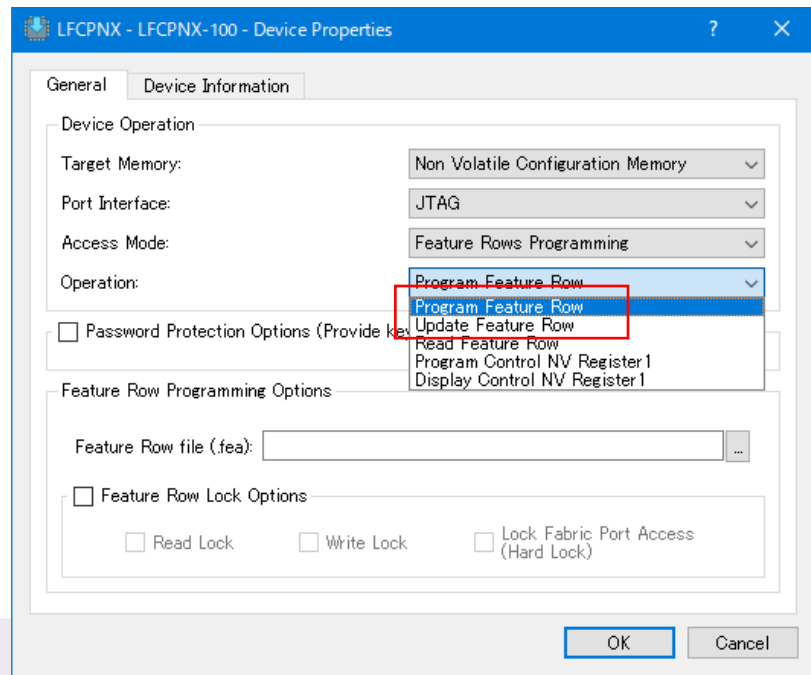
Feature Rowへの直接書き込みには**JTAG/SPI/I2C,I3C**のI/Fをサポートしています。
Downloadケーブルとデバイス間はそれぞれ以下の図のように接続します。



6.4 Feature Rowへの書込み

■ Feature Rowへの書込み手段

Feature Rowへの書込み手段は2通りあります。



Program Feature Row

Programming File Utilityを使って予め
Feature Rowファイル(*.fea)を作成し、それを書き込む手法

Update Feature Row

一度デバイスからFeature Rowの内容を読み出し、
部分的に変更したものを書き込む手法

※Feature Rowへの書込みはOne Timeとなります
ますのでご注意ください

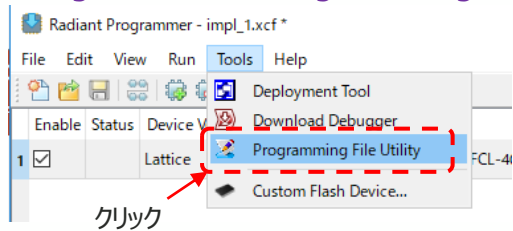
6.5 Program Feature Rowでの書き込み 1/3

■ Feature Rowファイルの作成・編集

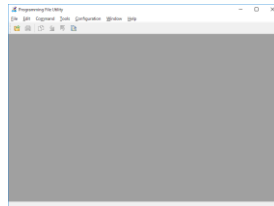
Feature Rowへの書き込む前に、Feature Rowファイル(*.fea)を作成しておく必要があります。
Feature RowファイルはRadiantでCertusPro-NXのコンフィグレーションファイル(*.bit)を生成すると同じフォルダ内に生成されます。

Feature Rowファイルを編集したい場合は、Radiant ProgrammerからFeature Row Editorを使用します。

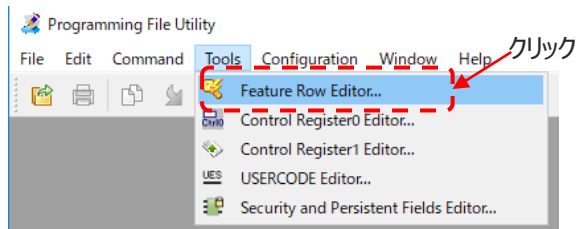
1. ProgrammerからProgramming File Utilityを起動



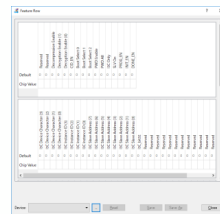
Programming File Utility起動



2. Programming File UtilityからFeature Row Editorを起動



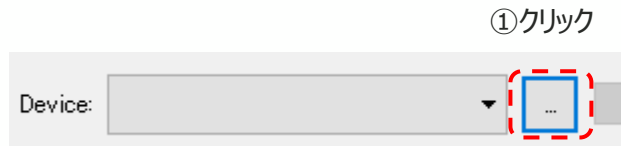
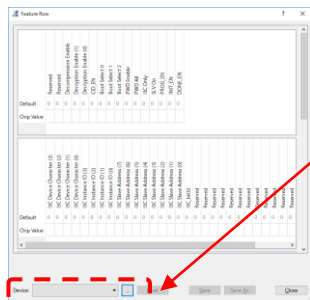
Feature Row Editor起動



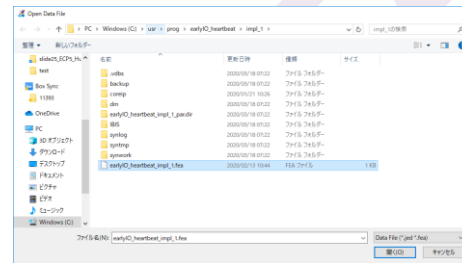
6.5 Program Feature Rowでの書き込み 2/3

3. Feature Row Editorで内容編集・保存

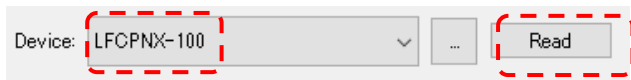
②feaファイルを選択して開く



①クリック

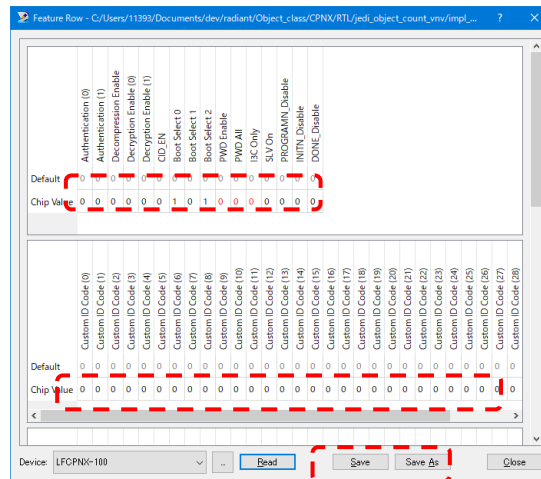


③デバイス名が表示される



④Readをクリック

⑤Feature Rowの値が読み込まれる



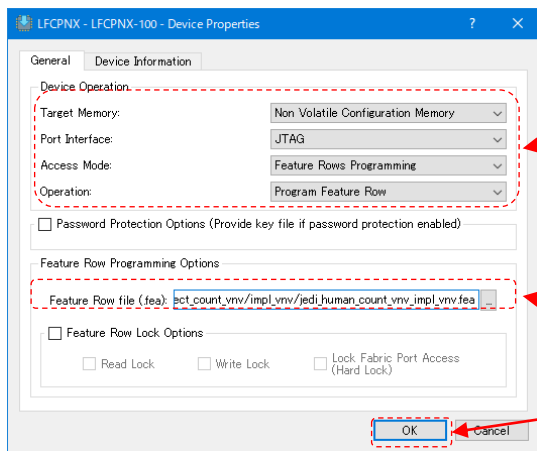
⑥値を編集してSave もしくは Save Asでfeaファイルを保存

6.5 Program Feature Rowでの書き込み 3/3

4. ProgrammerでFeature Rowの書き込み

| Enable | Status | Device Family | Device | Operation |
|--------|-------------------------------------|---------------|------------|---------------------|
| 1 | <input checked="" type="checkbox"/> | LFCPNX | LFCPNX-100 | Program Feature Row |

①ダブルクリック



②Device Operationを以下に設定

Target Memory:
Non Volatile Configuration Memory

Port Interface:
JTAG / Slave SPI / I2C/ I3C Bridge のいずれかを選択

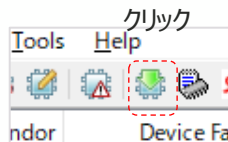
Access Mode: Feature Rows Programming

Operation: Program Feature Row

③書き込むFeature Rowファイル(*.fea)を設定

④OKをクリック

5. Program Deviceをクリックして書き込み実行



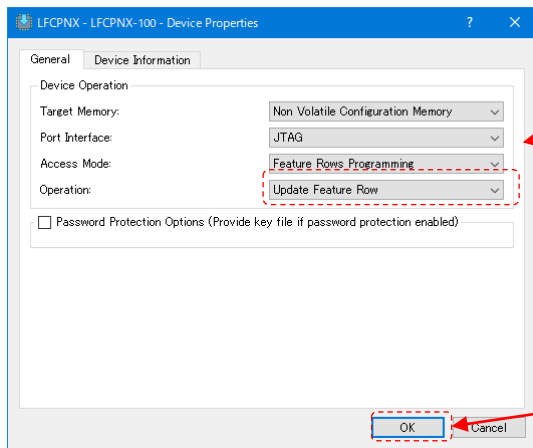
6. StatusがDoneとなり書き込み完了

6.6 Update Feature Rowでの書き込み 1/2

1. ProgrammerでFeature Rowの書き込み

| Enable | Status | Device Family | Device | Operation |
|--------|-------------------------------------|---------------|------------|---------------------|
| 1 | <input checked="" type="checkbox"/> | LFCPNX | LFCPNX-100 | Program Feature Row |

①ダブルクリック



②Device Operationを以下に設定

Target Memory:
Non Volatile Configuration Memory

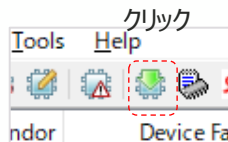
Port Interface:
JTAG / Slave SPI / I2C/ I3C Bridge のいずれかを選択

Access Mode: Feature Rows Programming

Operation: Update Feature Row

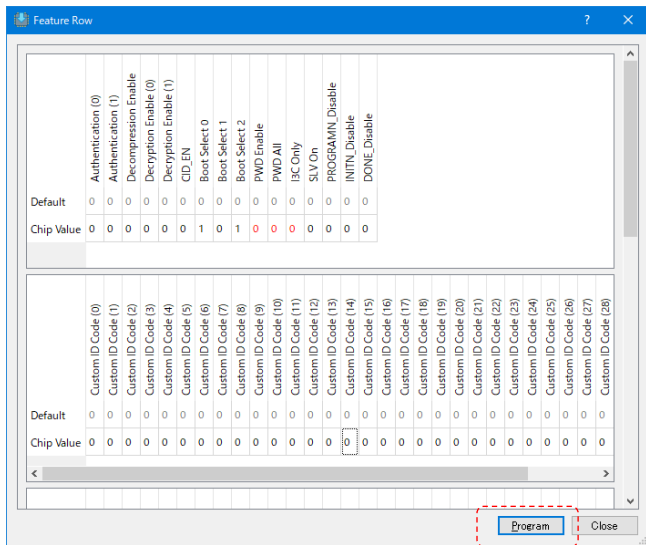
③OKをクリック

2. Program Deviceをクリック

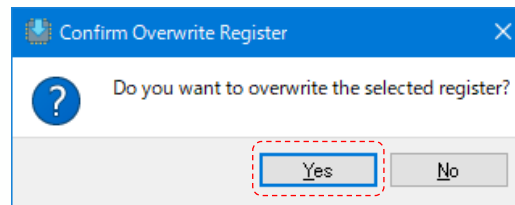


6.6 Update Feature Rowでの書き込み 2/2

3. デバイスから読み出されたFeature Rowの情報がウィンドウに表示されるため、変更したい箇所を編集しProgramボタンをクリック



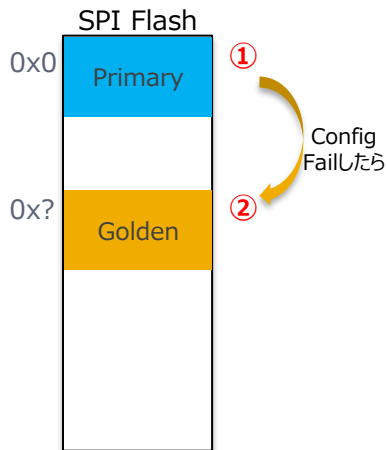
4. 以下の確認メッセージが表示されるため Yesをクリックして書き込みを実施



5. StatusがPASSとなり書き込みが完了

6.7 サポートしている特殊Boot Mode

1. Dual Boot

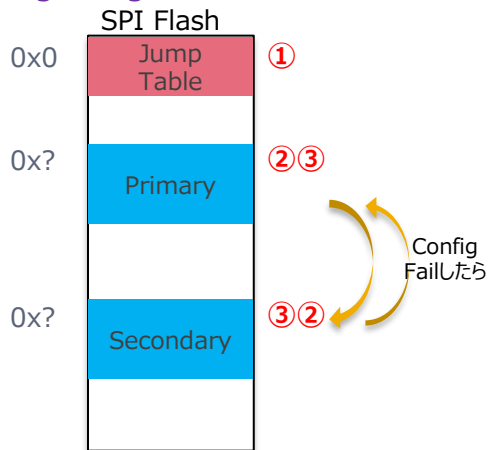


コンフィグデータは2つ

| Config Data | 保存先Address |
|-----------------|------------|
| Primary Pattern | 0x0 |
| Golden Pattern | Userが定義 |

Primary Patternでのコンフィグに失敗した場合に、自動的にGolden Patternでのコンフィグレーションを行う

2. Ping-Pong Boot

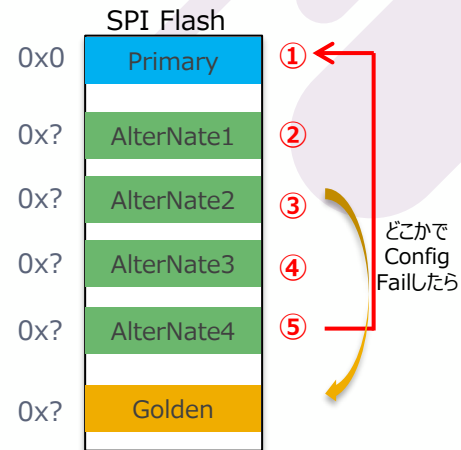


コンフィグデータは2つ
コンフィグデータとは別にJump Tableを定義

| Config Data | 保存先Address |
|-------------------|------------|
| Jump Table | 0x0 |
| Primary Pattern | Userが定義 |
| Secondary Pattern | Userが定義 |

Jump Tableでどちらのパターンを先にコンフィグするかを定義する。First Boot Patternに指定されたコンフィグデータでコンフィグし、失敗した場合には、自動的にもう一方のコンフィグデータでコンフィグレーションを行う

3. Multi Boot



コンフィグデータは3つから最大6つまで定義可能

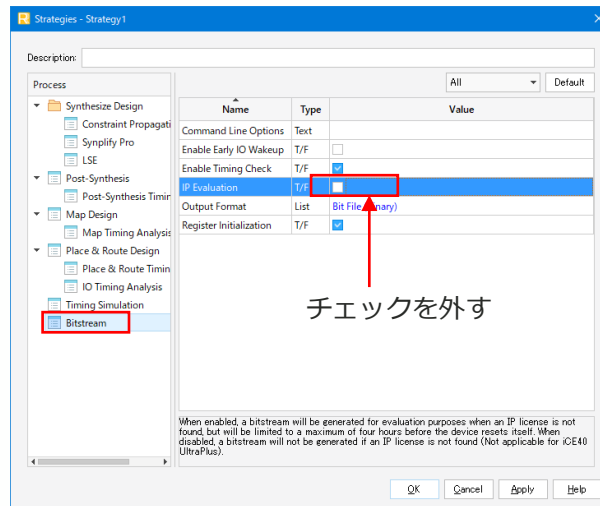
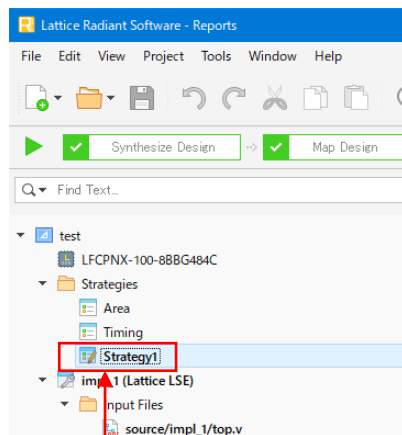
| Config Data | 保存先Address |
|----------------------|------------|
| Primary Pattern | 0x0 |
| Golden Pattern | Userが定義 |
| Alternate Pattern1~4 | Userが定義 |

まずPrimary Patternでコンフィグを行う。その後、Programnのトグル or Refreshコマンドの発行があれば、Alternate Patternでのコンフィグを行う。(Alternate Patternは最大4つまで定義可能) いずれかのデータでのコンフィグに失敗したら自動的にGolden Patternでのコンフィグレーションを行う

6.7 サポートしている特殊Boot Mode ※注意点

※ Radiant3.2.1以降のツールをご使用ください。それ以前のツールを使った場合、正しくmcsファイルを生成できない場合があります)

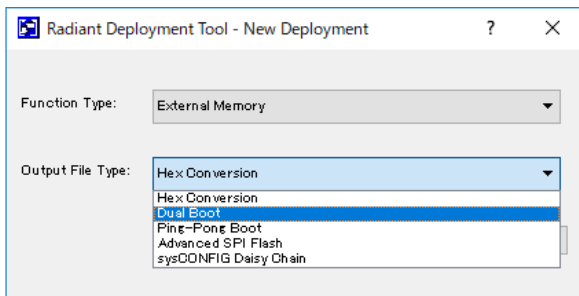
※ bitstreamファイルの生成の際、以下の図の通り、RadiantのStrategy設定から、“IP Evaluation”の設定をFalseにする（チェックを外す）必要があります。またこの設定でbitstreamファイルを生成するにはRadiantの有償ライセンスが必要となりますのでご注意ください。



6.8 Dual Boot 1/2

■ Dual Boot Fileの生成

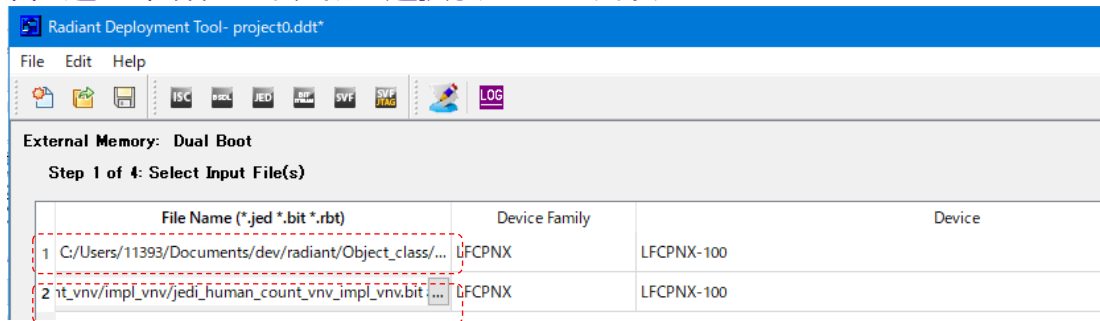
1. ProgrammerのTools→Deployment Toolを選択し、Deployment Toolを起動



Function: **External Memory** を選択

Output File Type: **Dual Boot** を選択

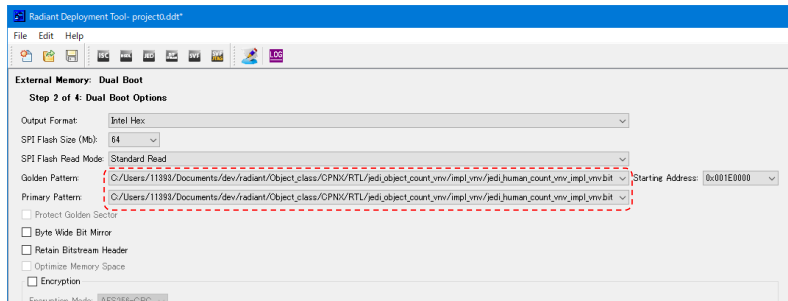
2. 書き込む2種類のbitファイルを選択し、Nextをクリック



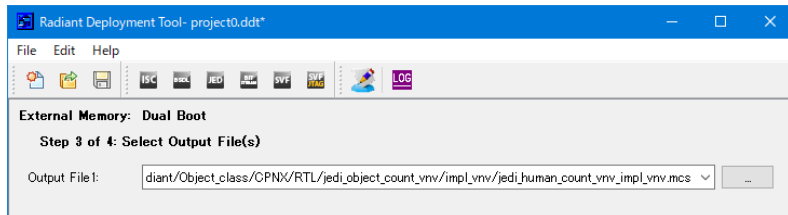
6.8 Dual Boot 2/2

■ Dual Boot Fileの生成

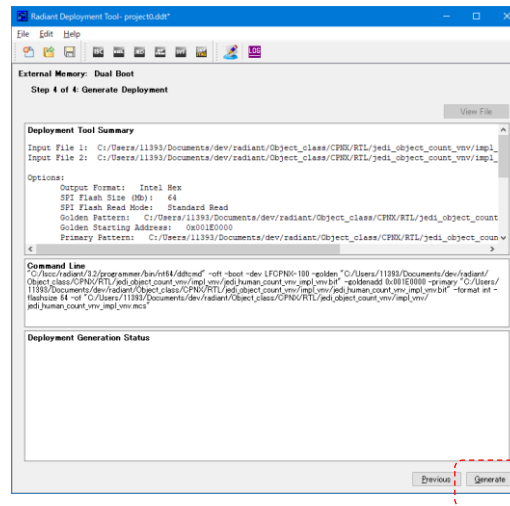
3. Golden / Primary Pattern等の設定を行い、Nextをクリック



4. 生成するファイル(*.mcs)の生成先を指定してNextをクリック



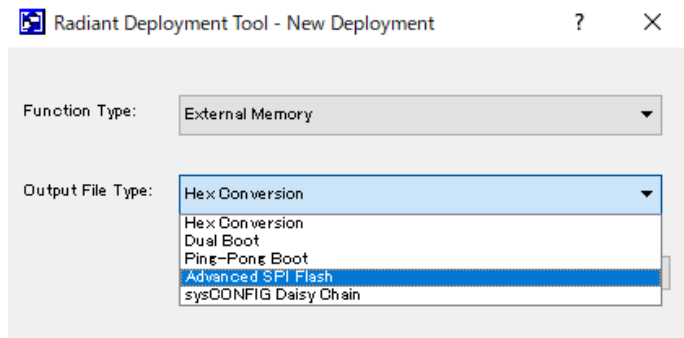
5. Generateをクリックしてファイルを生成



6.9 Multi Boot 1/2

■ Multi Boot Fileの生成

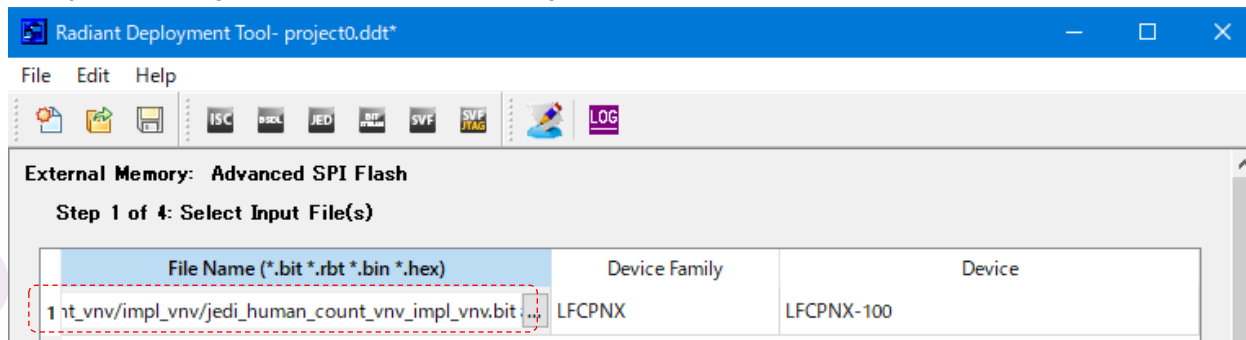
1. ProgrammerのTools→Deployment Toolを選択し、Deployment Toolを起動



Function: **External Memory** を選択

Output File Type: **Advanced SPI Flash** を選択

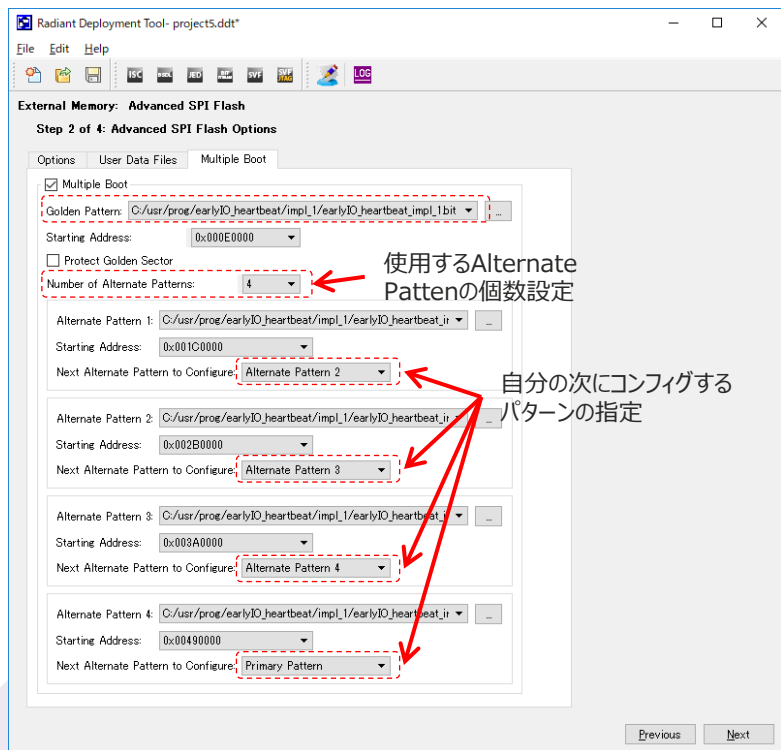
2. Primary Pattern(最初にコンフィグするデータ)に指定するbitファイルを選択し、Nextをクリック



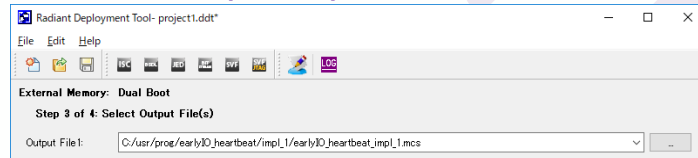
6.9 Multi Boot 2/2

■ Multi Boot Fileの生成

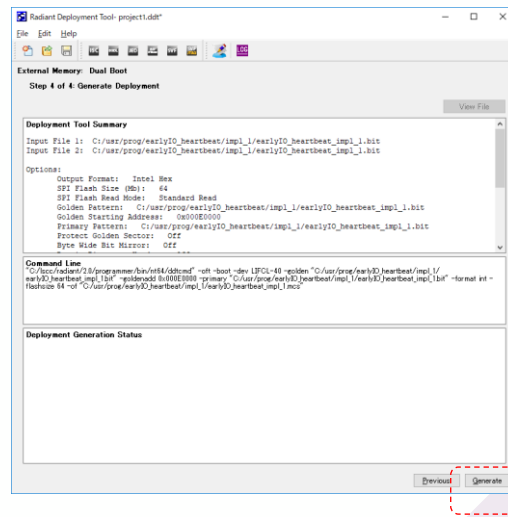
3. Golden / Alternate Pattern等の設定を行い、Nextをクリック



4. 生成するファイル(*.mcs)の生成先を指定してNextをクリック



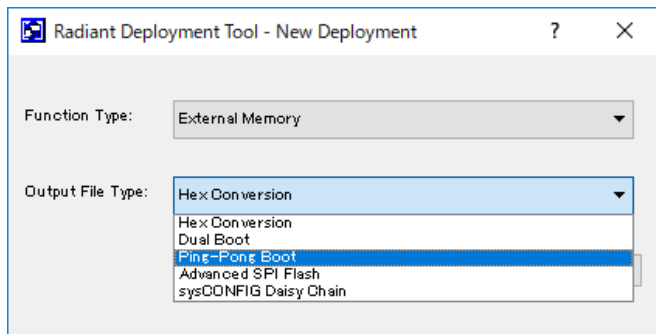
5. Generateをクリックしてファイルを生成



6.10 Ping-Pong Boot 1/2

■ Ping-Pong Boot Fileの生成

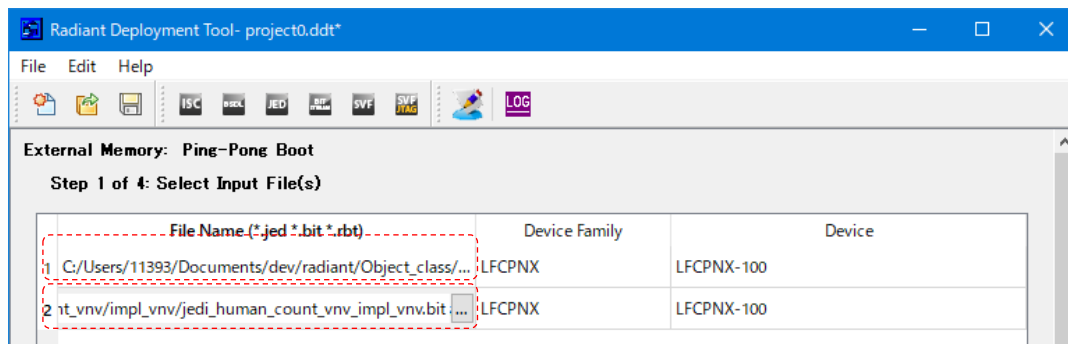
1. ProgrammerのTools→Deployment Toolを選択し、Deployment Toolを起動



Function: **External Memory** を選択

Output File Type: **Ping-Pong Boot** を選択

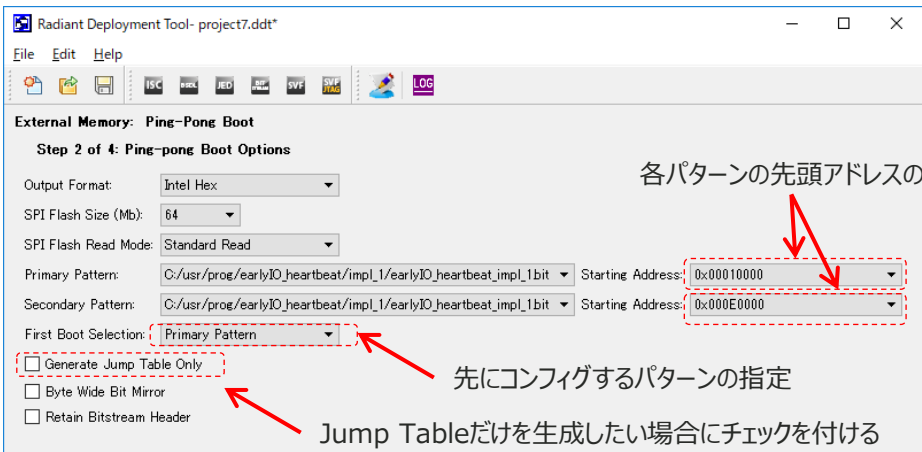
2. 2つのbitファイルを設定し、Nextをクリック（※ファイルは後でも再設定可能）



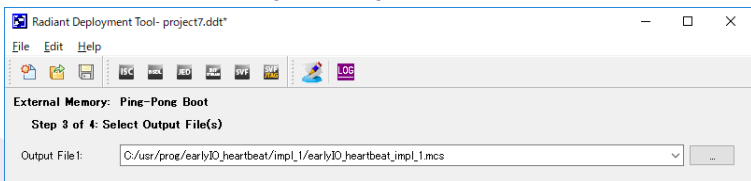
6.10 Ping-Pong Boot 2/2

■ Ping-Pong Boot Fileの生成

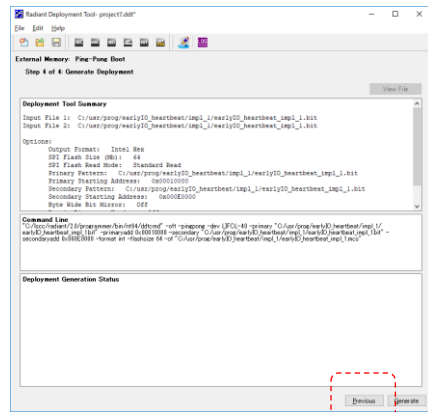
3. Primary / Secondary Pattern等の設定を行い、Nextをクリック



4. 生成するファイル(*.mcs)の生成先を指定してNextをクリック



5. Generateをクリックしてファイルを生成



7. ADC関連

7.1 Nexusシリーズ ADC マクロの概要

- 2 系統の ADC、および 3 回路のコンパレータ、ダイ温度監視用ダイオードなど集積しています
 - * 系統ごとに “ADC0/1 コアモジュール”、“ADC0/1 ブロック” など呼びます
- A/D 変換機能の概要は次の通りです：
 - * 12 ビット精度 (INL +/-2LSB 未満、DNL +/-1LSB 未満)、実効精度 11 ビット (9.9b min.)
 - * 最大サンプリング・レートは 1Msps
 - * 50kHz 入力、1Msps 時の SNDR は -68dB、THD は -76dB
 - * 入力信号の最大振幅は
 - ・内部基準電圧 (1.2V) の場合、0.3V ~ 0.9V typ.
 - ・ボードから与える外部基準電圧 (1.0 ~ 1.8V) の場合、 $1/4 * V_{REF} \sim 3/4 * V_{REF}$ typ.
 - * 専用入力ポートがあり、差動、またはシングルエンドに対応
 - * 連続 (Continuous) 変換モードと単一パス (Single-pass) 変換モード
 - * 所定の GPIO 差動入力ピンペアを ADC 入力として使用することも可能

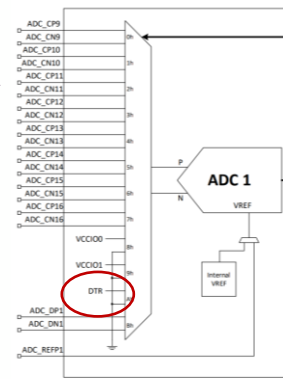


Figure 2.1. ADC Core Module ADC1 Block

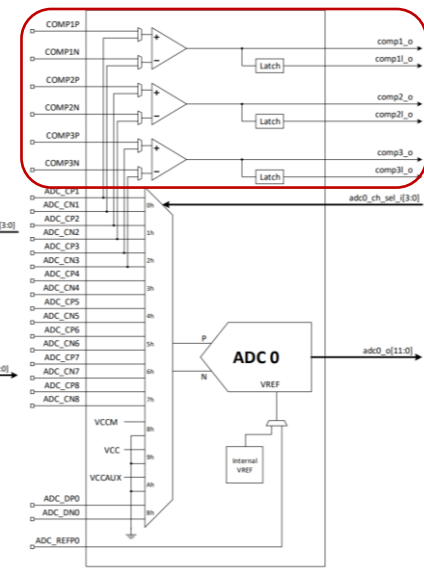


Figure 2.2. ADC Core Module ADC0 Block

7.1 Nexusシリーズ ADC マクロの概要

- コンパレータの概要は次の通りです：
 - * コンパレータは 3 回路搭載
 - * 入力周波数は Max.10MHz、入力電圧は $0 \sim V_{CCADC18} V$
 - * 入力オフセットは $-23 \sim 24 mV$ 、入力ヒステリシスは $10 \sim 31 mV$
 - * コンパレータ遅延は $31 ns$
 - * 入力ピンは GPIO と専用ピンどちらも使用可能
 - * 出力は、連続出力とラッチ出力の 2 つを用意
- スピードグレードに制約があり、C/I 品は -8/-9、Auto 品は -7/-8 のみで使用できます
- Native、LMMI や APB インターフェイスを選択可能

7.2 ADC0/ADC1 ブロックについて

■ 2系統の ADC ブロックの内部構成にはやや違いがあります

* 入力ポート `chasel_i/chbsel_i` (図では `adc0/1_ch_sel[3:0]`) に RTL 記述でアナログ入力チャンネルを指定します (0h~Bh)

- 2系統合わせて最大 16 チャンネルが対象にできます (ADC0: 1~8、ADC1: 9~16)
- チャンネル指定は ADC 入力 MUX のポート番号を 4 ビットで表記します
- 専用入力ピンは Bh (4'hB) で ADC0/1 共通です
- IP Catalog GUI 『General』 タブで “Number of ADC Channels” は GPIO 入力のみにも適用されます。
- ADC0 と ADC1 を使う場合はそれぞれのチェックボックスにチェックを入れて Enable にします。

* ADC0 ブロックにコンパレータ回路が集積されています

* ADC1 ブロックにダイ温度監視ダイオード (DTR) が接続されています

* 5 系統の電圧を A/D 入力として選択できます

- ADC0 は V_{CC} 、 V_{CCAUX} 、 V_{CCM}
- ADC1 は V_{CCI00} 、 V_{CCI01} 、DTR
- V_{CCM} は V_{CCAUX} から作られ、約 1.25V

IP Catalog GUI 設定では

- ADC0 は V_{CCI00} 、 V_{CCI01} 、 V_{CCAUX}
- ADC1 は V_{CC} 、 V_{CCM} 、DTR

* 電圧/DTR を対象とする場合は、GUI で該当する ADC ブロックをイネーブルします

- イネーブルしないとグレイアウトして指定できません

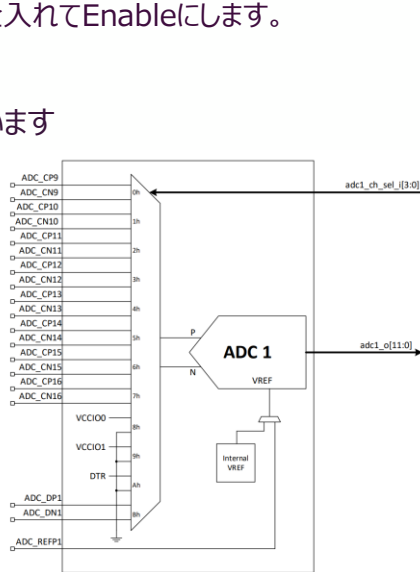


Figure 2.3. ADC Core Module ADC1 Block

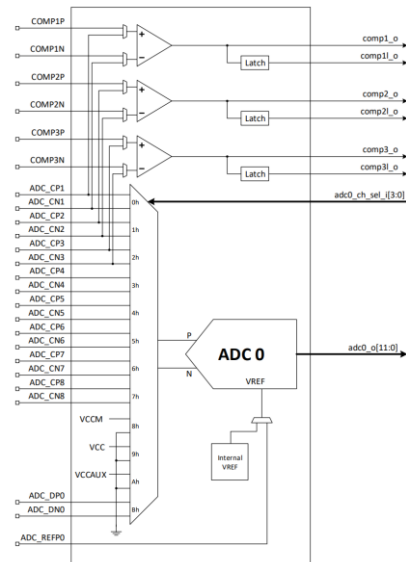


Figure 2.2. ADC Core Module ADC0 Block

7.3 ADC基準電圧に関して

- 基準電圧 (Reference Voltage) は A/D 変換する際に基準となる電位です
 - * IP catalog GUI で使用する基準電圧が内部か外部入力かを選択できます
 - * 外部を選択時の電源は LDO など低リップルのアナログ電源とし、適宜フェライトビーズやコンデンサでデカップリングします
- 外部基準電圧 (External Voltage Reference) の場合
 - * ADC0 / ADC1 それぞれに専用ピンがあり、2 チャンネルで個別の電圧が設定・入力できます (1.0 ~ 1.8V)
 - * A/D 変換する差動信号のコモンモード電圧 V_{CMEXT} は基準電圧 V_{REFEXT} の中点電位です
 - * アナログ入力の最大振幅は、バイポーラー・モードで $\frac{1}{2} V_{REFEXT} \pm \frac{1}{4} V_{REFEXT}$ 、ユニポーラー・モードで $0 \sim V_{REFEXT}$ です
 - * 基準電圧値は GUI で設定し、実際に供給する電圧はその値に対して動作温度範囲内で 0.2%の精度とする必要があります
- 内部基準電圧 (Internal Voltage Reference) の場合
 - * 電圧値はデータシート規定の値 V_{REFINT} で (1.2 V typ. \pm 0.06V)、ユーザーが設定することはできません
 - * A/D 変換する差動信号のコモンモード電圧 V_{CMINT} は基準電圧 V_{REFINT} の中点電位です
 - * アナログ入力の最大振幅は、バイポーラー・モードで $\frac{1}{2} V_{REFINT} \pm \frac{1}{4} V_{REFINT}$ 、ユニポーラー・モードで $0 \sim V_{REFINT}$ です

7.4 ADC用電源に関して

- ADC にはノイズのない電源が理想ですので、デジタル回路用の電源（下図の V_{CC_ADC} ）とは分離します

* V_{CC_ADC18} (図の $V_{CC_ADC_18}$) にはスイッチング電源ではなく LDO などの低ノイズ源を使用します。

* また、電源フィルタなどで適切にデカップリングします。

右に例を示します (Figure 4.1 / TN-02129)

L1 : 250Ω 以上 (@1MHz) のフェライトビーズ

C1 : 2~3μF のコンデンサ

C2~4 : 0.1μf 程度のコンデンサ

R_G : アナログ / デジタル両グラウンドの電位を合わせる 0Ω 抵抗

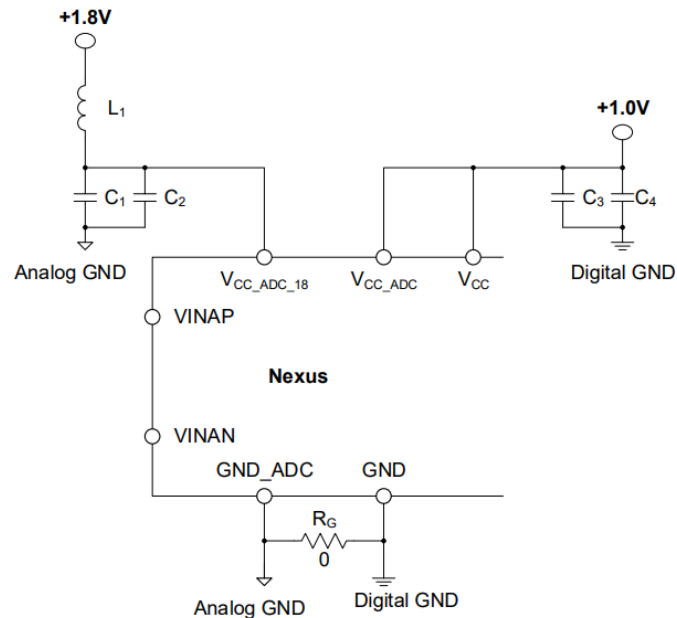


Figure 4.1. ADC Power Supply Decoupling

7.5 ADC入力フィルターに関して

■ ADC 入力のアナログ信号は外部で LPF（アンチ・エイリアス・フィルター）を通します

* 入力信号の帯域がナイキスト周波数の半分以下になるように制限します

* シングルエンド / 差動入力それぞれでの構成例を図に示します

・ 本例は RC 1 段ですので 6dB/oct (20dB/dec) で減衰します

・ アプリケーションによってより急峻な減衰が求められる場合などは適宜次数を増やします

* カットオフ周波数 f_c の算出式と代表的な数値例を表に示します

・ 等価サンプリング周波数の要件などをもとに f_c の設定や RC 値、次数などを注意深く決定します

* シングルエンド入力の際は、RTL上でNch側もポート記述し、ピンアサインを行い、基板上でGND接続していただく必要があります

$$\text{カットオフ周波数} : f_c = \frac{1}{2\pi(R_{F1}+R_{F2})C_F}$$

表 x.1 RCフィルター各値

| $R_{F1} + R_{F2}$ (Ω) | C_F (pF) | F_c (kHz) | f_s (MHz) |
|--------------------------------|------------|-------------|-------------|
| 200 | 1,600 | 500 | 1 |
| 200 | 3,200 | 250 | 0.5 |
| 720 | 2,200 | 100 | 0.2 |

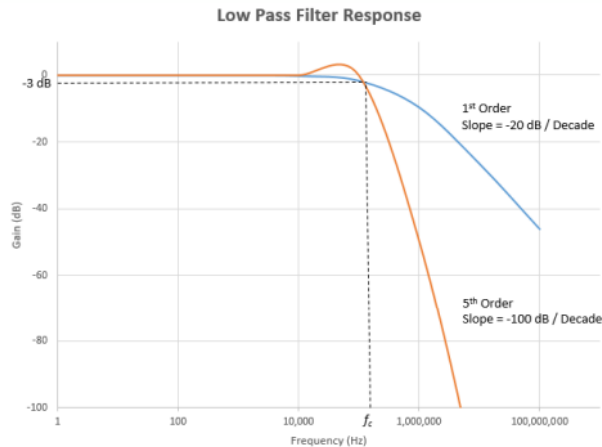


Figure 4.2. Low Pass Filter Response

FPGA-TN-02129-1.5 PP.20~21

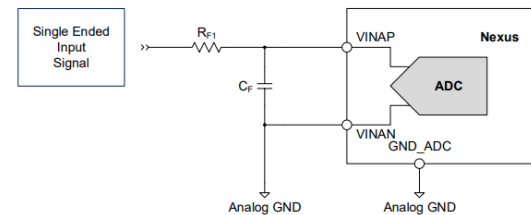


Figure 4.4. Single Ended ADC Input Filter

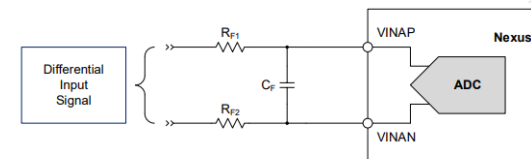


Figure 4.3. Differential ADC Input Filter

7.6 コンパレータ動作に関して

- コンパレータの動作と設定

TBD

7.7 電源電圧センサー/DTR に関して

■ 電圧電源センサー

- * 合計 5 つの電源電圧センサーが搭載されています。
 - V_{CC} 、 V_{CCI00} 、 V_{CCI01} 、 V_{CCAUX} 、および V_{CCM} を測定可能です
 - V_{CCM} は V_{CCAUX} から供給され、約 1.25V です。
- * イネーブルするためには GUI 『Internal Channels』 タブ “Channel Enable” をチェックします
- * 電源電圧は、以下の数式で求めることができます。

$$\text{電源電圧} = \frac{\text{ADC Output Code}}{4096} \cdot 2.5 \cdot V_{ref}$$

- * 3.0 V 以上の電源電圧と 1.5 V 以上の外部基準電圧が必要です。

■ DTR

- * $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の範囲でダイ温度を検知できます
- * 精度は Typ. $\pm 4^{\circ}\text{C}$ 、解像度は $\pm 0.3^{\circ}\text{C}$ です（外部基準電圧 1.0 ~ 1.8V 入力時）
- * ダイ温度は以下式より求めることが可能です。
 V_{ref} はバイポーラ・モードでは基準電圧を 2 で割った値です。

$$\text{温度} (^{\circ}\text{C}) = 440.6 - (\text{ADC output code} \cdot V_{ref}) / 7.105$$

- * DTR の出力コードは FPGA-TN-02129-1.5 P14 を参照ください。

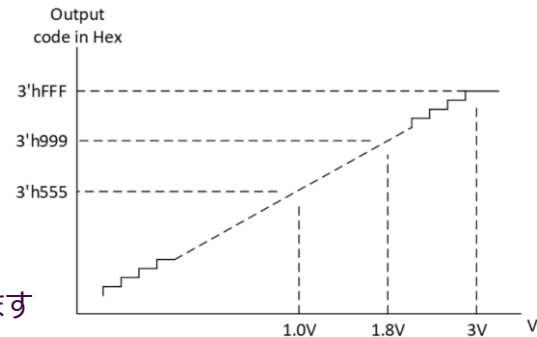


Figure 2.10. Power Supply Voltage Conversion Graph
P32, FPGA-IPUG-02062-1.7

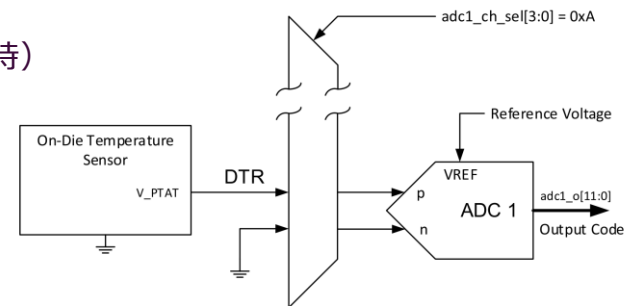


Figure 3.2. Digital Temperature Readout
P14 FPGA-TN-02129-1.5より抜粋

8. SerDes/PCS関連

8.1 SerDes/PCSの概要

■ 概要

- 高速全二重シリアルデータ転送用の SerDes（クロック埋め込み型）を搭載
 - LFCPNX-50 には 1Quad/4Channel
 - LFCPNX-100 には 2Quad/8Channel
 - * ASG, CBG, BFG パッケージは 1Quad/4Channel
- 各 Quad
 - マルチプロトコル対応の PCS と PCIe Gen3 に対応した Hard IP が含まれている
 - PCIe の Hard IP が含まれるのは Quad0 に1つのみ
- 各 Channel
 - データレートは 625Mbps から最大 10.3125Gbps
 - * BFG パッケージの最大レートは 5.5Gbps
 - * BBG パッケージの最大レートは 6.25Gbps
 - * 10GBASE-R および PCIe Gen3 に対応するのは Speed Grade -9 品のみ
 - 専用の TX PLL と RX CDR が搭載されており、Quad 内で複数のデータレートをサポート可能

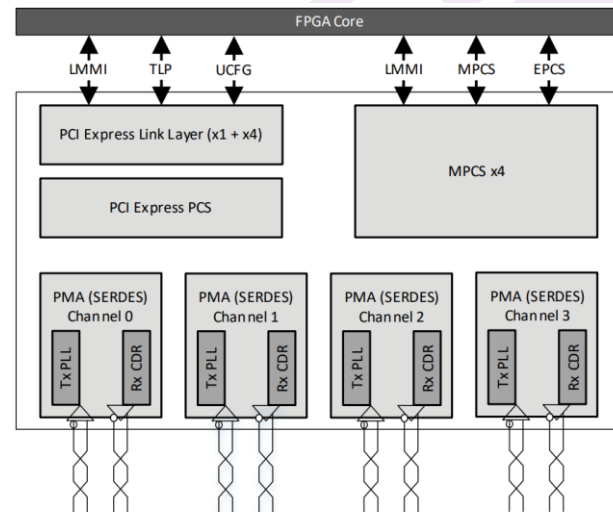


Figure 2.28. SerDes/PCS Overall Structure

FPGA-DS-02086-1.2から抜粋

8.3 SerDes/PCSの電源設計に関して

■ 電源デカップリングについて

- VCCSD, VCCSDCK, VCCPLLS, VCCAUXSDQ はノイズを極力少なく、またデカップリングを適切に行う

| SerDes電源ピン | 外部Filter処理 |
|------------|--|
| VCCSDCK | 各ピンに120 Ω FB + 10 μF + 100 nF |
| VCCSD | 各ピンに120 Ω FB + 10 μF + 100 nF |
| VCCPLLS | 各ピンに220 Ω FB + 4.7 μF + 100 nF コンデンサのGND部をSDx_REFRETに接続 |
| VCCAUXSDQ | 各SDx_REFRETに120 Ω FB + 10 μF + 100 nF |

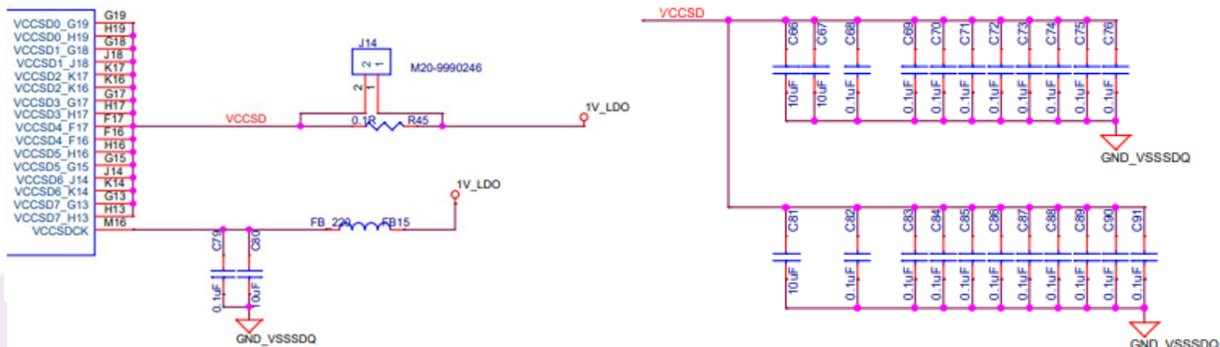
FPGA-TN-02255-0.83より抜粋

■ 接続例①

- 接続例を確認される場合は CertusPro-NX の評価基板の回路図を参照できます

* Hardware Checklist の内容と評価基板の内容が異なる場合は Hardware Checklist に従ってください

VCCSDCK, VCCSDの接続例



FPGA-EB-02053-1.1より抜粋

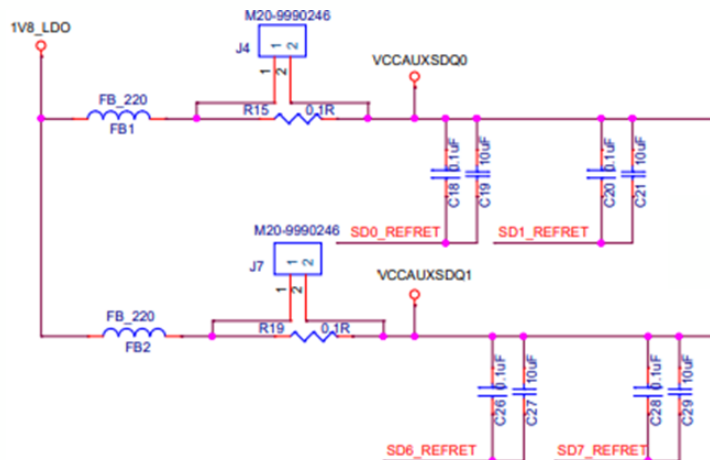
8.3 SerDes/PCSの電源設計に関して

■ 接続例②

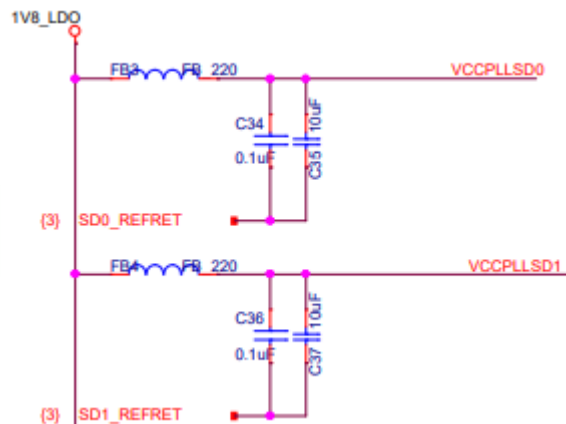
・接続例を確認される場合は CertusPro-NX の評価基板の回路図を参照できます

* Hardware Checklist の内容と評価基板の内容が異なる場合は Hardware Checklist に従ってください

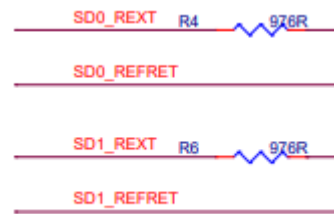
VCCAUXSDQの接続例



VCCPLLSDの接続例



SDx_REFRETの接続例



FPGA-EB-02053-1.1より抜粋

8.3 SerDes/PCSの電源設計に関して

■ 接続時の注意点①

- ・推奨電圧値に関しましては本資料の電源の項目をご確認ください
- ・VCCSD と VCCSDCK は共通の電源に接続しないでください
- ・VCCPLLSLSD と VCCAUXSDQ は共通の電源に接続しないでください
- ・SerDes/PCS 未使用時の処理に関しては左の表を確認してください

FPGA-TN-02245-0.83より抜粋

| SerDes未使用時 | | |
|-----------------|------------|--|
| Quad0 Quad1 | VSSDQ | GNDに接続 |
| | VCCSDCK | オープン |
| | VCCSD | オープン |
| | VCCPLLSLSD | オープン |
| | VCCAUXSDQ | オープン |
| SERDES IO | オープン | |
| Quad0のみ使用 | | |
| Quad0 | VSSDQ | GNDに接続 |
| Quad1 | VCCSDCK | 電源に接続 |
| Quad0 | VCCSD | 使用するChannelの"VCCSD"と"VCCSD1"を電源に接続 その他の使用しないChannelの"VCCSD"はオープン (Channel 1を使用しない場合でも"VCCSD1"は電源に接続) |
| | VCCPLLSLSD | 使用するChannelの"VCCPLLSLSD"と"VCCPLLSLSD1"を電源に接続 その他の使用しないChannelの"VCCPLLSLSD"はオープン (Channel 1を使用しない場合でも"VCCPLLSLSD1"は電源に接続) |
| | VCCAUXSDQ | "VCCAUXSDQ0"を電源に接続 |
| | SERDES IO | 使用するIOを対向デバイスと接続 未使用のIOはオープン |
| Quad1 | VCCSD | オープン |
| | VCCPLLSLSD | オープン |
| | VCCAUXSDQ | オープン |
| | SERDES IO | オープン |
| Quad0とQuad1両方使用 | | |
| Quad0 | VSSDQ | GNDに接続 |
| Quad1 | VCCSDCK | 電源に接続 |
| Quad0 | VCCSD | 使用するChannelの"VCCSD"と"VCCSD1"を電源に接続 その他の使用しないChannelの"VCCSD"はオープン (Channel 1を使用しない場合でも"VCCSD1"は電源に接続) |
| | VCCPLLSLSD | 使用するChannelの"VCCPLLSLSD"と"VCCPLLSLSD1"を電源に接続 その他の使用しないChannelの"VCCPLLSLSD"はオープン (Channel 1を使用しない場合でも"VCCPLLSLSD1"は電源に接続) |
| | VCCAUXSDQ | "VCCAUXSDQ0"を電源に接続 |
| | SERDES IO | 使用するIOを対向デバイスと接続 未使用のIOはオープン |
| Quad1 | VCCSD | 使用するChannelの"VCCSD"と"VCCSD5"を電源に接続 その他の使用しないChannelの"VCCSD"はオープン (Channel 1を使用しない場合でも"VCCSD5"は電源に接続) |
| | VCCPLLSLSD | 使用するChannelの"VCCPLLSLSD"と"VCCPLLSLSD5"を電源に接続 その他の使用しないChannelの"VCCPLLSLSD"はオープン (Channel 1を使用しない場合でも"VCCPLLSLSD5"は電源に接続) |
| | VCCAUXSDQ | "VCCAUXSDQ1"を電源に接続 |
| | SERDES IO | 使用するIOを対向デバイスと接続 未使用のIOはオープン |

8.3 SerDes/PCSの電源設計に関して

RTLの良い例

```

47 module top (
48     input          rstn_i,
49     input          sdq_refclkp_q1_i,
50     input          sdq_refclkn_q1_i,
51     input          sd7rxp_i,
52     input          sd7rxn_i,
53     input          sd7_rext_i, ←
54     input          sd7_refret_i, ←
55     input          [7:0] dip_switch_i,
56
57     output wire    sd7txp_o,
58     output wire    sd7txn_o,
59     output wire [23:0] led_state_o // Low is lighted
60 );
61

```

mpcs IPインスタンス部

```

483 .sd0rxp_i      (sd7rxp_i), // LANE ID has been set as 7
484 .sd0rxn_i      (sd7rxn_i),
485 .sd0txp_o      (sd7txp_o),
486 .sd0txn_o      (sd7txn_o),
487 .sd0_rext_i    (sd7_rext_i), ←
488 .sd0_refret_i  (sd7_refret_i), ←

```

RTLの悪い例

```

//PMA0
.sd0txp_o (D_SER_P[0]),
.sd0txn_o (D_SER_N[0]),
.sd0_rext_i (1'b0), ←
.sd0_refret_i (1'b0), ←
//PMA1
.sd1txp_o (D_SER_P[1]),
.sd1txn_o (D_SER_N[1]),
.sd1_rext_i (1'b0), ←
.sd1_refret_i (1'b0), ←

```

■ 接続時の注意点②

- ・SDx_REFRET と SDx_REXT は RTL 上での接続も必要です
- * RTL 上で未接続だと配置配線時にもアサインされません

配置配線後のレポート

| | | | |
|------------------|--------|-------------|--------------|
| led_state_o[9] | N2/1 | LVCOS33_OUT | PR19A |
| rstn_i | J2/0 | LVCOS18_IN | PT146B |
| sd7_refret_i | E12/81 | AIO | SD7_REFRET |
| sd7_rext_i | E13/81 | AIO | SD7_REXT |
| sd7rxn_i | C10/81 | HSI | SD7_RXDN |
| sd7rxp_i | B10/81 | HSI | SD7_RXDP |
| sd7txn_o | A8/81 | HSO | SD7_TXDN |
| sd7txp_o | A9/81 | HSO | SD7_TXDP |
| sdq_refclkn_q1_i | D13/81 | HSI | SDQ1_REFCLKN |
| sdq_refclkp_q1_i | C14/81 | HSI | SDQ1_REFCLKP |

| | | | |
|--------|-------------------|-------------|--------------|
| C21/0 | GOUT[9] | LVCOS33_OUT | PT140A |
| C22/0 | GIN[9] | LVCOS33_IN | PT140B |
| D2/80 | | | SD0_RXDN |
| D4/80 | | | SD0_REFRET |
| D6/80 | | | SD1_REFRET |
| D7/80 | REFCLK_P_810 | | SDQ0_REFCLKP |
| D9/80 | | | SD3_REFRET |
| D11/81 | | | SD5_REFRET |
| D12/81 | REFCLK_N_SLEAC | | SDQ1_REFCLKN |
| D14/81 | | | SD7_REXT |
| D16/81 | | | SD7_REFRET |
| D18/0 | unused, PULL:DOWN | | PT146A |
| D19/0 | unused, PULL:DOWN | | PT146B |
| D20/0 | unused, PULL:DOWN | | PT144A |
| D21/0 | unused, PULL:DOWN | | PT144B |
| D22/0 | unused, PULL:DOWN | | PT152A |
| E1/80 | D_SER_P_810[1] | | SD1_TXDP |
| E3/80 | | | SD0_RXDP |
| E5/80 | | | SD0_REXT |
| E6/80 | | | SD1_REXT |

8.4 SerDes/PCSの基準クロック入力について

■ リファレンスクロックの種類について

・MPCS へ入力するリファレンスクロック源は以下のどれかを選択可能です。

それぞれのクロック源は入力ピンが異なるためご注意ください。

- ・各 Quad のパッケージピン : SDQx_REFCLKP/N
- ・専用パッケージピン : SD_EXTx_REFCLKP/N
- ・ファブリックにある GPLL : 高いデータレートを使用される場合は GPLL からのリファレンスクロック供給は推奨しません

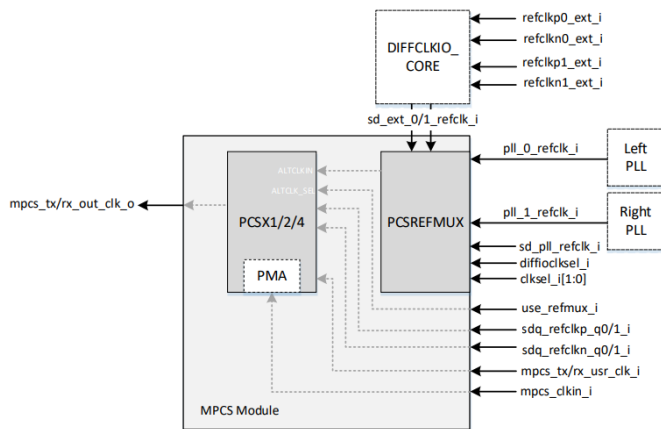


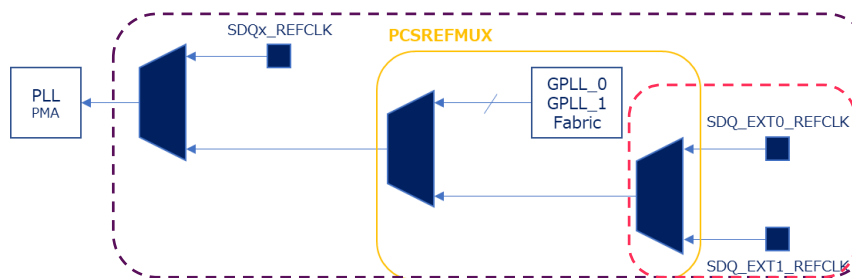
Figure 2.10. Reference Clock Dynamic Selection Block Diagram

FPGA-IPUG-02118-1.2より抜粋

8.4 SerDes/PCSの基準クロック入力について

■ リファレンスクロックの選択について

- ・使用するクロックに合わせ FPGA 内部のクロックセクタで選択します
 - ・使用するクロックに合わせセクタの値を設定（参考図①）
 - ・SDQ_EXT_REFCLK 使用する場合は RTL 記述で DIFFCLKIO もインスタンス（参考図②）



user_refmux_i

1'b1 - clock from PCSREFMUX output
1'b0 - clock from per quad source
(sdq_refclkp_i, sdq_refclk_n_i)

clkssel_i

2'b11 - sd_pll_refclk_i
2'b10 - sd_ext_x_refclk_i
2'b01 - pll_1_refclk_i
2'b00 - pll_0_refclk_i

diffclkssel_i

1'b1 - sd_ext_1_refclk_i
1'b0 - sd_ext_0_refclk_i

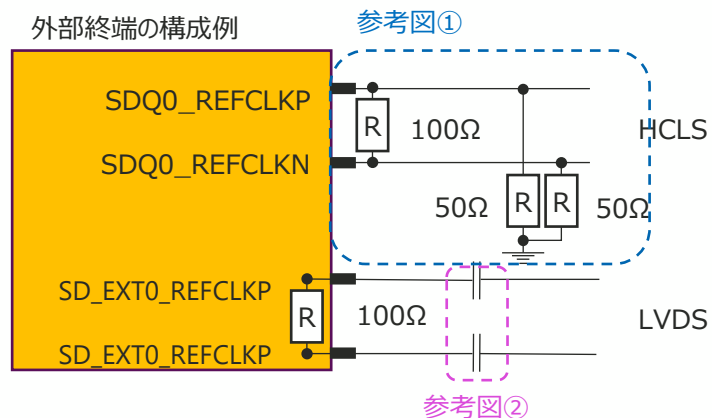
参考図① -SDQ_EXT0_REFCLK を選択する場合の例

```
08 rtx_pcs rtx_pcs_i(  
09   .use_refmux_i(1'b1),  
10   .diffioclkssel_i(1'b0),  
11   .clkssel_i(2'b10), // 2'b11 sd_pll , 2'b10 ext_ref_clk  
12   .sdq_refclkp_n0_i(  
13     .clkp0(sdq_refclkp_i),  
14     .clkn0(sdq_refclk_n_i),  
15     .clkp1(sdq_refclkp_i),  
16     .clkn1(sdq_refclk_n_i),  
17     .clkp2(sdq_refclkp_i),  
18     .clkn2(sdq_refclk_n_i),  
19     .clkp3(sdq_refclkp_i),  
20     .clkn3(sdq_refclk_n_i),  
21     .clkp4(sdq_refclkp_i),  
22     .clkn4(sdq_refclk_n_i),  
23     .clkp5(sdq_refclkp_i),  
24     .clkn5(sdq_refclk_n_i),  
25     .clkp6(sdq_refclkp_i),  
26     .clkn6(sdq_refclk_n_i),  
27     .clkp7(sdq_refclkp_i),  
28     .clkn7(sdq_refclk_n_i),  
29     .clkp8(sdq_refclkp_i),  
30     .clkn8(sdq_refclk_n_i),  
31     .clkp9(sdq_refclkp_i),  
32     .clkn9(sdq_refclk_n_i),  
33     .clkp10(sdq_refclkp_i),  
34     .clkn10(sdq_refclk_n_i),  
35     .clkp11(sdq_refclkp_i),  
36     .clkn11(sdq_refclk_n_i),  
37     .clkp12(sdq_refclkp_i),  
38     .clkn12(sdq_refclk_n_i),  
39     .clkp13(sdq_refclkp_i),  
40     .clkn13(sdq_refclk_n_i),  
41     .clkp14(sdq_refclkp_i),  
42     .clkn14(sdq_refclk_n_i),  
43     .clkp15(sdq_refclkp_i),  
44     .clkn15(sdq_refclk_n_i),  
45     .clkp16(sdq_refclkp_i),  
46     .clkn16(sdq_refclk_n_i),  
47     .clkp17(sdq_refclkp_i),  
48     .clkn17(sdq_refclk_n_i),  
49     .clkp18(sdq_refclkp_i),  
50     .clkn18(sdq_refclk_n_i),  
51     .clkp19(sdq_refclkp_i),  
52     .clkn19(sdq_refclk_n_i),  
53     .clkp20(sdq_refclkp_i),  
54     .clkn20(sdq_refclk_n_i),  
55     .clkp21(sdq_refclkp_i),  
56     .clkn21(sdq_refclk_n_i),  
57     .clkp22(sdq_refclkp_i),  
58     .clkn22(sdq_refclk_n_i),  
59     .clkp23(sdq_refclkp_i),  
60     .clkn23(sdq_refclk_n_i),  
61     .clkp24(sdq_refclkp_i),  
62     .clkn24(sdq_refclk_n_i),  
63     .clkp25(sdq_refclkp_i),  
64     .clkn25(sdq_refclk_n_i),  
65     .clkp26(sdq_refclkp_i),  
66     .clkn26(sdq_refclk_n_i),  
67     .clkp27(sdq_refclkp_i),  
68     .clkn27(sdq_refclk_n_i),  
69     .clkp28(sdq_refclkp_i),  
70     .clkn28(sdq_refclk_n_i),  
71     .clkp29(sdq_refclkp_i),  
72     .clkn29(sdq_refclk_n_i),  
73     .clkp30(sdq_refclkp_i),  
74     .clkn30(sdq_refclk_n_i),  
75     .clkp31(sdq_refclkp_i),  
76     .clkn31(sdq_refclk_n_i),  
77     .clkp32(sdq_refclkp_i),  
78     .clkn32(sdq_refclk_n_i),  
79     .clkp33(sdq_refclkp_i),  
80     .clkn33(sdq_refclk_n_i),  
81     .clkp34(sdq_refclkp_i),  
82     .clkn34(sdq_refclk_n_i),  
83     .clkp35(sdq_refclkp_i),  
84     .clkn35(sdq_refclk_n_i),  
85     .clkp36(sdq_refclkp_i),  
86     .clkn36(sdq_refclk_n_i),  
87     .clkp37(sdq_refclkp_i),  
88     .clkn37(sdq_refclk_n_i),  
89     .clkp38(sdq_refclkp_i),  
90     .clkn38(sdq_refclk_n_i),  
91     .clkp39(sdq_refclkp_i),  
92     .clkn39(sdq_refclk_n_i),  
93     .clkp40(sdq_refclkp_i),  
94     .clkn40(sdq_refclk_n_i),  
95     .clkp41(sdq_refclkp_i),  
96     .clkn41(sdq_refclk_n_i),  
97     .clkp42(sdq_refclkp_i),  
98     .clkn42(sdq_refclk_n_i),  
99     .clkp43(sdq_refclkp_i),  
100    .clkn43(sdq_refclk_n_i),  
101    .clkp44(sdq_refclkp_i),  
102    .clkn44(sdq_refclk_n_i),  
103    .clkp45(sdq_refclkp_i),  
104    .clkn45(sdq_refclk_n_i),  
105    .clkp46(sdq_refclkp_i),  
106    .clkn46(sdq_refclk_n_i),  
107    .clkp47(sdq_refclkp_i),  
108    .clkn47(sdq_refclk_n_i),  
109    .clkp48(sdq_refclkp_i),  
110    .clkn48(sdq_refclk_n_i),  
111    .clkp49(sdq_refclkp_i),  
112    .clkn49(sdq_refclk_n_i),  
113    .clkp50(sdq_refclkp_i),  
114    .clkn50(sdq_refclk_n_i),  
115    .clkp51(sdq_refclkp_i),  
116    .clkn51(sdq_refclk_n_i),  
117    .clkp52(sdq_refclkp_i),  
118    .clkn52(sdq_refclk_n_i),  
119    .clkp53(sdq_refclkp_i),  
120    .clkn53(sdq_refclk_n_i),  
121    .clkp54(sdq_refclkp_i),  
122    .clkn54(sdq_refclk_n_i),  
123    .clkp55(sdq_refclkp_i),  
124    .clkn55(sdq_refclk_n_i),  
125    .clkp56(sdq_refclkp_i),  
126    .clkn56(sdq_refclk_n_i),  
127    .clkp57(sdq_refclkp_i),  
128    .clkn57(sdq_refclk_n_i),  
129    .clkp58(sdq_refclkp_i),  
130    .clkn58(sdq_refclk_n_i),  
131    .clkp59(sdq_refclkp_i),  
132    .clkn59(sdq_refclk_n_i),  
133    .clkp60(sdq_refclkp_i),  
134    .clkn60(sdq_refclk_n_i),  
135    .clkp61(sdq_refclkp_i),  
136    .clkn61(sdq_refclk_n_i),  
137    .clkp62(sdq_refclkp_i),  
138    .clkn62(sdq_refclk_n_i),  
139    .clkp63(sdq_refclkp_i),  
140    .clkn63(sdq_refclk_n_i),  
141    .clkp64(sdq_refclkp_i),  
142    .clkn64(sdq_refclk_n_i),  
143    .clkp65(sdq_refclkp_i),  
144    .clkn65(sdq_refclk_n_i),  
145    .clkp66(sdq_refclkp_i),  
146    .clkn66(sdq_refclk_n_i),  
147    .clkp67(sdq_refclkp_i),  
148    .clkn67(sdq_refclk_n_i),  
149    .clkp68(sdq_refclkp_i),  
150    .clkn68(sdq_refclk_n_i),  
151    .clkp69(sdq_refclkp_i),  
152    .clkn69(sdq_refclk_n_i),  
153    .clkp70(sdq_refclkp_i),  
154    .clkn70(sdq_refclk_n_i),  
155    .clkp71(sdq_refclkp_i),  
156    .clkn71(sdq_refclk_n_i),  
157    .clkp72(sdq_refclkp_i),  
158    .clkn72(sdq_refclk_n_i),  
159    .clkp73(sdq_refclkp_i),  
160    .clkn73(sdq_refclk_n_i),  
161    .clkp74(sdq_refclkp_i),  
162    .clkn74(sdq_refclk_n_i),  
163    .clkp75(sdq_refclkp_i),  
164    .clkn75(sdq_refclk_n_i),  
165    .clkp76(sdq_refclkp_i),  
166    .clkn76(sdq_refclk_n_i),  
167    .clkp77(sdq_refclkp_i),  
168    .clkn77(sdq_refclk_n_i),  
169    .clkp78(sdq_refclkp_i),  
170    .clkn78(sdq_refclk_n_i),  
171    .clkp79(sdq_refclkp_i),  
172    .clkn79(sdq_refclk_n_i),  
173    .clkp80(sdq_refclkp_i),  
174    .clkn80(sdq_refclk_n_i),  
175    .clkp81(sdq_refclkp_i),  
176    .clkn81(sdq_refclk_n_i),  
177    .clkp82(sdq_refclkp_i),  
178    .clkn82(sdq_refclk_n_i),  
179    .clkp83(sdq_refclkp_i),  
180    .clkn83(sdq_refclk_n_i),  
181    .clkp84(sdq_refclkp_i),  
182    .clkn84(sdq_refclk_n_i),  
183    .clkp85(sdq_refclkp_i),  
184    .clkn85(sdq_refclk_n_i),  
185    .clkp86(sdq_refclkp_i),  
186    .clkn86(sdq_refclk_n_i),  
187    .clkp87(sdq_refclkp_i),  
188    .clkn87(sdq_refclk_n_i),  
189    .clkp88(sdq_refclkp_i),  
190    .clkn88(sdq_refclk_n_i),  
191    .clkp89(sdq_refclkp_i),  
192    .clkn89(sdq_refclk_n_i),  
193    .clkp90(sdq_refclkp_i),  
194    .clkn90(sdq_refclk_n_i),  
195    .clkp91(sdq_refclkp_i),  
196    .clkn91(sdq_refclk_n_i),  
197    .clkp92(sdq_refclkp_i),  
198    .clkn92(sdq_refclk_n_i),  
199    .clkp93(sdq_refclkp_i),  
200    .clkn93(sdq_refclk_n_i),  
201    .clkp94(sdq_refclkp_i),  
202    .clkn94(sdq_refclk_n_i),  
203    .clkp95(sdq_refclkp_i),  
204    .clkn95(sdq_refclk_n_i),  
205    .clkp96(sdq_refclkp_i),  
206    .clkn96(sdq_refclk_n_i),  
207    .clkp97(sdq_refclkp_i),  
208    .clkn97(sdq_refclk_n_i),  
209    .clkp98(sdq_refclkp_i),  
210    .clkn98(sdq_refclk_n_i),  
211    .clkp99(sdq_refclkp_i),  
212    .clkn99(sdq_refclk_n_i),  
213    .clkp100(sdq_refclkp_i),  
214    .clkn100(sdq_refclk_n_i),  
215    .clkp101(sdq_refclkp_i),  
216    .clkn101(sdq_refclk_n_i),  
217    .clkp102(sdq_refclkp_i),  
218    .clkn102(sdq_refclk_n_i),  
219    .clkp103(sdq_refclkp_i),  
220    .clkn103(sdq_refclk_n_i),  
221    .clkp104(sdq_refclkp_i),  
222    .clkn104(sdq_refclk_n_i),  
223    .clkp105(sdq_refclkp_i),  
224    .clkn105(sdq_refclk_n_i),  
225    .clkp106(sdq_refclkp_i),  
226    .clkn106(sdq_refclk_n_i),  
227    .clkp107(sdq_refclkp_i),  
228    .clkn107(sdq_refclk_n_i),  
229    .clkp108(sdq_refclkp_i),  
230    .clkn108(sdq_refclk_n_i),  
231    .clkp109(sdq_refclkp_i),  
232    .clkn109(sdq_refclk_n_i),  
233    .clkp110(sdq_refclkp_i),  
234    .clkn110(sdq_refclk_n_i),  
235    .clkp111(sdq_refclkp_i),  
236    .clkn111(sdq_refclk_n_i),  
237    .clkp112(sdq_refclkp_i),  
238    .clkn112(sdq_refclk_n_i),  
239    .clkp113(sdq_refclkp_i),  
240    .clkn113(sdq_refclk_n_i),  
241    .clkp114(sdq_refclkp_i),  
242    .clkn114(sdq_refclk_n_i),  
243    .clkp115(sdq_refclkp_i),  
244    .clkn115(sdq_refclk_n_i),  
245    .clkp116(sdq_refclkp_i),  
246    .clkn116(sdq_refclk_n_i),  
247    .clkp117(sdq_refclkp_i),  
248    .clkn117(sdq_refclk_n_i),  
249    .clkp118(sdq_refclkp_i),  
250    .clkn118(sdq_refclk_n_i),  
251    .clkp119(sdq_refclkp_i),  
252    .clkn119(sdq_refclk_n_i),  
253    .clkp120(sdq_refclkp_i),  
254    .clkn120(sdq_refclk_n_i),  
255    .clkp121(sdq_refclkp_i),  
256    .clkn121(sdq_refclk_n_i),  
257    .clkp122(sdq_refclkp_i),  
258    .clkn122(sdq_refclk_n_i),  
259    .clkp123(sdq_refclkp_i),  
260    .clkn123(sdq_refclk_n_i),  
261    .clkp124(sdq_refclkp_i),  
262    .clkn124(sdq_refclk_n_i),  
263    .clkp125(sdq_refclkp_i),  
264    .clkn125(sdq_refclk_n_i),  
265    .clkp126(sdq_refclkp_i),  
266    .clkn126(sdq_refclk_n_i),  
267    .clkp127(sdq_refclkp_i),  
268    .clkn127(sdq_refclk_n_i),  
269    .clkp128(sdq_refclkp_i),  
270    .clkn128(sdq_refclk_n_i),  
271    .clkp129(sdq_refclkp_i),  
272    .clkn129(sdq_refclk_n_i),  
273    .clkp130(sdq_refclkp_i),  
274    .clkn130(sdq_refclk_n_i),  
275    .clkp131(sdq_refclkp_i),  
276    .clkn131(sdq_refclk_n_i),  
277    .clkp132(sdq_refclkp_i),  
278    .clkn132(sdq_refclk_n_i),  
279    .clkp133(sdq_refclkp_i),  
280    .clkn133(sdq_refclk_n_i),  
281    .clkp134(sdq_refclkp_i),  
282    .clkn134(sdq_refclk_n_i),  
283    .clkp135(sdq_refclkp_i),  
284    .clkn135(sdq_refclk_n_i),  
285    .clkp136(sdq_refclkp_i),  
286    .clkn136(sdq_refclk_n_i),  
287    .clkp137(sdq_refclkp_i),  
288    .clkn137(sdq_refclk_n_i),  
289    .clkp138(sdq_refclkp_i),  
290    .clkn138(sdq_refclk_n_i),  
291    .clkp139(sdq_refclkp_i),  
292    .clkn139(sdq_refclk_n_i),  
293    .clkp140(sdq_refclkp_i),  
294    .clkn140(sdq_refclk_n_i),  
295    .clkp141(sdq_refclkp_i),  
296    .clkn141(sdq_refclk_n_i),  
297    .clkp142(sdq_refclkp_i),  
298    .clkn142(sdq_refclk_n_i),  
299    .clkp143(sdq_refclkp_i),  
300    .clkn143(sdq_refclk_n_i),  
301    .clkp144(sdq_refclkp_i),  
302    .clkn144(sdq_refclk_n_i),  
303    .clkp145(sdq_refclkp_i),  
304    .clkn145(sdq_refclk_n_i),  
305    .clkp146(sdq_refclkp_i),  
306    .clkn146(sdq_refclk_n_i),  
307    .clkp147(sdq_refclkp_i),  
308    .clkn147(sdq_refclk_n_i),  
309    .clkp148(sdq_refclkp_i),  
310    .clkn148(sdq_refclk_n_i),  
311    .clkp149(sdq_refclkp_i),  
312    .clkn149(sdq_refclk_n_i),  
313    .clkp150(sdq_refclkp_i),  
314    .clkn150(sdq_refclk_n_i),  
315    .clkp151(sdq_refclkp_i),  
316    .clkn151(sdq_refclk_n_i),  
317    .clkp152(sdq_refclkp_i),  
318    .clkn152(sdq_refclk_n_i),  
319    .clkp153(sdq_refclkp_i),  
320    .clkn153(sdq_refclk_n_i),  
321    .clkp154(sdq_refclkp_i),  
322    .clkn154(sdq_refclk_n_i),  
323    .clkp155(sdq_refclkp_i),  
324    .clkn155(sdq_refclk_n_i),  
325    .clkp156(sdq_refclkp_i),  
326    .clkn156(sdq_refclk_n_i),  
327    .clkp157(sdq_refclkp_i),  
328    .clkn157(sdq_refclk_n_i),  
329    .clkp158(sdq_refclkp_i),  
330    .clkn158(sdq_refclk_n_i),  
331    .clkp159(sdq_refclkp_i),  
332    .clkn159(sdq_refclk_n_i),  
333    .clkp160(sdq_refclkp_i),  
334    .clkn160(sdq_refclk_n_i),  
335    .clkp161(sdq_refclkp_i),  
336    .clkn161(sdq_refclk_n_i),  
337    .clkp162(sdq_refclkp_i),  
338    .clkn162(sdq_refclk_n_i),  
339    .clkp163(sdq_refclkp_i),  
340    .clkn163(sdq_refclk_n_i),  
341    .clkp164(sdq_refclkp_i),  
342    .clkn164(sdq_refclk_n_i),  
343    .clkp165(sdq_refclkp_i),  
344    .clkn165(sdq_refclk_n_i),  
345    .clkp166(sdq_refclkp_i),  
346    .clkn166(sdq_refclk_n_i),  
347    .clkp167(sdq_refclkp_i),  
348    .clkn167(sdq_refclk_n_i),  
349    .clkp168(sdq_refclkp_i),  
350    .clkn168(sdq_refclk_n_i),  
351    .clkp169(sdq_refclkp_i),  
352    .clkn169(sdq_refclk_n_i),  
353    .clkp170(sdq_refclkp_i),  
354    .clkn170(sdq_refclk_n_i),  
355    .clkp171(sdq_refclkp_i),  
356    .clkn171(sdq_refclk_n_i),  
357    .clkp172(sdq_refclkp_i),  
358    .clkn172(sdq_refclk_n_i),  
359    .clkp173(sdq_refclkp_i),  
360    .clkn173(sdq_refclk_n_i),  
361    .clkp174(sdq_refclkp_i),  
362    .clkn174(sdq_refclk_n_i),  
363    .clkp175(sdq_refclkp_i),  
364    .clkn175(sdq_refclk_n_i),  
365    .clkp176(sdq_refclkp_i),  
366    .clkn176(sdq_refclk_n_i),  
367    .clkp177(sdq_refclkp_i),  
368    .clkn177(sdq_refclk_n_i),  
369    .clkp178(sdq_refclkp_i),  
370    .clkn178(sdq_refclk_n_i),  
371    .clkp179(sdq_refclkp_i),  
372    .clkn179(sdq_refclk_n_i),  
373    .clkp180(sdq_refclkp_i),  
374    .clkn180(sdq_refclk_n_i),  
375    .clkp181(sdq_refclkp_i),  
376    .clkn181(sdq_refclk_n_i),  
377    .clkp182(sdq_refclkp_i),  
378    .clkn182(sdq_refclk_n_i),  
379    .clkp183(sdq_refclkp_i),  
380    .clkn183(sdq_refclk_n_i),  
381    .clkp184(sdq_refclkp_i),  
382    .clkn184(sdq_refclk_n_i),  
383    .clkp185(sdq_refclkp_i),  
384    .clkn185(sdq_refclk_n_i),  
385    .clkp186(sdq_refclkp_i),  
386    .clkn186(sdq_refclk_n_i),  
387    .clkp187(sdq_refclkp_i),  
388    .clkn187(sdq_refclk_n_i),  
389    .clkp188(sdq_refclkp_i),  
390    .clkn188(sdq_refclk_n_i),  
391    .clkp189(sdq_refclkp_i),  
392    .clkn189(sdq_refclk_n_i),  
393    .clkp190(sdq_refclkp_i),  
394    .clkn190(sdq_refclk_n_i),  
395    .clkp191(sdq_refclkp_i),  
396    .clkn191(sdq_refclk_n_i),  
397    .clkp192(sdq_refclkp_i),  
398    .clkn192(sdq_refclk_n_i),  
399    .clkp193(sdq_refclkp_i),  
400    .clkn193(sdq_refclk_n_i),  
401    .clkp194(sdq_refclkp_i),  
402    .clkn194(sdq_refclk_n_i),  
403    .clkp195(sdq_refclkp_i),  
404    .clkn195(sdq_refclk_n_i),  
405    .clkp196(sdq_refclkp_i),  
406    .clkn196(sdq_refclk_n_i),  
407    .clkp197(sdq_refclkp_i),  
408    .clkn197(sdq_refclk_n_i),  
409    .clkp198(sdq_refclkp_i),  
410    .clkn198(sdq_refclk_n_i),  
411    .clkp199(sdq_refclkp_i),  
412    .clkn199(sdq_refclk_n_i),  
413    .clkp200(sdq_refclkp_i),  
414    .clkn200(sdq_refclk_n_i),  
415    .clkp201(sdq_refclkp_i),  
416    .clkn201(sdq_refclk_n_i),  
417    .clkp202(sdq_refclkp_i),  
418    .clkn202(sdq_refclk_n_i),  
419    .clkp203(sdq_refclkp_i),  
420    .clkn203(sdq_refclk_n_i),  
421    .clkp204(sdq_refclkp_i),  
422    .clkn204(sdq_refclk_n_i),  
423    .clkp205(sdq_refclkp_i),  
424    .clkn205(sdq_refclk_n_i),  
425    .clkp206(sdq_refclkp_i),  
426    .clkn206(sdq_refclk_n_i),  
427    .clkp207(sdq_refclkp_i),  
428    .clkn207(sdq_refclk_n_i),  
429    .clkp208(sdq_refclkp_i),  
430    .clkn208(sdq_refclk_n_i),  
431    .clkp209(sdq_refclkp_i),  
432    .clkn209(sdq_refclk_n_i),  
433    .clkp210(sdq_refclkp_i),  
434    .clkn210(sdq_refclk_n_i),  
435    .clkp211(sdq_refclkp_i),  
436    .clkn211(sdq_refclk_n_i),  
437    .clkp212(sdq_refclkp_i),  
438    .clkn212(sdq_refclk_n_i),  
439    .clkp213(sdq_refclkp_i),  
440    .clkn213(sdq_refclk_n_i),  
441    .clkp214(sdq_refclkp_i),  
442    .clkn214(sdq_refclk_n_i),  
443    .clkp215(sdq_refclkp_i),  
444    .clkn215(sdq_refclk_n_i),  
445    .clkp216(sdq_refclkp_i),  
446    .clkn216(sdq_refclk_n_i),  
447    .clkp217(sdq_refclkp_i),  
448    .clkn217(sdq_refclk_n_i),  
449    .clkp218(sdq_refclkp_i),  
450    .clkn218(sdq_refclk_n_i),  
451    .clkp219(sdq_refclkp_i),  
452    .clkn219(sdq_refclk_n_i),  
453    .clkp220(sdq_refclkp_i),  
454    .clkn220(sdq_refclk_n_i),  
455    .clkp221(sdq_refclkp_i),  
456    .clkn221(sdq_refclk_n_i),  
457    .clkp222(sdq_refclkp_i),  
458    .clkn222(sdq_refclk_n_i),  
459    .clkp223(sdq_refclkp_i),  
460    .clkn223(sdq_refclk_n_i),  
461    .clkp224(sdq_refclkp_i),  
462    .clkn224(sdq_refclk_n_i),  
463    .clkp225(sdq_refclkp_i),  
464    .clkn225(sdq_refclk_n_i),  
465    .clkp226(sdq_refclkp_i),  
466    .clkn226(sdq_refclk_n_i),  
467    .clkp227(sdq_refclkp_i),  
468    .clkn227(sdq_refclk_n_i),  
469    .clkp228(sdq_refclkp_i),  
470    .clkn228(sdq_refclk_n_i),  
471    .clkp229(sdq_refclkp_i),  
472    .clkn229(sdq_refclk_n_i),  
473    .clkp230(sdq_refclkp_i),  
474    .clkn230(sdq_refclk_n_i),  
475    .clkp231(sdq_refclkp_i),  
476    .clkn231(sdq_refclk_n_i),  
477    .clkp232(sdq_refclkp_i),  
478    .clkn232(sdq_refclk_n_i),  
479    .clkp233(sdq_refclkp_i),  
480    .clkn233(sdq_refclk_n_i),  
481    .clkp234(sdq_refclkp_i),  
482    .clkn234(sdq_refclk_n_i),  
483    .clkp235(sdq_refclkp_i),  
484    .clkn235(sdq_refclk_n_i),  
485    .clkp236(sdq_refclkp_i),  
486    .clkn236(sdq_refclk_n_i),  
487    .clkp237(sdq_refclkp_i),  
488    .clkn237(sdq_refclk_n_i),  
489    .clkp238(sdq_refclkp_i),  
490    .clkn238(sdq_refclk_n_i),  
491    .clkp239(sdq_refclkp_i),  
492    .clkn239(sdq_refclk_n_i),  
493    .clkp240(sdq_refclkp_i),  
494    .clkn240(sdq_refclk_n_i),  
495    .clkp241(sdq_refclkp_i),  
496    .clkn241(sdq_refclk_n_i),  
497    .clkp242(sdq_refclkp_i),  
498    .clkn242(sdq_refclk_n_i),  
499    .clkp243(sdq_refclkp_i),  
500    .clkn243(sdq_refclk_n_i),  
501    .clkp244(sdq_refclkp_i),  
502    .clkn244(sdq_refclk_n_i),  
503    .clkp245(sdq_refclkp_i),  
504    .clkn245(sdq_refclk_n_i),  
505    .clkp246(sdq_refclkp_i),  
506    .clkn246(sdq_refclk_n_i),  
507    .clkp247(sdq_refclkp_i),  
508    .clkn247(sdq_refclk_n_i),  
509    .clkp248(sdq_refclkp_i),  
510    .clkn248(sdq_refclk_n_i),  
511    .clkp249(sdq_refclkp_i),  
512    .clkn249(sdq_refclk_n_i),  
513    .clkp250(sdq_refclkp_i),  
514    .clkn250(sdq_refclk_n_i),  
515    .clkp251(sdq_refclkp_i),  
516    .clkn251(sdq_refclk_n_i),  
517    .clkp252(sdq_refclkp_i),  
518    .clkn252(sdq_refclk_n_i),  
519    .clkp253(sdq_refclkp_i),  
520    .clkn253(sdq_refclk_n_i),  
521    .clkp254(sdq_refclkp_i),  
522    .clkn254(sdq_refclk_n_i),  
523    .clkp255(sdq_refclkp_i),  
524    .clkn255(sdq_refclk_n_i),  
525    .clkp256(sdq_refclkp_i),  
526    .clkn256(sdq_refclk_n_i),  
527    .clkp257(sdq_refclkp_i),  
528    .clkn257(sdq_refclk_n_i),  
529    .clkp258(sdq_refclkp_i),  
530    .clkn258(sdq_refclk_n_i),  
531    .clkp259(sdq_refclkp_i),  
532    .clkn259(sdq_refclk_n_i),  
533    .clkp260(sdq_refclkp_i),  
534    .clkn260(sdq_refclk_n_i),  
535    .clkp261(sdq_refclkp_i),  
536    .clkn261(sdq_refclk_n_i),  
537    .clkp262(sdq_refclkp_i),  
538    .clkn262(sdq_refclk_n_i),  
539    .clkp263(sdq_refclkp_i),  
540    .clkn263(sdq_refclk_n_i),  
541    .clkp264(sdq_refclkp_i),  
542    .clkn264(sdq_refclk_n_i),  
543    .clkp265(sdq_refclkp_i),  
544    .clkn265(sdq_refclk_n_i),  
545    .clkp266(sdq_refclkp_i),  
546    .clkn266(sdq_refclk_n_i),  
547    .clkp267(sdq_refclkp_i),  
548    .clkn267(sdq_refclk_n_i),  
549    .clkp268(sdq_refclkp_i),  
550    .clkn268(sdq_refclk_n_i),  
551    .clkp269(sdq_refclkp_i),  
552    .clkn269(sdq_refclk_n_i),  
553    .clkp270(sdq_refclkp_i),  
554    .clkn270(sdq_refclk_n_i),  
555    .clkp271(sdq_refclkp_i),  
556    .clkn271(sdq_refclk_n_i),  
557    .clkp272(sdq_refclkp_i),  
558    .clkn272(sdq_refclk_n_i),  
559    .clkp273(sdq_refclkp_i),  
560    .clkn273(sdq_refclk_n_i),  
561    .clkp274(sdq_refclkp_i),  
562    .clkn274(sdq_refclk_n_i),  
563    .clkp275(sdq_refclkp_i),  
564    .clkn275(sdq_refclk_n_i),  
565    .clkp276(sdq_refclkp_i),  
566    .clkn276(sdq_refclk_n_i),  
567    .clkp277(sdq_refclkp_i),  
568    .clkn277(sdq_refclk_n_i),  
569    .clkp278(sdq_refclkp_i),  
570    .clkn278(sdq_refclk_n_i),  
571    .clkp279(sdq_refclkp_i),  
572    .clkn279(sdq_refclk_n_i),  
573    .clkp280(sdq_refclkp_i),  
574    .clkn280(sdq_refclk_n_i),  
575    .clkp281(sdq_refclkp_i),  
576    .clkn281(sdq_refclk_n_i),  
577    .clkp282(sdq_refclkp_i),  
578    .clkn282(sdq_refclk_n_i),  
579    .clkp283(sdq_refclkp_i),  
580    .clkn283(sdq_refclk_n_i),  
581    .clkp284(sdq_refclkp_i),  
582    .clkn284(sdq_refclk_n_i),  
583    .clkp285(sdq_refclkp_i),  
584    .clkn285(sdq_refclk_n_i),  
585    .clkp286(sdq_refclkp_i),  
586    .clkn286(sdq_refclk_n_i),  
587    .clkp287(sdq_refclkp_i),  
588    .clkn287(sdq_refclk_n_i),  
589    .clkp288(sdq_refclkp_i),  
590    .clkn288(sdq_refclk_n_i),  
591    .clkp289(sdq_refclkp_i),  
592    .clkn289(sdq_refclk_n_i),  
593    .clkp290(sdq_refclkp_i),  
594    .clkn290(sdq_refclk_n_i),  
595    .clkp291(sdq_refclkp_i),  
596    .clkn291(sdq_refclk_n_i),  
597    .clkp292(sdq_refclkp_i),  
598    .clkn292(sdq_refclk_n_i),  
599    .clkp293(sdq_refclkp_i),  
600    .clkn293(sdq_refclk_n_i),  
601    .clkp294(sdq_refclkp_i),  
602    .clkn294(sdq_refclk_n_i),  
603    .clkp295(sdq_refclkp_i),  
604    .clkn295(sdq_refclk_n_i),  
605    .clkp296(sdq_refclkp_i),  
606    .clkn
```

8.4 SerDes/PCSの基準クロック入力について

■ リファレンスクロックの外部終端について

- SDQx_REFCLKP/N は内部終端が入っておりませんので、別途基板上に終端抵抗を取り付ける必要があります
 - * 受信側ピン近傍に参考図①の終端抵抗を取り付けてください
 - * HCSL のみサポート
- SD_EXTx_REFCLKP/N は内部終端が入っております
 - * 基板上に AC カップリングコンデンサを取り付けてください（参考図②）
 - * LVDS および HCSL をサポートしているが LVDS を使用することを推奨



8.4 SerDes/PCSの基準クロック入力について

■ リファレンスクロックの注意点

- Quad をまたぎ 5Channel 以上を使用して通信を行う場合は SD_EXTx_REFCLKP/N からリファレンスクロック供給を推奨します
- mpcs_clkin_i はリファレンスクロックと独立しており、任意の100MHz~300MHzのクロックを入力する必要があります
また電源投入後はリファレンスクロックを供給し続ける必要があります
 - * mpcs_tx_out_clk_o は mpcs_clkin_i の入力クロックとしては使用しないでください
 - * mpcs_rx_out_clk_o は mpcs_clkin_i の入力クロックとしては使用しないでください
- リファレンスクロックに SSC を使用される場合は以下の基準に沿う必要があります
 - SSC modulation profile = Down spread
 - SSC modulation frequency = 30kHzから33KHz
 - SSC modulation depth = ±0%から-0.5%

8.5 SerDes/PCSの外部入力基準クロック仕様

■ 振幅について

- 詳細な仕様は Datasheet の SerDes External Reference Clock の項目をご確認ください
- 下図の内容は基準クロックの共通要件ですので、各プロトコルのクロック要件も別途ご確認ください

3.26. SerDes External Reference Clock

The external reference clock selection and its interface are a critical part of system applications for this product. Table 3.43 and Table 3.44 specify the reference clock requirements, over the full range of operating conditions. For other characteristics like jitter, the clock requirements of the target protocol should be used when determining the reference clock source.

Table 3.43. External Reference Clock Specification for SDQx_REFCLKP/N¹

| Symbol | Description | Min | Type | Max | Unit |
|--|---------------------------------|-------|------|------|----------------------|
| F _{REF} | Frequency range | 74.25 | 100 | 162 | MHz |
| F _{REF-PPM} | Frequency tolerance | -300 | — | 300 | ppm |
| V _{REF-IN-DIFF} | Input swing, differential clock | 300 | — | — | mV, p-p differential |
| V _{REF-IN} | DC input levels | -0.3 | — | 1.15 | V |
| D _{REF} | Duty cycle | 40 | — | 60 | % |
| Z _{REF-IN-TERM-DIFF} ² | Differential input termination | — | — | — | Ω |

Notes:

1. Support HCSL I/O standard, DC coupling only.
2. No termination.

Table 3.44. External Reference Clock Specification for SD_EXTx_REFCLKP/N¹

| Symbol | Description | Min | Type | Max | Unit |
|--|---------------------------------|-------|------|-----------------------------------|----------------------|
| F _{REF} | Frequency range | 74.25 | — | 162 | MHz |
| F _{REF-PPM} | Frequency tolerance | -300 | — | 300 | ppm |
| V _{REF-IN-DIFF} | Input swing, differential clock | 200 | — | 2 ¹ V _{CCAUX} | mV, p-p differential |
| V _{REF-IN} | DC input levels | 0 | — | 2 | V |
| D _{REF} | Duty cycle | 40 | — | 60 | % |
| T _{REF-R} | Rise time (20% to 80%) | 200 | 500 | 1000 | ps |
| T _{REF-F} | Fall time (80% to 20%) | 200 | 500 | 1000 | ps |
| Z _{REF-IN-TERM-DIFF} ² | Differential input termination | 70 | 100 | 130 | Ω |

Notes:

1. Support LVDS and HCSL I/O standards.
2. Can be configured as HiZ.

8.6 SerDes/PCSのレシーバー入力仕様

■ 振幅について

- 詳細な仕様は Datasheet の SerDes High-Speed Data Receiver の項目をご確認ください
 - * PCIe を使用される場合は PCI Express Electrical and Timing Characteristics に別で仕様が記載されております
- VRX-DIFF-S は Pch と Nch の差動の電圧レベルを指します
- VRX-IN は Pch と Nch のシングルエンドの電圧レベルを指します

Table 4.41. Serial Input Data Specifications

| Symbol | Description | Condition | Min | Typ | Max | Unit |
|-----------------------|---|---------------------------|-------|-----|-------|------------|
| $V_{RX-DIFF-S}$ | Differential input sensitivity ¹ | — | 100 | — | 1200 | mV, p-p |
| V_{RX-IN} | Input levels | — | 25 | — | 1300 | mV, p-p |
| RX_SSC | JTOL BER with SSC (.5%Dev 33KHz Triangle Down Conv.) | — | — | — | -5000 | ppm |
| $Z_{RX-DIFF-DC}$ | Receiver DC differential impedance | — | 80 | — | 120 | Ω |
| $Z_{RX-HIGH_IMP-DC}$ | Receiver DC differential impedance when powered down | termination_at_-150mv | 1K | — | — | K Ω |
| | | termination_at_0V | 10K | — | — | K Ω |
| | | termination_at_200mv | 20K | — | — | K Ω |
| RL _{RX-DIFF} | Receiver differential Return Loss, package plus silicon | 50 MHz < freq < 1.25 GHz | 10 | — | — | dB |
| | | 1.25 GHz < freq < 2.5 GHz | 8 | — | — | dB |
| | | 2.5 GHz < freq < 4GHz | 5 | — | — | dB |
| | | 4 GHz < freq <= 5 GHz | 4 | — | — | dB |
| RL _{RX-CM} | Receiver common mode Return Loss, package plus silicon | 50 MHz < freq < 2.5 GHz | 6 | — | — | dB |
| | | 2.5 GHz < freq <= 4 GHz | 5 | — | — | dB |
| | | 4.0 GHz < freq <= 5 GHz | 4 | — | — | dB |
| V_{RX-LOS}^3 | Los of signal Detect Threshold | 50 MHz < freq <= 1.25 GHz | 0.06 | — | 0.175 | V, p-p |
| | | 1.25 GHz < freq < 1.5 GHz | 0.065 | — | 0.175 | V, p-p |

Notes:

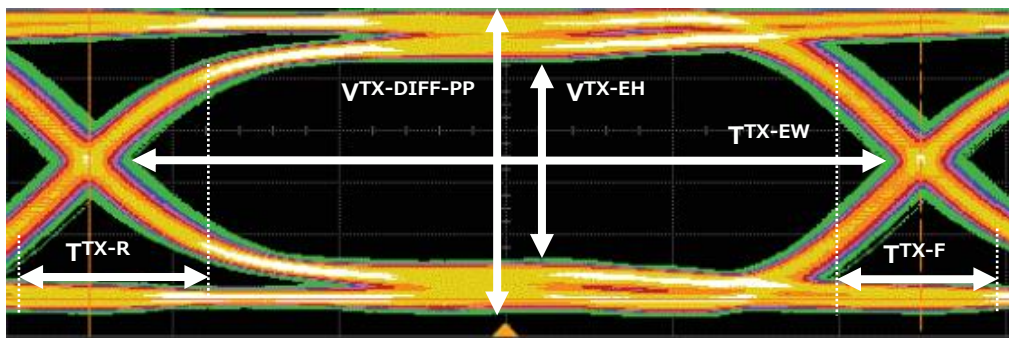
- Measured into 50 Ω Tx impedance at $\pm 5\%$. With EQ, but no stressors added. Fixture de-embedded for 10.3125Gbps. This is a fixed BER Test with 26% margin.
- Refer to PCIe RX stress test.
- Loss of signal Detect Threshold has a frequency dependency that effects threshold voltage at temperature dependency where -40°C is the worst case therefore the two conditions.

FPGA-DS-02086-1.2から抜粋

8.7 SerDes/PCSのトランスミッター出力仕様

■ 振幅について

- ・詳細な仕様は Datasheet の SerDes High-Speed Data Transmitterの項目をご確認ください
 - * PCIe を使用される場合は PCI Express Electrical and Timing Characteristics に別で仕様が記載されております
- ・VTX-DIFF-PP は 1bit サンプルの peak-peak の差動電圧を指します
- ・VTX-EH はアイパターンの VOH(min) – VOL(max) を指します
 - * ジッターやノイズが少ないと VTX-EH は VTX-DIFF-PP に近づいていきます
- ・リンク信号の品質を保つためトランスミッター側の近くに AC カップリングコンデンサを配置します



例) 10G SerDesの仕様

3.23. SerDes High-Speed Data Transmitter

Table 3.39. Serial Output Timing and Levels

| Symbol | Description | Condition | Min | Typ | Max | Unit |
|---------------------------------|--|-----------|-----|------|------|---------|
| Transmitter 10.3125 Gbps | | | | | | |
| $V_{TX-DIFF-PP}$ | Peak-Peak Differential voltage on selected amplitude ^{1, 2} | — | 800 | 1000 | 1200 | mV, p-p |
| $V_{TX-CM-DC}$ | Output common mode voltage ^{1, 2} | — | 400 | 500 | 600 | mV, p-p |
| V_{TX-EH} | Transmitter Eye Height ^{1, 2} | — | 200 | 320 | — | mV, p-p |
| V_{TX-EW} | Transmitter Eye width (all jitter sources) | — | 50 | 60 | — | ps |
| T_{TX-R} | Transmitter Eye Rise time (20% to 80%) | — | 54 | — | 72 | ps |
| T_{TX-F} | Transmitter Eye Fall time (80% to 20%) | — | 44 | — | 89 | ps |

FPGA-DS-02086-1.2から抜粋

8.8 PCIe Hard IP

■ PCIe Hard IP を使用する場合の注意点

- ・128B130B PCS は PCIe Gen3 のみで使用できます
- ・PCIe Hard IP を使用される場合は SDQx_REFCLKP/N からリファレンスクロックを供給する必要があります
- ・PCIe Hard IP を使用される場合は Quad0 を使用する必要があり、
X1 を使用する時は Channel-0、X2 を使用する時は Channel 0 と 1 を使用する必要があります
* Quad1 で PCIe を実現される場合は PCIe Link Layer soft IP を使用する必要があります
- ・リンク信号の品質を保つためトランスミッター側の近くにACカップリングコンデンサを配置します

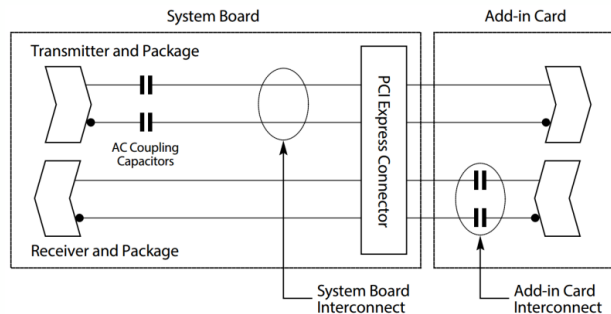
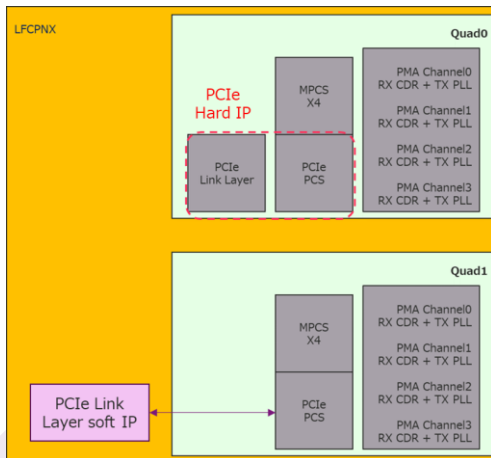


Figure 6.2. PCI Express AC Coupling Capacitors Location

Table 11.1. PCI Express Recommend AC Capacitance

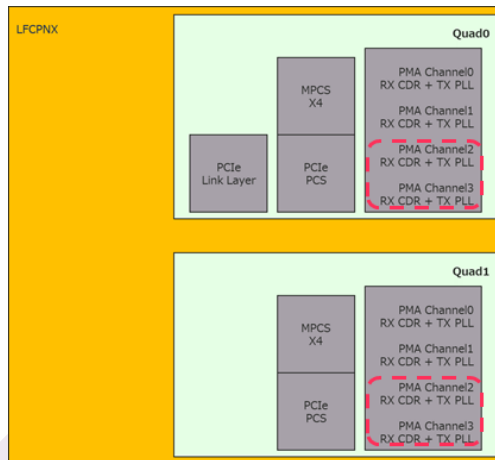
| PCIe Generation | Minimum | Typical | Maximum |
|-----------------|---------|---------|---------|
| Gen1 | 75 nF | — | 265 nF |
| Gen2 | 75 nF | — | 265 nF |
| Gen3 | 176 nF | — | 265 nF |

FPGA-TN-02245-0.83より抜粋

8.9 10GBASE-R

■ 10GBASE-R を使用する場合の注意点

- ・64B66B PCS は 10GBASE-R のみで使用できます
- ・10GBASE-R を使用される場合は Quad0, 1 の Channel 2 もしくは 3 を使用する必要があります
- ・Auto-Negotiation, Training and Forward Error Correction 機能はサポートされておりません
- ・WAN Interface Sublayer は PCS に実装されておりません



Revision History

| Rev | Summary | UPDATE Date |
|---------|-----------------|-------------|
| Rev 1.0 | Initial release | 2023/03/23 |
| | | |
| | | |
| | | |
| | | |
| | | |