

Nexusシリーズユーザーガイド

macnica

はじめに

- 本資料は、Lattice社 NexusシリーズFPGA の設計時の注意事項をまとめています。
- NexusシリーズFPGAは以下のファミリーを指します。
 - CrossLink-NXファミリー
 - Certus-NXファミリー
 - CertusPro-NXファミリー
 - XO5-NXファミリー
- 最終確認として、各Hardware Checklist をご確認ください。
- 実際の動作等の詳細や最終確認は別途データシート、テクニカルノートをご参照ください。
- Lattice 社ドキュメントと本資料との間に差異があった場合、Lattice 社ドキュメントを正とします。
- NX共通のユーザーガイドのため、4 ファミリー共通のパラメータについては、出典の名称のみ記載し、バージョン情報はそれぞれ異なるために割愛しています。

目次

1. 電源ピン関連

- 1.1 電源ピンの説明
- 1.2 電源ランプレート
- 1.3 電源シーケンス
- 1.4 電源Power-On-Reset

2. sysI/Oピン関連

- 2.1 sysI/Oピンの概要
- 2.2 PCLK/GPLL ピン
- 2.3 内部 Pull up/down の抵抗値
- 2.4 電源起動時のI/O の挙動に関して

3. sysI/O BANK 関連

- 3.1 sysI/O BANK 関連
 - 3.1.1 Certus-NX BANK 構成
 - 3.1.2 CertusPro-NX BANK 構成
 - 3.1.3 CrossLink-NX BANK 構成
 - 3.1.4 Mach XO5-NX BANK 構成
- 3.2 BANK 毎のI/O Standard
- 3.3 Mixed Voltage Mode

目次

4. 差動信号関連

4.1 差動信号関連

4.2 LVDS の注意事項

4.2.1 LVDS

4.2.2 LVDS25E (Output Only) の注意事項

4.2.3 SubLVDS (Input Only) の注意事項

4.2.4 SubLVDS/SubLVDS (Output Only) の注意事項

4.2.5 SLVS の注意事項

5. コンフィギュレーション関連

5.1 コンフィギュレーション

5.2 コンフィギュレーションモード概要

5.3 コンフィギュレーション注意事項

5.4 コンフィギュレーションモード選択方法

5.5 各コンフィギュレーションモードにおける使用ピン

5.6 開発ツール上の設定

5.7 コンフィギュレーションフロー

5.8 コンフィギュレーション関連ピン波形

5.9 回路例

5.10 コンフィギュレーションデータサイズ

5.11 Master SPI 動作時の波形

目次

6. Radiant Programmer を用いた書き込み

- 6.1 Download ケーブル
- 6.2 Download ケーブル信号説明
- 6.3 Programmer を用いた書き込みに関する資料
- 6.4 SRAM 領域への書き込み
- 6.5 FPGA 経由でのSPI Flash への書き込み
- 6.6 Feature Row への書き込み
- 6.7 Program Feature Row での書き込み
- 6.8 サポートしている特殊Boot Mode
- 6.9 Dual Boot
- 6.10 Multi Boot
- 6.11 Ping-Pong Boot

7. SerDes/PCS 関連

- 7.1 SerDes/PCS の概要
- 7.2 SerDes/PCS の対応プロトコル
- 7.3 SerDes/PCS の電源設計に関して
- 7.4 SerDes/PCS の基準クロック入力について
- 7.5 SerDes/PCS の外部入力基準クロック仕様
- 7.6 SerDes/PCS のレシーバー入力仕様
- 7.7 SerDes/PCS のトランスミッター出力仕様
- 7.8 10GBASE-R

1. 電源ピン関連

1.1 電源ピンの説明(Certus-NX,CertusPro-NX/CrossLink-NX/MachXO5-NX,MachXO5T-NX)

本項は、Lattice 社の以下の資料より抜粋した情報です。
なお、Lattice 社の英文資料の情報を正とします。

DC and Switching Characteristics for Commercial and Industrial より抜粋

Certus-NX

Certus-NX Family Data Sheet	FPGA-DS-02078-1.9	January 2024
-----------------------------	-------------------	--------------

CertusPro-NX

CertusPro-NX Family Data Sheet	FPGA-DS-02086-1.8	February 2024
--------------------------------	-------------------	---------------

CrossLink-NX

CrossLink-NX Family Data Sheet	FPGA-DS-02049-2.0	October 2023
--------------------------------	-------------------	--------------

MachXO5-NX

MachXO5-NX Family Data Sheet	FPGA-DS-02102-1.5	October 2023
------------------------------	-------------------	--------------

1.1 電源ピンの説明(Certus-NX,CertusPro-NX/CrossLink-NX/MachXO5-NX,MachXO5T-NX)

	Min	Typ.	Max	Unit	Certus-NX	CertusPro-NX	CrossLink-NX	MachXO5-NX, MachXO5T-NX
V _{CC} , V _{CCECLK}	0.95	1.00	1.05	V	コア電源			
V _{CCAUX}	1.71	1.80	1.89	V	-	Bank0,1,2,6,7に対する補助電源	-	-
	1.746	1.80	1.89	V	Bank0,1,2,6,7に対する補助電源	-	Bank0,1,2,6,7に対する補助電源	Bank0,1,2,3,4,7,8,9に対する補助電源
V _{CCAUXH3/4/5}	1.71	1.80	1.89	V	-	Bank3,4,5に対する補助電源	-	-
	1.746	1.80	1.89	V	Bank3,4,5に対する補助電源	-	Bank3,4,5に対する補助電源	-
V _{CCAUXH5/6}	1.746	1.80	1.89		-	-	-	Bank5,6に対する補助電源
V _{CCAUXA}	1.71	1.80	1.89	V	-	コアロジック用補助電源電圧	-	-
	1.746	1.80	1.89	V	コアロジック用補助電源電圧	-	コアロジック用補助電源電圧	コアロジック用補助電源電圧
V _{CCA_D-PHY}	1.71	1.80	1.89	V	-	-	MIPI D-PHYアナログ電源	-
V _{CC_D-PHY}	0.95	1.00	1.05	V	-	-	MIPI D-PHYデジタル電源	-
V _{CCPLL_D-PHY}	0.95	1.00	1.05	V	-	-	MIPI D-PHY PLL電源	-
V _{CCIO}	3.135	3.30	3.465	V	Bank2,6,7	Bank2,6,7	Bank0,1,2,6,7	Bank0,1,2,3,4,7,8,9,Bank 1 は VCCIO 3.3 Vのみ可
	2.375	2.50	2.625	V	Bank2,6,7	Bank2,6,7	Bank0,1,2,6,7	Bank0,2,3,4,7,8,9
	1.71	1.80	1.89	V	All Banks	All Banks	All Banks	All Banks except Bank 1
	1.425	1.50	1.575	V	All Banks	All Banks	All Banks	All Banks except Bank 1
	1.2825	1.35	1.4175	V	VCCIO=1.35V(For DDR3L Only)			
	1.14	1.20	1.26	V	All Banks	All Banks	All Banks	All Banks except Bank 1
	0.95	1.00	1.05	V	Bank3,4,5	Bank3,4,5	Bank3,4,5	Bank5,6

Data Sheet DC and Switching Characteristics for Commercial and Industrial より抜粋

1.1 電源ピンの説明(Certus-NX,CertusPro-NX/CrossLink-NX/MachXO5-NX,MachXO5T-NX)

	Min	Typ.	Max	Unit	Certus-NX,CertusPro-NX	CrossLink-NX	MachXO5-NX,MachXO5T-NX
ADC部							
V _{CCADC18}	1.71	1.80	1.89	V	ADC用電源		
SerDes部							
V _{CCSD}	0.95	1.00	1.05	V	SerDesブロック, I/O供給電源		
V _{CCSDCK}	0.95	1.00	1.05	V	SerDesクロックバッファ供給電源		
V _{CCPLSD}	1.71	1.80	1.89	V	SerDesブロックPLL供給電源		
V _{CCAUXSDQ}	1.71	1.80	1.89	V	SerDesブロック補助電源		

1. 正しく動作させるためには、すべての電源が有効な動作電圧範囲に保持されていなければならない。
2. 同じ電圧の電源はすべて同じ電圧源から供給。適切な絶縁フィルターが必要。
3. SerDes を除き、共通電源レールと一緒に接続。
4. MSPI (Bank 0) と JTAG、SSPI、I2C、I3C (Bank 1) ポートは VCCIO = 1.8 V～3.3 V でサポート。
5. 10G SerDes を使用する場合、VCC 電圧は0.97V～1.05V の範囲内でなければならない。

1.2 電源ランプレート

■ 電源ランプレート

各電源ピンへの電圧供給は以下のランプレートを守らなければならない。

- ・ 0.1V/ms~50V/ms

Power Supply Ramp Rates より抜粋

Certus-NX

Certus-NX Family Data Sheet

FPGA-DS-02078-1.9 January 2024

CertusPro-NX

CertusPro-NX Family Data Sheet

FPGA-DS-02086-1.8 February 2024

CrossLink-NX

CrossLink-NX Family Data Sheet

FPGA-DS-02049-2.0 October 2023

MachXO5-NX

MachXO5-NX Family Data Sheet

FPGA-DS-02102-1.5 October 2023

1.2 電源ランプレート

■電源ランプレート

仕様を基に立ち上げ時間の参考値を算出すると以下のようになる。

計算式

Max $V_{cc}/0.1(V/ms)$: 例 $1.0(V) / 0.1(V/ms) = 10ms$

Min $V_{cc}/50(V/ms)$: 例 $1.0(V) / 50(V/ms) = 0.02ms$

電源種類	電圧(Typ)	Certus-NX,CertusPro-NX/CrossLink-NX/ MachXO5-NX,MachXO5T-NX (ms)	
		Min	Max
V _{CC}	1.0V	0.02	10
V _{CCAUX}	1.8V	0.036	18
V _{CCIO}	1.0V	0.02	10
	1.2V	0.024	12
	1.8V	0.036	18
	2.5V	0.05	25
	3.3V	0.066	33

1.3 電源シーケンス

■電源シーケンス

本デバイスに電源に関するシーケンスの規定は基本的にはありません。

ただし POR 後デバイスが起動すると、IO の出力電圧はそのバンクの V_{CCIO} に依存するため、不定電圧の出力を防止するために POR解除前に V_{CCIO} を立ち上げることを推奨。
または、リセットICなどを使用して、十分な時間PORが掛かるようにする事を推奨。

Power up Sequence より抜粋

Certus-NX

Certus-NX Family Data Sheet	FPGA-DS-02078-1.9	January 2024
-----------------------------	-------------------	--------------

CertusPro-NX

CertusPro-NX Family Data Sheet	FPGA-DS-02086-1.8	February 2024
--------------------------------	-------------------	---------------

CrossLink-NX

CrossLink-NX Family Data Sheet	FPGA-DS-02049-2.0	October 2023
--------------------------------	-------------------	--------------

MachXO5-NX

MachXO5-NX Family Data Sheet	FPGA-DS-02102-1.5	October 2023
------------------------------	-------------------	--------------

1.4 電源Power-On-Reset

- 本項は、Lattice 社の以下の資料より抜粋した情報です。
なお、Lattice 社の英文資料の情報を正とします。

Power-On Reset より抜粋

Certus-NX

Certus-NX Family Data Sheet

FPGA-DS-02078-1.9

January 2024

CertusPro-NX

CertusPro-NX Family Data Sheet

FPGA-DS-02086-1.8

February 2024

CrossLink-NX

CrossLink-NX Family Data Sheet

FPGA-DS-02049-2.0

October 2023

MachXO5-NX

MachXO5-NX Family Data Sheet

FPGA-DS-02102-1.5

October 2023

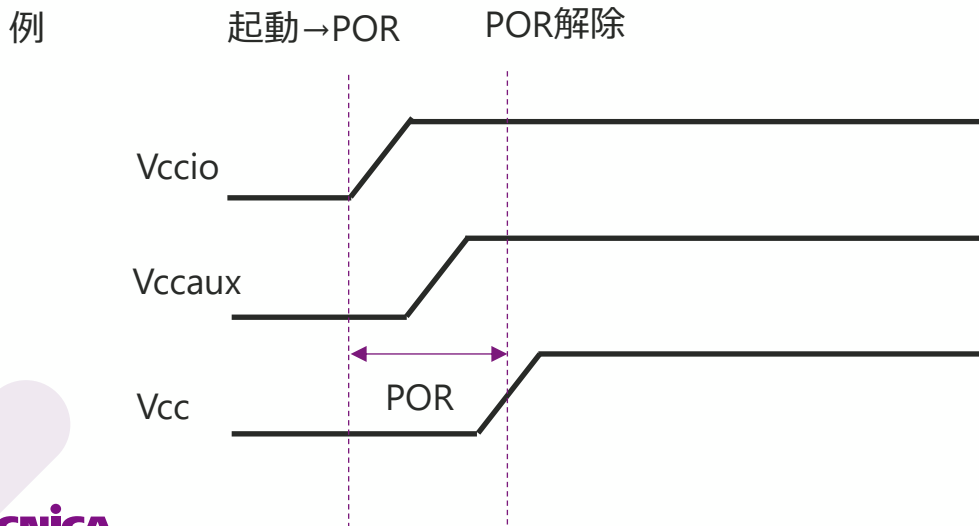
1.4 電源Power-On-Reset

■ 電源立ち上がり時のPOR トリップポイント。

- V_{CC} 0.73V ~ 0.83V
- V_{CCAUX} 1.34V ~ 1.71V (Certus-NX, CrossLink-NX)
- V_{CCAUX} 1.34V ~ 1.62V (CertusPro-NX, Mach XO5-NX, Mach XO5T-NX)
- $V_{CCIO0/1}$ 0.89V ~ 1.05V

POR がかけるとリセット状態になる。

例として上げると下図のようになる。



注意)

V_{ccio} の電源立ち上げシーケンスを最後にした場合、0.89V ~ 1.05V でパワーオンリセットが解除され、不定出力となる。

外部のリセットICでコントロールするか、シーケンス設計を綿密に確認することを推奨。

1.4 電源Power-On-Reset

■ 電源立ち下がり時のPOR トリップポイント。

- V_{CC} 0.51V ~ 0.81V
- V_{CCAUX} 1.38V ~ 1.54V,または 1.59V

2. sysI/Oピン関連

2.1 sysI/Oピンの概要 1/8

- 本項は、Lattice 社の以下の資料より抜粋した情報です。
なお、Lattice 社の英文資料の情報を正とします。

Pinout Information より抜粋

Certus-NX

Certus-NX Family Data Sheet	FPGA-DS-02078-1.9	January 2024
-----------------------------	-------------------	--------------

CertusPro-NX

CertusPro-NX Family Data Sheet	FPGA-DS-02086-1.8	February 2024
--------------------------------	-------------------	---------------

CrossLink-NX

CrossLink-NX Family Data Sheet	FPGA-DS-02049-2.0	October 2023
--------------------------------	-------------------	--------------

MachXO5-NX

MachXO5-NX Family Data Sheet	FPGA-DS-02102-1.5	October 2023
------------------------------	-------------------	--------------

2.1 sysI/Oピンの概要 2/8

以下は専用ピンです。外部処理は設計ツール(Lattice Radiant)に従って処理が必要。

ピン名	入出力	説明	外部処理
Dedicated ピン			
JTAG_EN	I	JTAG ピンをコントロールするピン。 JTAG ピンは Low の場合は GPIO に、Highの場合は JTAG 専用ピン。	4.7k Ω pull-down to GND(Disable時) 1.0k Ω pull-up to V _{CCIO1} (Enable時)
ADC_REFA, ADC_REFB	I	ADC の基準電圧を入力。	未使用時は Open
ADC_DP/NA, ADC_DP/NB	I	ADC への入力専用ピン。	未使用時は Open
SDx_RXDP/N	I	SerDes 用の入力ピン。	未使用時は Open
SDx_TXDP/N	O	SerDes 用の出力ピン。	未使用時は Open
SDQy_REFCLKP/N	I	Quad yの SerDes リファレンスクロック入力ピン。	未使用時は Open
SD_EXTy_REFCLKP/N	I	SerDes 用の外部リファレンスクロック入力ピン。	未使用時は Open
SDx_REXT	I	SerDes 用リファレンス抵抗入力ピン。このピンと SDx_REFRET の間に抵抗を接続。 外部抵抗値に基づいて、オンチップ差動終端インピーダンスを調整するために使用。	未使用時は Open
SDx_REFRET	I	SerDes 用リファレンスリターン入力ピン。このピンと SDx_REXT の間に抵抗を接続。 V _{CCPLLSDx} に AC 結合。	未使用時は Open
D-PHY[0-1]_CKP/N	I/O	MIPI D-PHY クロック入出力ペア (2つのD-PHYブロック毎)。	未使用時は Open
D-PHY[0-1]_DP/N[0-3]	I/O	ハードMIPI D-PHY データ入出力ペア。 2つのハードMIPI D-PHY ブロックの4つの高速レーン毎。	未使用時は Open

2.1 sysI/Oピンの概要 3/8

ピン名	入出力	説明	外部処理
その他のピン			
NC		未接続ピン。何も接続しない。	
RESERVED		予約ピン。RESERVED には何も接続しない。	
汎用ピン			
P[T/B/L/R][Number] _ [A/B] 例 PRxxx , PTxxx , PBxxx , PLxxx など	I/O	USER I/O ピン。T は Top、B は Bottom、L は Left、R は Right の Bank を示す。 A/B は差動のペアを示し、Number は A/B ペアを識別。 Bottom Bank(Bank3, 4, 5) の A/B ペアは True LVDS の入出力に対応。 True LVDS 使用の場合、100Ωの差動終端抵抗が選択可能。 それ以外の Bank では Emulated LVDS は A/B ペアで出力のみサポート可能。	

Datasheet Signal Descriptions より抜粋

2.1 sysI/Oピンの概要 4/8

ピン名	入出力	説明	外部処理
Shared Configuration ピン			
PRxxx/SDA/USER_SDA	I/O	PRxxx : GPIO として使用。 SDA : コンフィギュレーションを I2C/I3C 経由で行う場合の SDA として使用。 USER_SDA : I2C/I3C IF 使用時の SDA として使用。	SDA : 1.0kΩ to 4.7kΩ pull-up to V _{CCIO1} ※Slave I3C コンフィギュ時はプルアップ抵抗不要
PRxxx/SCL/USER_SCL	I/O	PRxxx : GPIOとして使用。 SDA : コンフィギュレーションを I2C/I3C 経由で行う場合の SCL として使用。 USER_SDA : I2C/I3C IF 使用時の SCL として使用。	SCL : 1.0kΩ to 4.7kΩ pull-up to V _{CCIO1} ※Slave I3C コンフィギュ時はプルアップ抵抗不要
PRxxx/TDO/SSO	I/O	PRxxx : GPIO として使用。 TDO : JTAG_EN=1 の時、JTAG ピンとして使用。 SSO : Slave SPI モード時の出力ピンとして使用。	TDO : 4.7kΩ pull-up to V _{CCIO1}
PRxxx/TDI/SSI	I/O	PRxxx : GPIO として使用。 TDI : JTAG_EN=1 の時、JTAG ピンとして使用。 SSI : Slave SPI モード時の入力ピンとして使用。	TDI : 4.7kΩ pull-up to V _{CCIO1} pull-up は出力IC端にて行う
PRxxx/TMS/SCSN	I/O	PRxxx : GPIO として使用。 TMS : JTAG_EN=1 の時、JTAG ピンとして使用。 SCSN : Slave SPIモード時のチップセレクトピンとして使用。	TMS : 4.7kΩ pull-up to V _{CCIO1} SCSN : 4.7kΩ pull-up to V _{CCIO1}
PRxxx/TCK/SCLK	I/O	PRxxx : GPIO として使用。 TCK : JTAG_EN=1 の時、JTAG ピンとして使用。 SCLK : Slave SPI モード時のクロック入力ピンとして使用。	TCK : 2.2kΩ pull-down to GND SCLK : 2.2kΩ pull-down to GND

Datasheet Signal Descriptions より抜粋

2.1 sysI/Oピンの概要 5/8

ピン名	入出力	説明	外部処理
Shared Configuration ピン			
PTxxx/MCSNO	I/O	PTxxx : GPIO として使用。 MCSNO : Master SPI モード時のチップセレクトとして使用。Daisy Chain構成時に使用。	
PTxxx/MD3	I/O	PTxxx : GPIO として使用。 MD3 : Master SPI モードの Quad を使用する際に使用。	
PTxxx/MD2	I/O	PTxxx : GPIO として使用。 MD2 : Master SPI モードの Quad を使用する際に使用。	
PTxxx/MSI/MD1	I/O	PTxxx : GPIO として使用。 MSI : Master SPI モード時の入力として使用。 MD1 : Master SPI モードの Quad を使用する際に使用。	
PTxxx/MSO/MD0	I/O	PTxxx : GPIO として使用。 MSO : Master SPI モード時の出力として使用。 MD0 : Master SPI モードの Quad を使用する際に使用。	
PTxxx/MCSN/PCLKT0_1	I/O	PTxxx : GPIO として使用。 MCSN : Master SPI モード時のチップセレクトとして使用。 PCLKT0_1 : クロック入力ピンとして使用。	MCSN: 4.7k Ω pull-up to V _{CCIO0}
PTxxx/MCLK/PCLKT0_0	I/O	PTxxx : GPIO として使用。 MCLK : Master SPI モード時のクロックピンとして使用。 PCLKT0_0 : クロック入力ピンとして使用。	MCLK: 1.0k Ω pull-down to GND
PTxxx/PROGRAMN	I/O	PTxxx : GPIOとして使用。 PROGRAMN : 入力ピン。任意のタイミングでコンフィギュレーションを開始させるピン。 ※1	PROGRAMN: 4.7k Ω pull-up to V _{CCIO0}
PTxxx/INITN	I/O	PTxxx : GPIOとして使用。 INITN : 双方向オープンドレインピン。コンフィギュレーション可能な状態を示す。※1	INITN: 4.7k Ω pull-up to V _{CCIO0}
PTxxx/DONE	I/O	PTxxx : GPIOとして使用。 DONE : 双方向オープンドレインピン。コンフィギュレーションの完了を示す。※1	DONE: 4.7k Ω pull-up to V _{CCIO0}

※1 詳細は「2.1.4. 電源起動時の I/O の挙動に関して」を参照。

コンフィギュ関連ピンは専用ピンとして使用することを強く推奨。MCLKを汎用ピンとして使用する場合、ワイヤードOR接続を推奨。

2.1 sysI/Oピンの概要 6/8

ピン名	入出力	説明	外部処理
Shared CLOCK Pins			
PBxxx/PCLK[T,C][3,4,5]_[0-3]	I/O	PBxxx: GPIO として使用。 PCLK: Primary Clock パスにつながる入力ピン。 T(True)、C(Complement)は差動の P/N で、シングルエンド入力を使用する場合には T 側を使用。	
PTxxx/PCLKT0_[0-1]	I/O	PTxxx: GPIO として使用。 PCLK: シングルエンドのみ使用可能な Primary Clock パスに繋がる入力ピン。	
PRxxx/PCLKT[1,2]_[0-2]	I/O	PRxxx: GPIO として使用。 PCLK: シングルエンドのみ使用可能な Primary Clock パスに繋がる入力ピン。	
PLxxx/PCLKT[6,7]_[0,2]	I/O	PLxxx: GPIO として使用。 PCLK: シングルエンドのみ使用可能な Primary Clock パスに繋がる入力ピン。	
PBxxx/LRC_GPLL[T,C]_IN	I/O	PBxxx: GPIO として使用。 LRC_GPLL: Lower Right Bank の PLL への CLK 入力ピン。 T(True)、C(Complement)は差動の P/N で、シングルエンド入力を使用する場合には T 側を使用します。	
PBxxx/LLC_GPLL[T,C]_IN	I/O	PLxxx: GPIO として使用。 ULC_GPLL: Lower Left Bank の PLL への CLK 入力ピン。 T(True)、C(Complement)は差動の P/N で、シングルエンド入力を使用する場合には T 側を使用。	
PLxxx/ULC_GPLL_T_IN	I/O	PLxxx: GPIO として使用。 ULC_GPLL: Upper Left Bank の PLL へのシングルエンド CLK 入力ピン。	
PRxxx/URC_GPLL_T_IN	I/O	PRxxx: GPIO として使用。 URC_GPLL: Upper Right Bank の PLL へのシングルエンド入力ピン。	

2.1 sysI/Oピンの概要 7/8

ピン名	入出力	説明	外部処理
Shared JTAG Pins			
PRxxx/TDO/ yyyy	I/O	PRxxx: GPIO TDO: JTAG_EN = 1 の時、JTAG yyyy の TDO 信号として使用。	TDO: 4.7kΩ pull-up to V _{CCIO0}
PRxxx/TDI/yyyy	I/O	PRxxx: GPIO TDI: JTAG_EN = 1 の時、JTAG yyyy の TDI 信号として使用。	TDI: 4.7kΩ pull-up to V _{CCIO0} pull-up は出力IC端にて行う
PRxxx/TMS/ yyyy	I/O	PRxxx: GPIO TMS: JTAG_EN = 1 の時、JTAG yyyy の TMS 信号として使用。	TMS: 4.7kΩ pull-up to V _{CCIO0}
PRxxx/TCK/ yyyy	I/O	PRxxx: GPIO TCK: JTAG_EN = 1 の時、JTAG yyyy の TCK 信号として使用。	TCK: 2.2kΩ pull-down to V _{CCIO0}
Shared VREF Pins			
PBxxx/VREF[3,4,5]_[1-2]/yyyy	I/O	PBxxx: GPIO VREF: DDR メモリ機能の基準電圧。 [3,4,5] = Bank [1-2] 各Bank の VREF まで。 yyyy: その他の選択可能な特定機能ピン。	
Shared Comparator Pins			
PBxxx/COMP[1-3][P,N]/yyyy	I/O	PBxxx: GPIO COMP: 差動コンパレータ入力。[P,N] = 正または負入力。 [1-3] = コンパレータ1~3への入力。 yyyy: その他の選択可能な特定機能ピン。	
Shared SGMII Pins			
PBxxx/SGMII_RX[P,N][0-1]/yyyy	I/O	PBxxx: GPIO SGMII_RX: 差動 SGMII RX 入力。[P,N] = 正または負入力。 [0-1] = SGMII RX0 または RX1 への入力。 yyyy: その他の選択可能な特定機能ピン。	

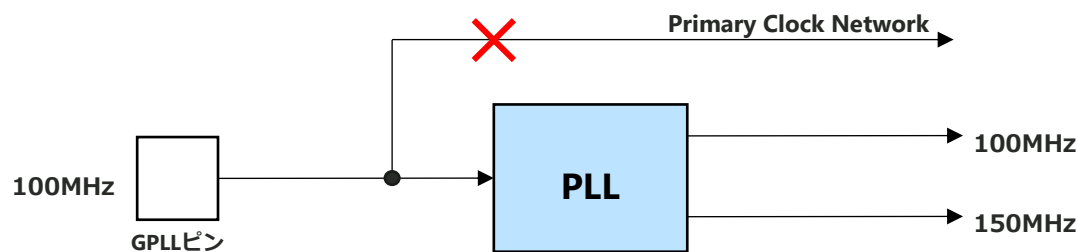
2.1 sysI/Oピンの概要 8/8

ピン名	入出力	説明	外部処理
Shared User GPIO Pins			
PBxxx/VREF[3,4,5]_[1_2]	I/O	PBxxx: GPIO として使用。 VREF: DDR メモリ機能の基準電圧ピン。	
PBxxx/ADC_C[P,N]nn	I/O	PBxxx: GPIO として使用。 ADC_C: ユーザー I/O と ADC 入力の兼用ピン。	
PBxxx/COMP[1-3][P,N]	I/O	PBxxx: GPIO として使用。 COMP: 差動コンパレータ入力ピン。	
PBxxx/SGMII_RX[P,N][0-1]	I/O	PBxxx: GPIO として使用。 SGMII_RX: SGMII 入力ピン。	

[Datasheet](#) [Signal Descriptions](#) [より抜粋](#)

2.2 PCLK/GPLLピン

- ・ クロック信号は必ずクロック入力ピン(PCLK) から入力。
GPIO から入力も可能ですが、内部専用のクロックライン(Primary Clock) に載せるまでに遅延が発生(クロックピンから内部専用クロックラインまでのパスは最小遅延になる)。
- ・ PLL への入力は GPLL ピンを使用することで PLL のクロック入力遅延を最小にできる。
ただし、以下のような PLL 入力を分岐して他の Primary Clock Network を使用し、FF に供給できない(設計ツール上でエラーとなる)。



入力クロックの分岐ができないため、同じ周波数のクロックを使用する場合は同じ周波数のクロック出力を用意する。
将来の拡張を考え、複数のGPLL(PCLK)ピンにクロックを配線しておく事を推奨。

- ・ 基板設計時、PLLを使用するかどうか判断に迷った場合、PLL専用ピン、クロックピン両方にクロック信号を供給しておくことを推奨(使わない方のピンはパターンが繋がっていても特に問題なし)。

引用 : sysCLOCK PLL Design and Usage Guide for Nexus Platform 14.5. PLL Inputs and Outputs
FPGA-TN-02095-2.3 September 2023

2.3 内部 Pull up/down の抵抗値 (1/7)

- ・外部 Pull up/down を設置する際、内部 Pull 設定と反対のレベルとなる場合は、Package Pin 上で中間電位となるのを防ぐために以下の内容に注意。
- ・内部 Pull up/down の抵抗値はそれぞれに流れるリーク電流と V_{CCIO} の推奨電圧範囲から算出可能。

I_{PU}	I/O Weak Pull-up Resistor Current	$0 \leq V_{IN} \leq 0.7 \times V_{CCIO}$	-30	—	-150	μA
I_{PD}	I/O Weak Pull-down Resistor Current	$V_{IL}(\max) \leq V_{IN} \leq V_{CCIO}$	30	—	150	μA

引用：FPGA-DS-02086-1.7 3.8. DC Electrical Characteristics

2.3 内部 Pull up/down の抵抗値 (2/7)

- ・外部 Pull up/down を設置する際、内部 Pull 設定と反対のレベルとなる場合は、Package Pin 上で中間電位となるのを防ぐために以下の内容に注意。
- ・内部 Pull up/down の抵抗値はそれぞれに流れるリーク電流と V_{CCIO} の推奨電圧範囲から算出可能。

入力電圧レンジ

3.11. sysI/O Single-Ended DC Electrical Characteristics

Table 3.14. sysI/O DC Electrical Characteristics – Wide Range I/O

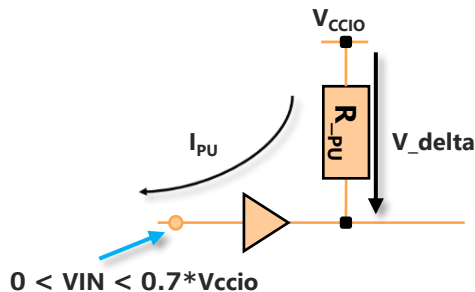
Input/Output Standard ²	V_{IL}		V_{IH}		V_{OL} Max (V)	V_{OH} Min (V)	I_{OL} (mA)	I_{OH} (mA)
	Min (V)	Max (V)	Min (V)	Max (V)				
LVTTL33 LVCMOS33	—	0.8	2.0	3.465 ⁴	0.4	$V_{CCIO} - 0.4$	2, 4, 8, 12, 16, “50RS” ³	-2, -4, -8, -12, -16, “50RS” ³

引用 : FPGA-DS-02086-1.2 3.2. Recommended Operating Conditions

3.11. sysI/O Single-Ended DC Electrical Characteristics

2.3 内部 Pull up/down の抵抗値 (3/7)

- 実際の計算例 LVCMOS33 の場合(Certus-NX, CertusPro-NX, CrossLink-NX)



内部 Pull-Up 抵抗 R_{pu} は流れる電流 I_{pu} と電圧降下 V_{delta} を考慮して計算。

I_{pu} が最大になるのは V_{delta} が最大の時、即ち $V_{IN}=0V$ のとき

	VIN	V_delta	Ipu(uA)	R_pu(KΩ)
LVCMOS33_max	0	3.465	150	23.1
LVCMOS33_min	0	3.135	150	20.9

I_{pu} が最少になるのは $V_{IN}=0.7 \times V_{CCIO}$

	VIN	V_delta	Ipu(uA)	R_pu(KΩ)
LVCMOS33_max	2.425	1.039	30	34.65
LVCMOS33_min	2.194	0.940	30	31.35

従って、LVCMOS33では内部Pull-Upが有効になっているとき、外部処理で論理レベルを反対のレベルにする場合、 $R_{pu} = 20.9K\Omega$ と $V_{IL}(\text{MAX}) = 0.8V$ を考慮すると外部Pull Down=7.16KΩ以下とする。

Recommended Operating Conditionより抜粋

$V_{CCIO} = 3.3V$, Bank 0, Bank 1, Bank 2, Bank 6, Bank 7	3.135	3.30	3.465	V
--	-------	------	-------	---

sysI/O Single-Ended DC Electrical Characteristicsより抜粋

Table 3.14. sysI/O DC Electrical Characteristics – Wide Range I/O

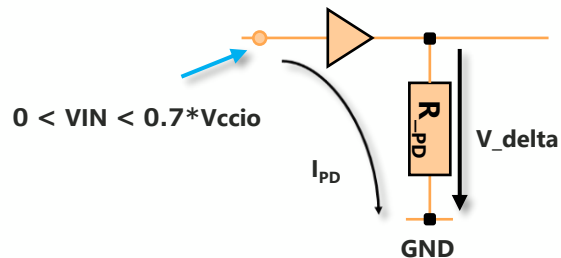
Input/Output Standard ²	V_{IL}		V_{IH}		$V_{OL} \text{ Max (V)}$	$V_{OH} \text{ Min (V)}$	$I_{OL}(\text{mA})$	$I_{OH}(\text{mA})$
	Min (V)	Max (V)	Min (V)	Max (V)				
LVTT133 LVCMOS33	—	0.8	2.0	3.465 ⁴	0.4	$V_{CCIO} - 0.4$	2, 4, 8, 12, 16, "SORS" ³	-2, -4, -8, -12, -16, "SORS" ³

DC Electrical Characteristicsより抜粋

I_{PU}	I/O Weak Pull-up Resistor Current	$0 \leq V_{IN} \leq 0.7 \times V_{CCIO}$	-30	—	-150	μA
I_{PD}	I/O Weak Pull-down Resistor Current	$V_{IL}(\text{max}) \leq V_{IN} \leq V_{CCIO}$	30	—	150	μA

2.3 内部 Pull up/down の抵抗値 (4/7)

- 実際の計算例 LVCOMS33 の場合(Certus-NX, CertusPro-NX, CrossLink-NX)



内部 Pull-Up 抵抗 R_{pd} は流れる電流 I_{PD} と電圧降下 V_{Δ} を考慮して計算。

I_{PD} が最大になるのは V_{Δ} が最大の時、即ち $V_{IN} = V_{CCIO}$ のとき

	VIN	V_delta	Ipd(uA)	R_pd(KΩ)
LVC MOS33_max	3.465	3.465	150	23.1
LVC MOS33_min	3.135	3.135	150	20.9

I_{PD} が最少になるのは $V_{IN} = V_{IL}(\text{Max})$ の際

	VIN	V_delta	Ipd(uA)	R_pd(KΩ)
LVC MOS33_max	0.8	2.665	30	26.666
LVC MOS33_min	0.8	2.335	30	26.666

従って、LVCMOS33 では内部 Pull-Down が有効になっているとき、外部処理で論理レベルを反対のレベルにする場合、 $R_{pd} = 20.9\text{K}\Omega$ と、 $V_{IH}(\text{MIN}) = 2.0\text{V}$ を考慮すると外部 Pull Up = $11.86\text{K}\Omega$ 以下とする。

Recommended Operating Condition より抜粋

$V_{CCIO} = 3.3\text{V}$, Bank 0, Bank 1, Bank 2, Bank 6, Bank 7	3.135	3.30	3.465	V
---	-------	------	-------	---

sysI/O Single-Ended DC Electrical Characteristics より抜粋

Table 3.14. sysI/O DC Electrical Characteristics – Wide Range I/O

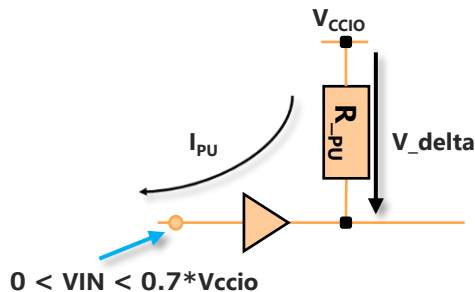
Input/Output Standard ²	V_{IL}		V_{IH}		$V_{OL} \text{ Max (V)}$	$V_{OH} \text{ Min (V)}$	$I_{OL}(\text{mA})$	$I_{OH}(\text{mA})$
	Min (V)	Max (V)	Min (V)	Max (V)				
LVTTTL33 LVCMOS33	—	0.8	2.0	3.465 ⁴	0.4	$V_{CCIO} - 0.4$	2, 4, 8, 12, 16, "50RS" ³	-2, -4, -8, -12, -16, "50RS" ³

DC Electrical Characteristics より抜粋

I_{PU}	I/O Weak Pull-up Resistor Current	$0 \leq V_{IN} \leq 0.7 \times V_{CCIO}$	-30	—	-150	μA
I_{PD}	I/O Weak Pull-down Resistor Current	$V_{IL}(\text{max}) \leq V_{IN} \leq V_{CCIO}$	30	—	150	μA

2.3 内部 Pull up/down の抵抗値 (5/7)

- 実際の計算例 LVCMOS33 の場合(MachXO5-NX)



内部 Pull-Up 抵抗 R_{pu} は流れる電流 I_{pu} と電圧降下 V_{Δ} を考慮して計算。

I_{pu} が最大になるのは V_{Δ} が最大の時、即ち $V_{IN}=0V$ のとき

	V_{IN}	V_{Δ}	$I_{pu}(uA)$	$R_{pu}(K\Omega)$
LVC MOS33_max	0	3.465	150	23.1
LVC MOS33_min	0	3.135	150	20.9

I_{pu} が最少になるのは $V_{IN}=0.7 \times V_{CCIO}$

	V_{IN}	V_{Δ}	$I_{pu}(uA)$	$R_{pu}(K\Omega)$
LVC MOS33_max	2.425	1.039	30	34.65
LVC MOS33_min	2.194	0.940	30	31.35

従って、LVCMOS33では内部Pull-Upが有効になっているとき、外部処理で論理レベルを反対のレベルにする場合、 $R_{pu} = 20.9K\Omega$ と $V_{IL}(MAX) = 0.8V$ を考慮すると外部Pull Down=7.16K Ω 以下とする。

Recommended Operating Conditionより抜粋

$V_{CCIO} = 3.3V$, Bank 0, Bank 1, Bank 2, Bank 3, Bank 4, Bank 7, Bank 8, Bank 9	3.135	3.30	3.465	V
--	-------	------	-------	---

sysI/O Single-Ended DC Electrical Characteristicsより抜粋

3.12. sysI/O Single-Ended DC Electrical Characteristics³

Table 3.15. sysI/O DC Electrical Characteristics – Wide Range I/O (Over Recommended Operating Conditions)

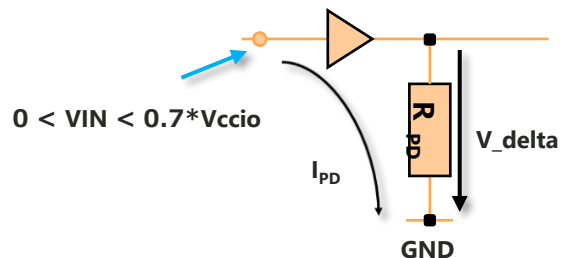
Input/Output Standard	V_{IL}^1		V_{IH}^1		$V_{OL} \text{ Max (V)}$	$V_{OH} \text{ Min}^2 \text{ (V)}$	$I_{OL}(\text{mA})$	$I_{OH}(\text{mA})$
	Min (V)	Max (V)	Min (V)	Max (V)				
LVTTL33 LVCMOS33	—	0.8	2.0	3.465 ⁵	0.4	$V_{CCIO} - 0.4$	4, 8, 12, “50RS” ³	-4, -8, -12, “50RS” ³
	—	0.8	2.0	3.465 ⁵	0.4	2.4	2	-2
	—	0.8	2.0	3.465 ⁵	0.49	$V_{CCIO} - 0.58$	16	-16

DC Electrical Characteristicsより抜粋

I_{PU}	I/O Weak Pull-up Resistor Current	$0 \leq V_{IN} \leq 0.7 \times V_{CCIO}$	-30	—	-150	μA
I_{PD}	I/O Weak Pull-down Resistor Current	$V_{IL}(\text{max}) \leq V_{IN} \leq V_{CCIO}$	30	—	150	μA

2.3 内部 Pull up/down の抵抗値 (6/7)

- 実際の計算例 LVCOMS33 の場合(MachXO5-NX)



内部 Pull-Up 抵抗 R_{pd} は流れる電流 I_{pd} と電圧降下 V_{Δ} を考慮して計算。

I_{pd} が最大になるのは V_{Δ} が最大の時、即ち $V_{IN} = V_{CCIO}$ のとき

	V_{IN}	V_{Δ}	$I_{pd}(uA)$	$R_{pd}(K\Omega)$
LVCMS33_max	3.465	3.465	150	23.1
LVCMS33_min	3.135	3.135	150	20.9

I_{pd} が最少になるのは $V_{IN} = V_{IL}(\text{Max})$ の際

	V_{IN}	V_{Δ}	$I_{pd}(uA)$	$R_{pd}(K\Omega)$
LVCMS33_max	0.8	2.665	30	26.666
LVCMS33_min	0.8	2.335	30	26.666

従って、LVCMS33では内部Pull-Downが有効になっているとき、外部処理で論理レベルを反対のレベルにする場合、 $R_{pd} = 20.9K\Omega$ と、 $V_{IH}(\text{MIN}) = 2.0V$ を考慮すると外部Pull Up=11.86K Ω 以下とする。

Recommended Operating Conditionより抜粋

$V_{CCIO} = 3.3V$, Bank 0, Bank 1, Bank 2, Bank 3, Bank 4, Bank 7, Bank 8, Bank 9	3.135	3.30	3.465	V
--	-------	------	-------	---

sysI/O Single-Ended DC Electrical Characteristicsより抜粋

3.12. sysI/O Single-Ended DC Electrical Characteristics³

Table 3.15. sysI/O DC Electrical Characteristics – Wide Range I/O (Over Recommended Operating Conditions)

Input/Output Standard	V_{IL}^1		V_{IH}^1		$V_{OL} \text{ Max (V)}$	$V_{OH} \text{ Min}^2 \text{ (V)}$	$I_{OL}(\text{mA})$	$I_{OH}(\text{mA})$
	Min (V)	Max (V)	Min (V)	Max (V)				
LVTTL33 LVCMS33	—	0.8	2.0	3.465^5	0.4	$V_{CCIO} - 0.4$	4, 8, 12, "50RS" ³	-4, -8, -12, "50RS" ³
	—	0.8	2.0	3.465^5	0.4	2.4	2	-2
	—	0.8	2.0	3.465^5	0.49	$V_{CCIO} - 0.58$	16	-16

DC Electrical Characteristicsより抜粋

I_{PU}	I/O Weak Pull-up Resistor Current	$0 \leq V_{IN} \leq 0.7 \times V_{CCIO}$	-30	—	-150	μA
I_{PD}	I/O Weak Pull-down Resistor Current	$V_{IL}(\text{max}) \leq V_{IN} \leq V_{CCIO}$	30	—	150	μA

2.3 内部 Pull up/down の抵抗値 (7/7)

下表は前ページの計算式に従い、それぞれの電圧で計算した結果。

	内部プルアップ		内部プルダウン	
	MIN	MAX	MIN	MAX
LVC MOS33($V_{CCIO}=3.3V$)	20.9K Ω	34.65K Ω	20.9K Ω	26.666K Ω
LVC MOS25($V_{CCIO}=2.5V$)	15.83K Ω	26.25K Ω	15.83K Ω	23.333K Ω
LVC MOS18($V_{CCIO}=1.8V$)	11.4K Ω	18.9K Ω	11.4K Ω	19.95K Ω

従って、**内部端子処理の論理レベルと反対のレベルにする必要がある場合**は、以下の値を推奨 (LVC MOS, LV TTL など)。

	外部プルアップ推奨値	外部プルダウン推奨値
LVC MOS33($V_{CCIO}=3.3V$)	11.86K Ω 以下	7.16K Ω 以下
LVC MOS25($V_{CCIO}=2.5V$)	6.28K Ω 以下	6.61K Ω 以下
LVC MOS18($V_{CCIO}=1.8V$)	3.13K Ω 以下	3.13K Ω 以下

内部処理が無い専用ピンにつける外部処理の抵抗値としては3.13k Ω 以下を推奨。

或いはフェイルセーフ的な観点や設計要件によって、内部端子処理と同じレベルで外部端子処理を行う場合も同様。

2.4 電源起動時のI/Oの挙動に関して

- 本項は、Lattice 社の以下の資料より抜粋した情報です。
なお、Lattice 社の英文資料の情報を正とします。

sysCONFIG Port Timing Specifications より抜粋

Certus-NX

Certus-NX Family Data Sheet	FPGA-DS-02078-1.9	January 2024
-----------------------------	-------------------	--------------

CertusPro-NX

CertusPro-NX Family Data Sheet	FPGA-DS-02086-1.8	February 2024
--------------------------------	-------------------	---------------

CrossLink-NX

CrossLink-NX Family Data Sheet	FPGA-DS-02049-2.0	October 2023
--------------------------------	-------------------	--------------

MachXO5-NX

MachXO5-NX Family Data Sheet	FPGA-DS-02102-1.5	October 2023
------------------------------	-------------------	--------------

2.4 電源起動時のI/Oの挙動に関して (1/6)

専用ピンの状態変化を記しています。

専用ピンは、専用ピンとしてのみ使用する事を強く推奨。

TCK,TMS,TDI,TDO,JTAG_N,PROGRAMN,INITN,DONEは外に配線を出しておく事を推奨。

デバッグを考慮した基板設計を推奨。

コンフィギュ関連ピンは専用ピンとしてご使用頂く事を強く推奨。MCLKを汎用ピンとして使用する場合は、ワイヤードOR接続を推奨。

Power ON

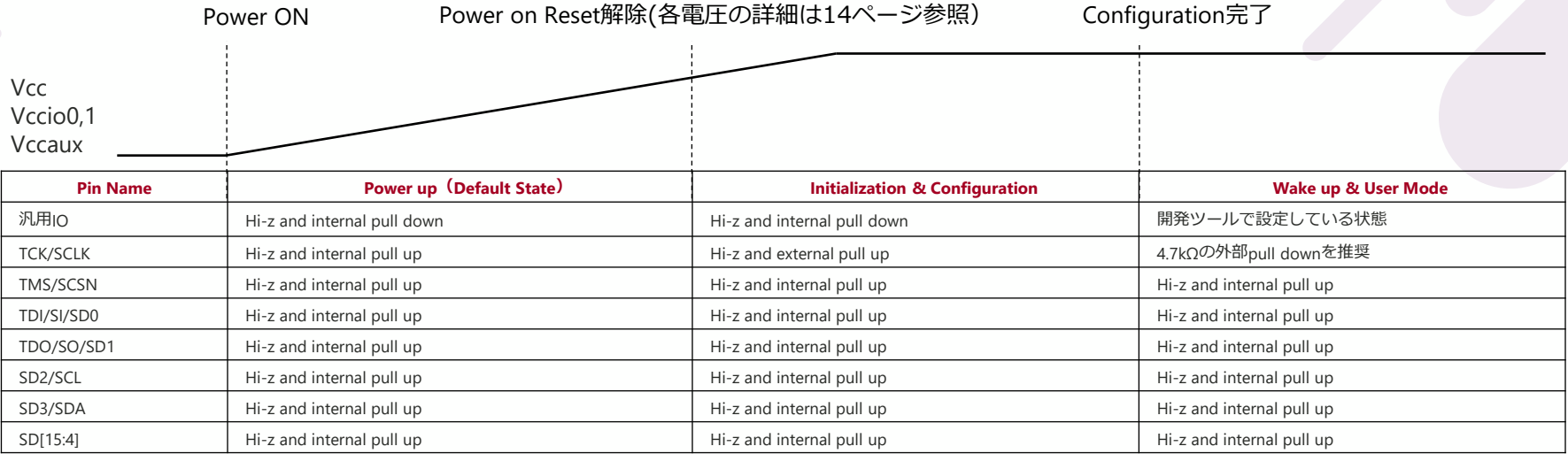
Power on Reset解除(各電圧の詳細は14ページ参照)

Configuration完了

Vcc
Vccio0,1
Vccaux

Pin Name	Power up (Default State)	Initialization & Configuration	Wake up & User Mode
汎用IO	Hi-z and internal pull down	Hi-z and internal pull down	開発ツールで設定している状態
JTAG_ENABLE	Hi-z and internal pull down	Hi-z and internal pull down	Hi-z and internal pull down
PROGRAMN	Hi-z and internal pull up	Hi-z and internal pull up 36ページ参照	Hi-z and internal pull up 36ページ参照
INITN	Hi-z and internal pull up	Hi-z and internal pull up 37~38ページ参照	Hi-z and internal pull up 37~38ページ参照
DONE	Hi-z and internal pull up	Hi-z and internal pull up 39ページ参照	Hi-z and internal pull up 39ページ参照
MCLK	Hi-z and internal pull Down	Hi-z and internal pull Down	Hi-z and internal pull Down
MCSN	Hi-z and internal pull up	Hi-z and internal pull up	Hi-z and internal pull up
MOSI/MD0	Hi-z and internal pull up	Hi-z and internal pull up	Hi-z and internal pull up
MISO/MD1	Hi-z and internal pull up	Hi-z and internal pull up	Hi-z and internal pull up
MD2	Hi-z and internal pull up	Hi-z and internal pull up	Hi-z and internal pull up
MD3	Hi-z and internal pull up	Hi-z and internal pull up	Hi-z and internal pull up
CSNO/SDO	Hi-z and internal pull up	Hi-z and internal pull up	Hi-z and internal pull up

2.4 電源起動時のI/Oの挙動に関して (2/6)



Data Sheet sysCONFIG Port Timing Specifications より抜粋

sysCONFIG User Guide for Nexus Platform FPGA-TN-02099-2.9 February 2024

2.4 電源起動時のI/Oの挙動に関して (3/6)

PROGRAMN

PROGRAMNは、FPGA のコンフィギュレーションに使用される入力端子。

アサートにより、デバイスのプログラミングフローを制御。

Low アクティブで、内部にWeak プルアップがある。

Low アサートされると、FPGA はユーザーモードを終了してデバイスのプログラムを開始。

前述の初期化段階でデバイスのコンフィギュレーションシーケンスを開始。

ピンをLow に保持すると、Nexus デバイスが初期化段階から抜けなくなります。PROGRAMN には最小パルス幅によって認識される最短パルス幅アサート期間(tPROGRAMN)がある。この最小時間は『sysCONFIG User Guide for Nexus Platform 』(FPGA-TN-02099-2.9)、『Nexusファミリ・データシート』)の「sysCONFIG Port Timing Specification」に記載。

Certus-NX ファミリ・データシート、CertusPro-NX ファミリ・データシート、CrossLink-NX-33 およびMachXO5-NX データシートを参照。

PROGRAMNピンがアクティブの場合、以下の特殊なケースに注意：

- デバイスがJTAG 経由でプログラムされている場合、PROGRAMN ピンはJTAG モードのプログラミング・シーケンスが完了するまで無視される。
- デバイスのコンフィギュレーション中にPROGRAMN ピンをトグルすると、プロセスが中断され、コンフィギュレーション・サイクルが再スタート。
- デバイスが初期化状態にある間は、PROGRAMN が立ち下がりエッジに遷移してはいけない。

コンフィギュレーションを中断、再開、失敗させないために、PROGRAMN は最低tPROGRAMN 期間アサートしなければならない。

この要件を満たさないと、デバイスが動作不能になる可能性があり、電源の再投入が必要になる。

2.4 電源起動時のI/Oの挙動に関して (4/6)

INITN

INITN ピンは双方向オープンドレイン制御ピンで、以下の機能を保有：

- 電源投入後およびPROGRAMN アサート後、またはREFRESH コマンド後にLow となり、SRAM コンフィギュレーション・メモリが消去されることを示す。
 - Low アサート時間はtINIT_LOW パラメータで指定。
 - tINITL 時間経過後、INITN ピンはディアサート（アクティブHi）され、Nexus デバイスがコンフィギュレーション・ビットを使用できる状態になったことを示す。
 - Nexus デバイスは外部SPI フラッシュからのコンフィギュレーションデータのロードを開始。
 - INITN がコンフィギュレーションビットを読み出さないようにするには、tINITL 時間が経過する前に外部エージェントがINITN をLow にアサート。
 - INITN がコンフィギュレーションビットを読み出すことを防止できる。これは、複数のプログラマブルデバイスが連結されている場合に有用。
- 時間が最長のプログラマブルデバイスは、チェーン内の他のすべてのデバイスがデータを取得するのを、そのデバイス自身が準備完了するまで抑えることが可能。
- INITN が提供する最後の機能は、コンフィギュレーション・データが読み出されている間のエラー通知。tINITL が経過しピンがHigh になると、それ以降INITN がアサートされると、Nexus デバイスがコンフィギュレーション中にエラーを検出したことを通知。

2.4 電源起動時のI/Oの挙動に関して (5/6)

INITN

以下の条件では、INITN がアクティブになり、初期化状態がアクティブであることを示す：

- 電源が投入された。
- PROGRAMN の立ち下がりエッジが発生。
- IEEE1532 REFRESHコマンドがスレーブ・コンフィギュレーション・ポート（JTAG またはSSPI）を使用して送信された。
INITNピンがアサートされる。

ピンがエラー状態でアサートされた場合、コンフィギュレーションのビットストリームを修正してFPGA を強制的に初期化状態にすることでエラーをクリア可能。

初期化状態に強制的に移行させることで、エラーをクリア可能。

ビットストリームの読み出し時にエラーが検出された場合、INITN はLow になり、内部DONE ビットは設定されず、DONE ピンはLow のままで、デバイスはウェイクアップしない。

次の場合は、デバイスのコンフィギュレーションに失敗：

- ビットストリームのCRCエラーを検出。
- 無効なコマンドエラーを検出。
- 外部フラッシュメモリからのロード時にタイムアウトエラーが発生。これは、デバイスがコンフィギュレーションモードでSPI フラッシュデバイスがプログラムされていない場合に発生する可能性あり。
- オンチップSRAM コンフィギュレーションまたは外部フラッシュメモリの終端に到達してもプログラム完了コマンドが受信されない。

2.4 電源起動時のI/Oの挙動に関して (6/6)

DONE

DONE ピンは、FPGA がユーザーモードであることを示す双方向オープンドレインで、Weak プルアップがある。

DONE は、内部DONE ビットがアサートされた後にのみユーザーモードに移行可能。

内部DONE ビットは、FPGAのウェイクアップ状態の開始を定義。

内部DONE ビットがアサートされた後、GPIO がウェイクアップし、10 μ s 後にDONE ピンがHigh になる。これは、DONE ピンがHighになる前にGPIOピンの設定が適用されることを意味する。

外部エージェントがDONE ピンをLow にアサートし続けることで、FPGA のユーザーモードへの移行を無期限に停止可能。

DONE ピンをLow 駆動し続ける一般的な理由は、複数のFPGA を同時にコンフィギュレーション完了させることです。各FPGA がDONE 状態に達すると、論理動作を開始する準備が整う。最後にコンフィギュレーションされるFPGA がすべてのFPGA を一斉に起動させる。

FPGA が初期化モードに入ると、DONE ピンはINITN ピンと連動しLow に駆動される。

前述のように、この状態は、DONE ピンがアサートされるか、またはアクティブなコンフィギュレーションポートを介してIEEE 1532 REFRESH コマンドを受信した場合に発生。

DONE ピンをサンプリングすることで、FPGA がコンフィギュレーションを完了したかどうか外部デバイスが判断可能。

3. sysI/O BANK関連

3.1 sysI/O BANK関連(Certus-NX,CertusPro-NX/CrossLink-NX/MachXO5-NX,MachXO5T-NX)

- 本項は、Lattice 社の以下の資料より抜粋した情報です。
なお、Lattice 社の英文資料の情報を正とします。

sysI/O Banking Scheme より抜粋

Certus-NX

Certus-NX Family Data Sheet	FPGA-DS-02078-1.9	January 2024
-----------------------------	-------------------	--------------

CertusPro-NX

CertusPro-NX Family Data Sheet	FPGA-DS-02086-1.8	February 2024
--------------------------------	-------------------	---------------

CrossLink-NX

CrossLink-NX Family Data Sheet	FPGA-DS-02049-2.0	October 2023
--------------------------------	-------------------	--------------

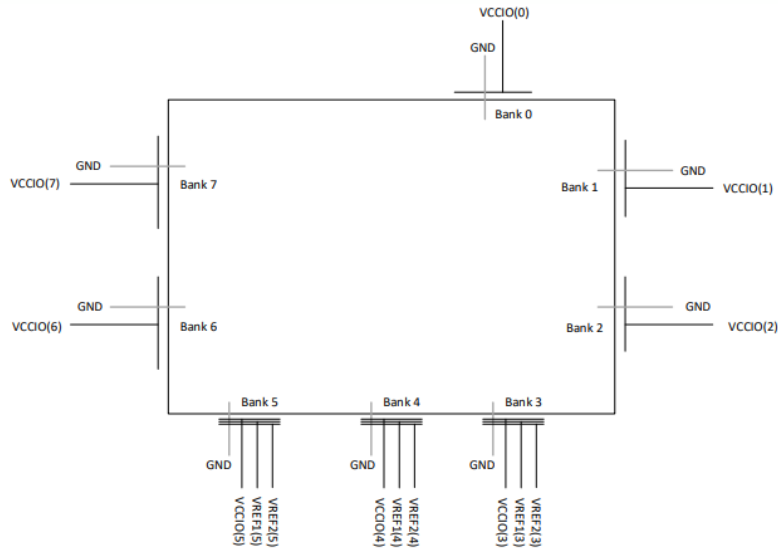
MachXO5-NX

MachXO5-NX Family Data Sheet	FPGA-DS-02102-1.5	October 2023
------------------------------	-------------------	--------------

3.1.1 Certus-NX BANK構成

BANK 構成の概要

- Certus-NXはBANK0~7のsysI/O BANK で構成
- BANK0, 1, 2, 6, 7は1.2V~3.3VのSingle-Ended IOをサポート
- BANK3, 4, 5は、1.0V~1.8VのStaticとDynamicのTerminationがあり、Differential IOやDDR Memory IFをサポート
- BANK0, 1, 2, 6, 7はHot Socket に対応
- BANK3, 4, 5はHot Socket に非対応



sysI/O Banking Scheme より抜粋

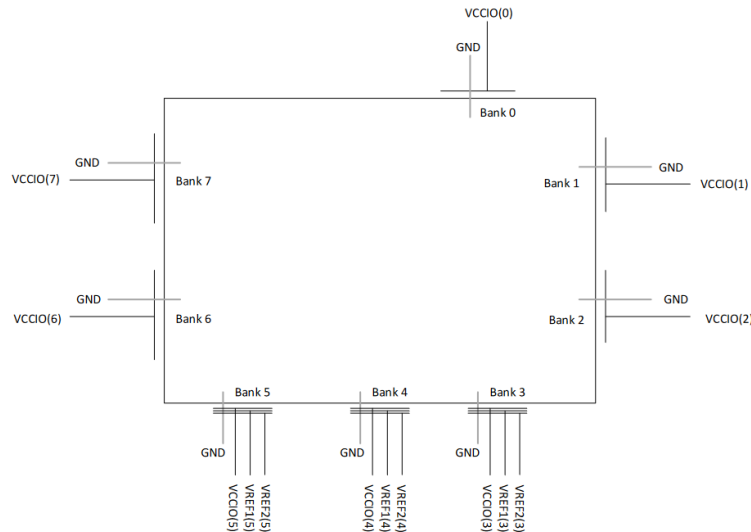
Certus-NX Family Data Sheet FPGA-DS-02078-1.9 January 2024

Figure 2.27. sysI/O Banking

3.1.2 CertusPro-NX BANK構成

BANK 構成の概要

- CertusPro-NXはBANK0~7のsysI/O BANK で構成
- BANK0, 1, 2, 6, 7は1.2V~3.3VのSingle-Ended IOをサポート
- BANK3, 4, 5は1.0V~1.8VのStaticとDynamicのTerminationがあり、Differential IOやDDR Memory IFをサポート
- BANK0, 1, 2, 6, 7ではHot Socketに対応
- BANK3, 4, 5ではHot Socketに非対応



sysI/O Banking Scheme より抜粋

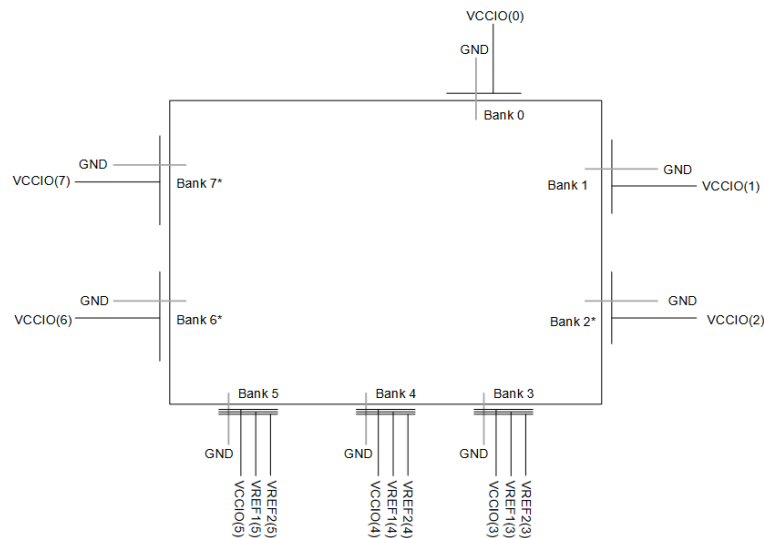
CertusPro-NX Family Data Sheet FPGA-DS-02086-1.8 February 2024

Figure 2.27. sysI/O Banking

3.1.3 CrossLink-NX BANK構成

BANK 構成の概要

- CrossLink-NXはBANK0~7のsysI/O BANK で構成
- BANK0, 1, 2, 6, 7は1.2V~3.3VのSingle-Ended IOをサポート
- BANK3, 4, 5は、1.0V~1.8VのStaticとDynamicのTerminationがあり、Differential IOやDDR Memory IFをサポート
- BANK0, 1, 2, 6, 7はHot Socketに対応
- BANK3, 4, 5はHot Socket非対応



*Note: Bank not available in LIFCL-17.

Figure 2.27. sysI/O Banking

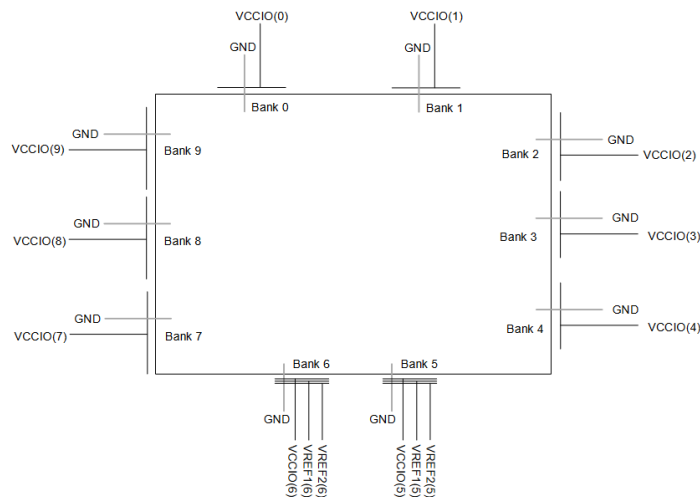
sysI/O Banking Scheme より抜粋

CrossLink-NX Family Data Sheet FPGA-DS-02049-2.0 October 2023

3.1.4 Mach XO5-NX BANK構成

BANK 構成の概要

- Mach XO5-NXはBANK0~7のsysI/O BANK で構成
- BANK0, 2, 3, 4, 7, 8, 9は1.0V~3.3VのSingle-Ended IOをサポート
- BANK1は3.3VのSingle-Ended IOのみサポート
- BANK5, 6は 1.0V~1.8V StaticとDynamicのTerminationがあり、Differential IOやDDR Memory IFをサポート
- BANK0, 2, 3, 4, 7, 8, 9はHot Socket に対応
- BANK5, 6はHot Socket非対応



sysI/O Banking Scheme より抜粋

MachXO5-NX Family Data Sheet FPGA-DS-02102-1.5 October 2023

Figure 2.31. sysI/O Banking of MachXO5-NX-25 Devices

3.2 BANK 毎のI/O Standard

■各I/O Standard と対応BANK まとめ(Certus-NX, CertusPro-NX, CrossLink-NX)

Standard	Support Banks	V _{CCIO} (Input)	V _{CCIO} (Output)
		Typ.	Typ.
Single-Ended			
LVC MOS33	0, 1, 2, 6, 7	3.3	3.3
LVTTL33	0, 1, 2, 6, 7	3.3	3.3
LVC MOS25 ^{1, 2}	0, 1, 2, 6, 7	2.5, 3.3	2.5
LVC MOS18 ^{1, 2}	0, 1, 2, 6, 7	1.2, 1.5, 1.8, 2.5, 3.3	1.8
LVC MOS18H	3, 4, 5	1.8	1.8
LVC MOS15 ^{1, 2}	0, 1, 2, 6, 7	1.2, 1.5, 1.8, 2.5, 3.3	1.5
LVC MOS15H ¹	3, 4, 5	1.5, 1.8	1.5
LVC MOS12 ^{1, 2}	0, 1, 2, 6, 7	1.2, 1.5, 1.8, 2.5, 3.3	1.2
LVC MOS12H ¹	3, 4, 5	1.2, 1.35 ⁶ , 1.5, 1.8	1.2
LVC MOS10 ¹	0, 1, 2, 6, 7	1.2, 1.5, 1.8, 2.5, 3.3	—
LVC MOS10H ¹	3, 4, 5	1.0, 1.2, 1.35 ⁶ , 1.5, 1.8	1.0
LVC MOS10R ¹	3, 4, 5	1.0, 1.2, 1.35 ⁶ , 1.5, 1.8	—
SSTL135_I, SSTL135_II ³	3, 4, 5	1.35 ⁶	1.35
SSTL15_I, SSTL15_II ³	3, 4, 5	1.5 ⁷	1.5 ⁷
HSTL15_I ³	3, 4, 5	1.5 ⁷	1.5 ⁷
HSUL12 ³	3, 4, 5	1.2	1.2

Data Sheet Supported sysI/O Standards より抜粋

3.2 BANK 毎のI/O Standard

■各I/O Standard と対応BANK まとめ(Certus-NX, CertusPro-NX, CrossLink-NX)

Standard	Support Banks	V _{CCIO} (Input)	V _{CCIO} (Output)
		Typ.	Typ.
Differential			
LVDS	3, 4, 5	1.2, 1.35, 1.5, 1.8	1.8
LVDSE ⁵	0, 1, 2, 6, 7	—	2.5
subLVDS	3, 4, 5	1.2, 1.35, 1.5, 1.8	—
subLVDSE ⁵	0, 1, 2, 6, 7	—	1.8
subLVDSEH ⁵	3, 4, 5	—	1.8
SLVS	3, 4, 5	1.0, 1.2, 1.35 ⁶ , 1.5, 1.8 ⁴	1.2, 1.35 ⁶ , 1.5, 1.8 ⁴
LVC MOS33D ⁵	0, 1, 2, 6, 7	—	3.3
LVTTL33D ⁵	0, 1, 2, 6, 7	—	3.3
LVC MOS25D ⁵	0, 1, 2, 6, 7	—	2.5
SSTL135D_I, SSTL135D_II ⁵	3, 4, 5	—	1.35 ⁶
SSTL15D_I, SSTL15D_II ⁵	3, 4, 5	—	1.5
HSTL15D_I ⁵	3, 4, 5	—	1.5
HSUL12D ⁵	3, 4, 5	—	1.2

Data Sheet Supported sysI/O Standards より抜粋

3.2 BANK 毎のI/O Standard

■各I/O Standard と対応BANK まとめ(Certus-NX, CertusPro-NX, CrossLink-NX)

備考

1. シングルエンド入力は、標準と異なるVCCIO を持つI/O Bankに混在する可能性がある。

これは、これらの入力規格の一部が入力バッファの電源として内部電源電圧源 (VCC、VCCAUX) を使用し、VCCIO 電圧に依存しないため。詳細は、Certus-NX High-Speed I/O Interface (FPGA-TN-02216)参照。

以下に簡単なガイドラインを示す：

- a. I/O のWeak プルアップはオフに設定。
 - b. Bank3, 4およびBank5のI/O はこのBank のクランプダイオードにより、VCCIO がI/O Standard より高いBank にのみ混在可能。
Bank0, 1, 2、Bank6, 7にこの制限はない。
 - c. LVCMOS25 はBank0, 1, 2、Bank6, 7の入力バッファにVCCIO 電源を使用。
VCCIO = VIH とVIL の要件を満たすためにVCCIO = 3.3V でサポートできるが、VCCIO に流れる電流が増加。
電源電圧3.3V を使用する場合、ヒステリシスを無効にする必要あり。
 - d. LVCMOS15 はBank3, 4, 5 の入力バッファにVCCIO 電源を使用。
VIH とVIL の要件を満たすためにVCCIO = 1.8V でサポートできるが、VCCIO に流れる電流が増加。
2. シングルエンドLVCMOS 入力は、Weak プルアップが使用されない限り、異なるVCCIO のI/O Bankに混在可能。
Bank VCCIO の混在I/O に関する詳細は、Certus-NX High-Speed I/O Interface (FPGA-TN-02216) 参照。
3. これらの入力は、Bank3, 4, 5 で差動入力コンパレータを使用。差動入力コンパレータはVCCAUXH 電源を使用。
これらの入力には、Bank 内の基準電圧を供給するVREF ピンが必要。
詳細はCertus-NX High-Speed I/O Interface (FPGA-TN-02216) 参照。
4. すべての差動入力は、Bank3, 4 およびBank5で差動入力コンパレータを使用。
差動入力コンパレータは、VCCAUXH 電源を使用。
Bank0, 1, 2、Bank6, 7では、差動入力信号は未サポート。

3.2 BANK 毎のI/O Standard

■各I/O Standard と対応BANK まとめ(Certus-NX, CertusPro-NX, CrossLink-NX)

備考

5.これらの出力は、シングルエンド出力ドライバで差動出力ペアをエミュレートしており、真の出力と補数の出力は、対応する真の出力と補数の出力ペアピンのそれぞれを駆動する。

コモンモード電圧VCM は $\frac{1}{2} * VCCIO$ である。

詳細は『Certus-NX High-Speed I/O Interface』(FPGA-TN-02216) 参照。

6.VCCIO = 1.35V は、Bank 内のDDR3L インターフェイスで使用するため、Bank3, 4, 5でのみサポート。

これらの入出力規格は、VCCIO = 1.35V で同一Bank に収めることが可能。

7.LVCMOS15 入力はVCCIO の電源電圧を使用。

VCCIO が1.8V の場合、LVCMOS15のDC レベルは満たされるが、入力バッファ電流が増加する可能性がある。

3.2 BANK 毎のI/O Standard

■各I/O Standard と対応BANK まとめ(MachXO5-NX)

Standard	Support Banks	V _{CCIO} (Input)	V _{CCIO} (Output)
		Typ.	Typ.
Single-Ended			
LVC MOS33	0, 1, 2, 3, 4, 7, 8, 9	3.3	3.3
LVTTL33	0, 1, 2, 3, 4, 7, 8, 9	3.3	3.3
LVC MOS25 ^{1, 2}	0, 2, 3, 4, 7, 8, 9	2.5, 3.3	2.5
LVC MOS18 ^{1, 2}	0, 2, 3, 4, 7, 8, 9	1.2, 1.5, 1.8, 2.5, 3.3	1.8
LVC MOS18H	5, 6	1.8	1.8
LVC MOS15 ^{1, 2}	0, 2, 3, 4, 7, 8, 9	1.2, 1.5, 1.8, 2.5, 3.3	1.5
LVC MOS15H ¹	5, 6	1.5, 1.8	1.5
LVC MOS12 ^{1, 2}	0, 2, 3, 4, 7, 8, 9	1.2, 1.5, 1.8, 2.5, 3.3	1.2
LVC MOS12H ¹	5, 6	1.2, 1.35 ⁷ , 1.5, 1.8	1.2
LVC MOS10 ¹	0, 2, 3, 4, 7, 8, 9	1.2, 1.5, 1.8, 2.5, 3.3	—
LVC MOS10H ¹	5, 6	1.0, 1.2, 1.35 ⁷ , 1.5, 1.8	1.0
LVC MOS10R ¹	5, 6	1.0, 1.2, 1.35 ⁷ , 1.5, 1.8	—
SSTL135_I, SSTL135_II ³	5, 6	1.35 ⁷	1.35
SSTL15_I, SSTL15_II ³	5, 6	1.5 ⁸	1.5 ⁸
HSTL15_I ³	5, 6	1.5 ⁸	1.5 ⁸
HSUL12 ³	5, 6	1.2	1.2
MIPI D-PHY LP Input ⁶	5, 6	1.2	1.2

Data Sheet Supported sysI/O Standards より抜粋

3.2 BANK 毎のI/O Standard

■各I/O Standard と対応BANK まとめ(MachXO5-NX)

Standard	Support Banks	V _{CCIO} (Input)	V _{CCIO} (Output)
		Typ.	Typ.
Differential			
LVDS	5, 6	1.2, 1.35, 1.5, 1.8	1.8
LVDSE ⁵	0, 2, 3, 4, 7, 8, 9	—	2.5
SubLVDS	5, 6	1.2, 1.35, 1.5, 1.8	—
SubLVDSE ⁵	0, 2, 3, 4, 7, 8, 9	—	1.8
SubLVDSEH ⁵	5, 6	—	1.8
SLVS ⁶	5, 6	1.0, 1.2, 1.35 ⁷ , 1.5, 1.8 ⁴	1.2, 1.35 ⁷ , 1.5, 1.8 ⁴
MIPI D-PHY ⁶	5, 6	1.2	1.2
LVC MOS33D ⁵	0, 1, 2, 3, 4, 7, 8, 9	—	3.3
LVTTL33D ⁵	0, 1, 2, 3, 4, 7, 8, 9	—	3.3
LVC MOS25D ⁵	0, 2, 3, 4, 7, 8, 9	—	2.5
SSTL135D_I, SSTL135D_II ⁵	5, 6	—	1.35 ⁷
SSTL15D_I, SSTL15D_II ⁵	5, 6	—	1.5
HSTL15D_I ⁵	5, 6	—	1.5

Data Sheet Supported sysI/O Standards より抜粋

3.2 BANK 毎のI/O Standard

■各I/O Standard と対応BANK まとめ(MachXO5-NX)

備考

1. シングルエンド入力は、標準と異なるVCCIO を持つI/O Bank に混在する可能性がある。

これは、これらの入力規格の一部が、入力バッファの電源として内部電源電圧源 (VCC、VCCAUX) を使用し、VCCIO 電圧に依存しないため。詳細は、sysI/O User Guide for Nexus Platform (FPGA-TN-02067) 参照。

以下に簡単なガイドラインを示す：

- a. I/O のWeak プルアップはOFF に設定。
- b. Bank5, 6のI/Oは、これらのBank のクランプダイオードにより、VCCIO がI/O Standard より高いBank にのみ混在可能。
Bank0, 1, 2, 3, 4, Bank7, 8, 9にこの制限はない。
- c. LVCMOS25 はBank0, 1, 2, 3, 4, Bank7, 8, 9 の入力バッファにVCCIO 電源を使用。
VIH とVIL の要件を満たすためにVCCIO = 3.3 V でサポートできるが、VCCIO に流れる電流が増加。
電源電圧3.3V を使用する場合は、ヒステリシスを無効にする必要あり。
- d. LVCMOS15 はBank5, 6 の入力バッファにVCCIO 電源を使用。
VIH とVIL の要件を満たすために VCCIO = 1.8V でサポートできるが、VCCIO に流れる電流が増加。

2. シングルエンドLVCMOS 入力は、Weak プルアップが使用されない限り、異なるVCCIO のI/O Bank に混在可能。
Bank VCCIO の混在I/O に関する詳細は、sysI/O User Guide for Nexus Platform (FPGA-TN-02067) 参照。

3. これらの入力は、Bank5, 6で差動入力コンパレータを使用。差動入力コンパレータはVCCAUXH 電源を使用。
これらの入力には、Bank 内の基準電圧を供給するVREF ピンが必要。
詳細は、sysI/O User Guide for Nexus Platform (FPGA-TN-02067)参照。

4. すべての差動入力はBank5, 6で差動入力コンパレータを使用。差動入力コンパレータはVCCAUXH 電源を使用。
Bank0, 1, 2, 3, 4, Bank7, 8, 9 では差動入力信号は未サポート。

3.2 BANK 毎のI/O Standard

■各I/O Standard と対応BANK まとめ(MachXO5-NX)

備考

5.これらの出力は、シングルエンド出力ドライバで差動出力ペアをエミュレートしており、真の出力と補数の出力は、対応する真の出力と補数の出力ペアピンのそれぞれを駆動。

コモンモード電圧VCM は、 $1/2 \times VCCIO$ である。

詳細は、sysI/O User Guide for Nexus Platform (FPGA-TN-02067)参照。

6.sysI/O を使用するソフトMIPI D-PHY HS は、SLVS で示されるVCCIO 電圧のBank に配置可能なSLVS 入出力でサポート。

HS およびLP モードをサポートするD-PHY は、VCCIO電圧=1.2V のBank に配置する必要がある。

sysI/O を使用するソフトMIPI D-PHY LP 入出力は、LVCMOS12でサポート。

7.VCCIO = 1.35V は、Bank 内のDDR3L インターフェイスで使用するため、Bank5, 6でのみサポート。

これらの入出力規格は、VCCIO = 1.35V で同じBank に収めることが可能。

8.LVCMOS15 入力はVCCIO の電源電圧を使用。

VCCIO が1.8V の場合、LVCMOS15のDC レベルは満たされるが、入力バッファ電流が増加する可能性がある。

3.3 Mixed Voltage Mode

■各VCCIO 電圧と入力可能なI/O Standard まとめ

- VCC, VCCAUX, VCCIOの3電源を用いることにより各Bank は以下の通りMixed Voltageに対応。

Wide Range Input Buffers						
VCCIO	LVC MOS10	LVC MOS12	LVC MOS15	LVC MOS18	LVC MOS25	LVC MOS33
1.2	✓	✓	✓			
1.5	✓	✓	✓	✓		
1.8	✓	✓	✓	✓		
2.5	✓	✓	✓	✓	✓	
3.3	✓	✓	✓	✓	✓	✓

High Performance Input Buffers				
VCCIO	LVC MOS10H	LVC MOS12H	LVC MOS15H	LVC MOS18H
1.0	✓			
1.2	✓	✓		
1.5	✓	✓	✓	
1.8	✓	✓	✓	✓

3.3 Mixed Voltage Mode

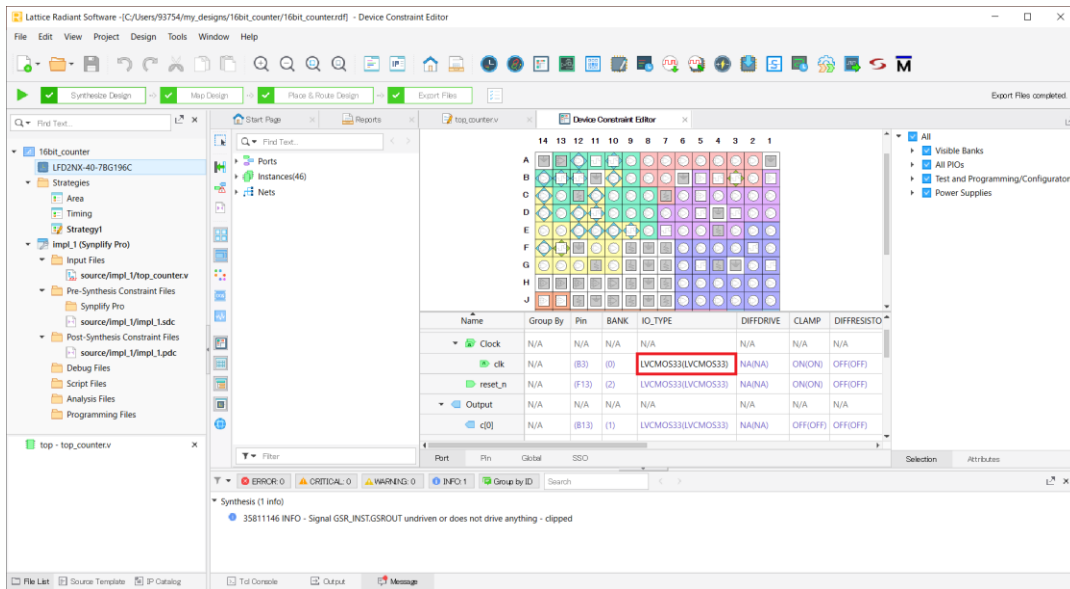
■各VCCIO 電圧と入力可能なI/O Standard まとめ

- 外部の2.5V～1.2V IO の信号を受信する場合は、外部にてレベル変換ICを通して3.3Vレベルに変換した後に受信する事を強く推奨。
- 例として挙げると、外部の1.8V IO の信号をNX にて3.3V IO Bank にて受信するには、外部にてレベル変換ICで、1.8V→3.3V に信号レベルを変換した後に受信。
- 設計ツールLattice Radiant ソフトウェアにて入力設定を行わない限り、正常にMixed Voltage Modeの入力を受信できない。

3.3 Mixed Voltage Mode

■ Lattice Radiant ソフトウェアにて入力設定を行う方法

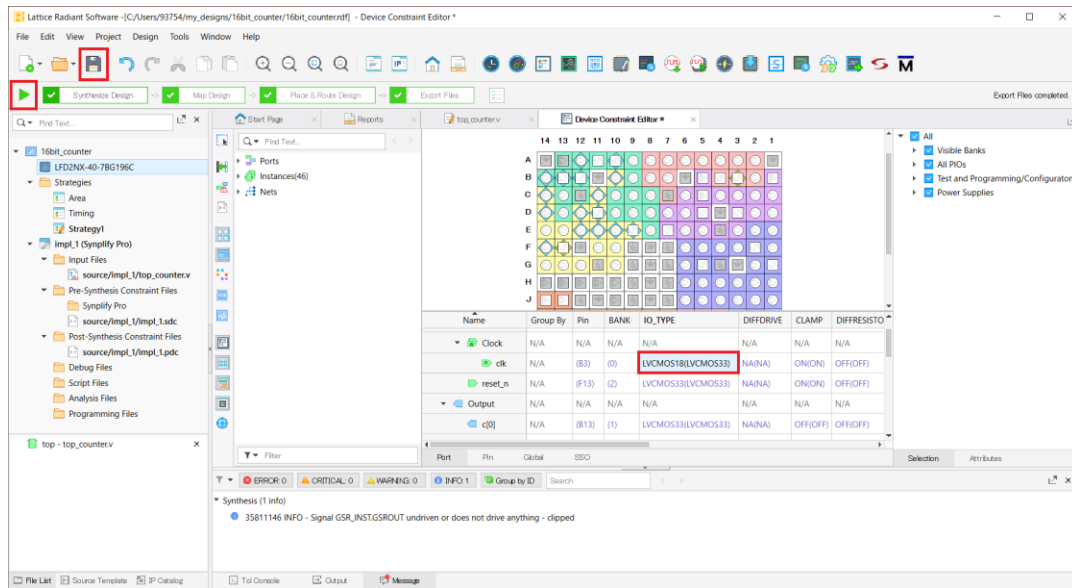
■ 変更前



3.3 Mixed Voltage Mode

■ Lattice Radiant ソフトウェアにて入力設定を行う方法

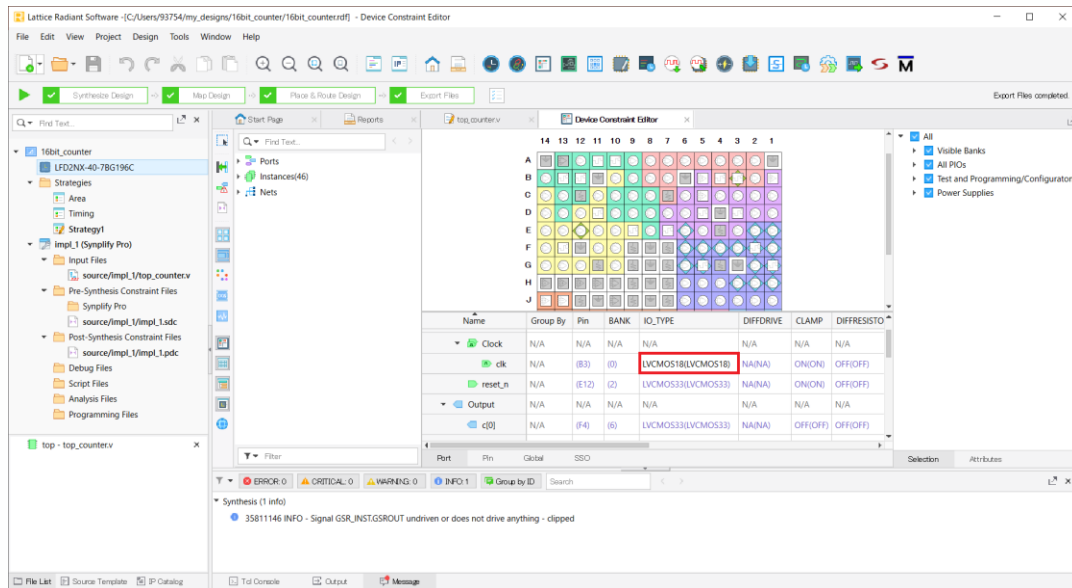
- 変更方法 : Device Constraint Editor => IO TYPE を選択、受信したい信号の電圧に設定。
- 下図ではLVCMOS18 → Save → RUN ALL



3.3 Mixed Voltage Mode

■ Lattice Radiant ソフトウェアにて入力設定を行う方法

- 変更後 : IO TYPE を1.8V に変更することで、1.8V の信号を受信できるポートに割り付け可能。



4. 差動信号関連

4.1 差動信号関連

- 本項は、Lattice 社の以下の資料より抜粋した情報です。
なお、Lattice 社の英文資料の情報を正とします。

sysl/O Differential DC Electrical Characteristics より抜粋

Certus-NX

Certus-NX Family Data Sheet	FPGA-DS-02078-1.9	January 2024
-----------------------------	-------------------	--------------

CertusPro-NX

CertusPro-NX Family Data Sheet	FPGA-DS-02086-1.8	February 2024
--------------------------------	-------------------	---------------

CrossLink-NX

CrossLink-NX Family Data Sheet	FPGA-DS-02049-2.0	October 2023
--------------------------------	-------------------	--------------

MachXO5-NX

MachXO5-NX Family Data Sheet	FPGA-DS-02102-1.5	October 2023
------------------------------	-------------------	--------------

4.2 LVDSの注意事項

LVDS サポートBank : Bank3, 4, 5で使用可能(Certus-NX, CertusPro-NX,CrossLink-NX)
: Bank5, 6で使用可能(MachXO5-NX)

■LVDS入力の注意事項

- LVDS の入力バッファは $V_{CCAUX} = 1.8V$ によって動作 (LVDS 入力電圧は関連するBankの V_{CCIO} 電圧を超えることはできない)
- 全ての差動ペア間にプログラマブル (ON/OFF 可能) な 100Ω 入力終端を内蔵

■LVDS出力の注意事項

- LVDS の出力バッファは $V_{CCIO} = 1.8V$ によって動作 (**該当Bank に供給すべき電圧は必然的に1.8Vになるため注意**)
- TRUE LVDS 出力を使用する場合は外付け抵抗は不要

■LVDS入出力の共通の注意事項

- 使用するIO は必ず差動ペアを選択 (T 側がTrue、C 側がComplementary)
ex) "True_OF_PL3B"と"Comp_OF_PL3A"がペア
- 差動LVDS 入力として扱った場合、内部Pull-up が有効にならないため転送用ケーブルが外れるようなアプリケーションの場合には Floating 防止のため外部での処理が必要。フェイルセーフ保護として V_{THD} がデバイス内に設けられているが、 V_{THD} を超えるような差動ノイズを拾うとレシーバはスイッチングや発信など、デバイス内で問題を引き起こす可能性がある。

Data Sheet sysI/O Differential DC Electrical Characteristics より抜粋

4.2.1 LVDS

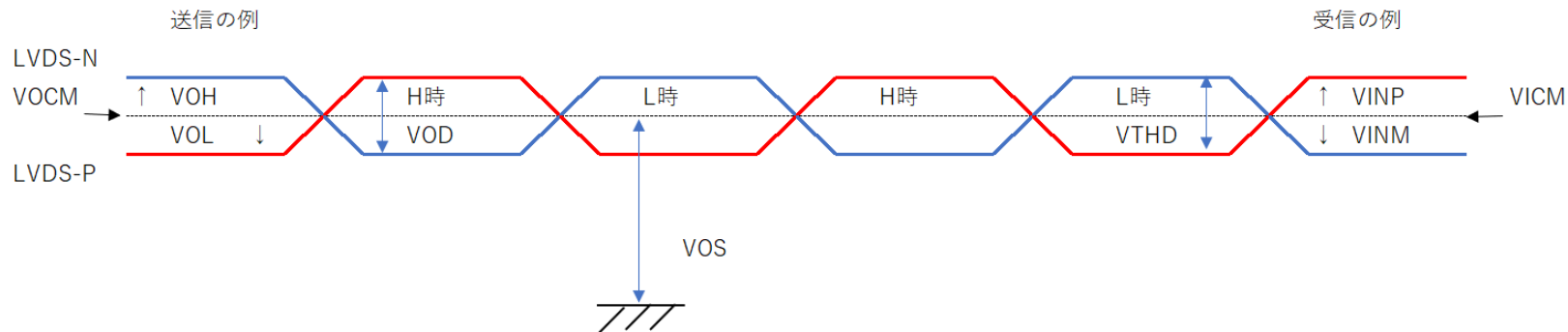
パラメータ	説明	テスト条件	Min	Typ	Max	単位
VINP, VINM	入力電圧	—	0	—	1.60	V
VICM	入力コモンモード電圧	2つの入力の合計の半分	0.05	—	1.55	V
VTHD	差動入力スレッショルド	2つの入力の差	±100(注1)	—	—	mV
IIN	入力電流	電源オンまたは電源オフ時	—	—	±10	μA
VOH	VOPまたはVOMの出力H電圧	RT = 100 Ω	—	1.425	1.60	V
VOL	VOPまたはVOMの出力L電圧	RT = 100 Ω	0.9 V	1.075	—	V
VOD	差動出力電圧	(VOP - VOM), RT = 100 Ω	250	350	450	mV
DVOD	HとLの間のVODの変化	—	—	—	50	mV
VOCM	出力コモンモード電圧	(VOP + VOM)/2, RT = 100 Ω	1.125	1.25	1.375	V
DVOCM	VOCMの変化、 VOCM(MAX)-VOCM(MIN)	—	—	—	50	mV
ISAB	出力短絡電流	VOD = 0 V ドライバ出力を短絡	—	—	12	mA
DVOS	HとL間のVOSの変化	—	—	—	50	mV

注1 振幅差100mV以上が必要

4.2.1 LVDS

VINP, VINM, VICM, VTHD, IIN は入力仕様

VOH, VOL, VOD, ΔVOD , VOCM, DVOCM, ISAB, DVOS は出力仕様

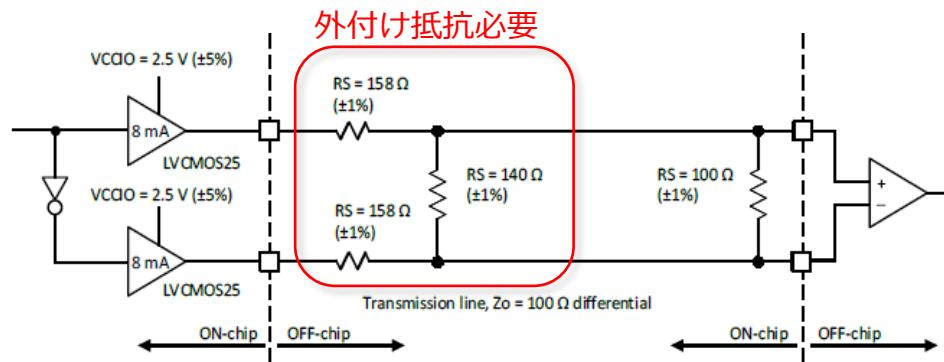


4.2.2 LVDS25E (Output Only)の注意事項

LVDS25E サポートBank : Bank 0,1,2,6,7で使用可能(Certus-NX, CertusPro-NX,CrossLink-NX)
: Bank 0,2,3,4,7,8,9で使用可能(MachXO5-NX)

■LVDS Emulate (LVDSE) 出力の注意事項

- LVDSE は出力のみサポートされ、基板上に外付け抵抗を設けることで疑似的にLVDS 出力を行うことが可能
- $V_{CCIO} = 2.5V$ でサポート
- 使用するIO は必ず差動ペアを選択 (T 側がTrue、C 側がComplementary)
ex) “True_OF_PB26B”と“Comp_OF_PB26A”がペア
- AC スペックについては、データシート参照



Data Sheet LVDS25E (Output Only) より抜粋

4.2.3 SubLVDS (Input Only)の注意事項

SubLVDS サポートBank : Bank3,4,5で使用可能(Certus-NX, CertusPro-NX, CrossLink-NX)
: Bank5,6で使用可能(MachXO5-NX)

■SubLVDS 入力の注意事項

- SubLVDS の入力バッファは $V_{CCAUX} = 1.8V$ によって動作
- 全ての差動ペア間にプログラマブル（ON/OFF 可能）な100Ω入力終端を内蔵
- ACスペックについては、データシート参照

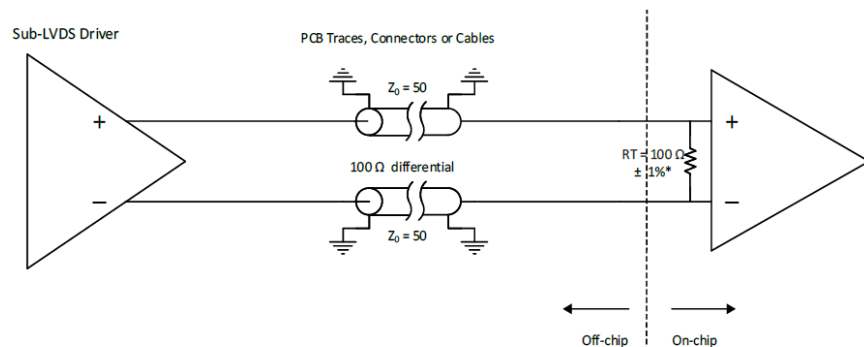


Figure 3.3. SubLVDS Input Interface

Data Sheet SubLVDS (Input Only) より抜粋

4.2.4 SubLVDSE/SubLVDSEH (Output Only)の注意事項

SubLVDSEサポートBank : Bank0,1,2,6,7で使用可能(Certus-NX, CertusPro-NX, CrossLink-NX)
: Bank0,2,3,4,7,8,9で使用可能(MachXO5-NX)

SubLVDSEH サポートBank : Bank3,4,5で使用可能(Certus-NX, CertusPro-NX, CrossLink-NX)
: Bank5,6で使用可能(MachXO5-NX)

■SubLVDSE/SubLVDSEH 出力の注意事項

- SubLVDSE/SubLVDSEHの入力バッファは $V_{CCAUX} = 1.8V$ によって動作
- 全ての差動ペア間にプログラマブル (ON/OFF 可能) な100Ω入力終端を内蔵
- 使用するIO は必ず差動ペアを選択 (T側がTrue、C 側がComplementary)
ex) “True_OF_PL3B”と“Comp_OF_PL3A”がペア
- AC スペックについては、データシート参照

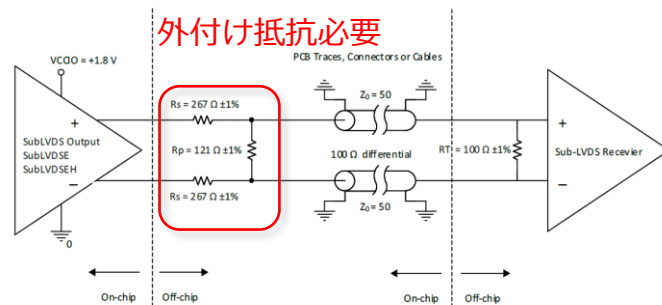


Figure 3.4. SubLVDS Output Interface

Data Sheet SubLVDSE/SubLVDSEH (Output Only) より抜粋

4.2.5 SLVS の注意事項

LSLVSサポートBank : Bank3,4,5で使用可能(Certus-NX, CertusPro-NX, CrossLink-NX)
: Bank5,6で使用可能(MachXO5-NX)

■ SLVS 入出力の注意事項

- SLVS の入力バッファは $V_{CCAUX} = 1.8V$ によって動作する
- 全ての差動ペア間にプログラマブル（ON/OFF 可能）な100Ω入力終端を内蔵
- AC スペックは、データシート参照

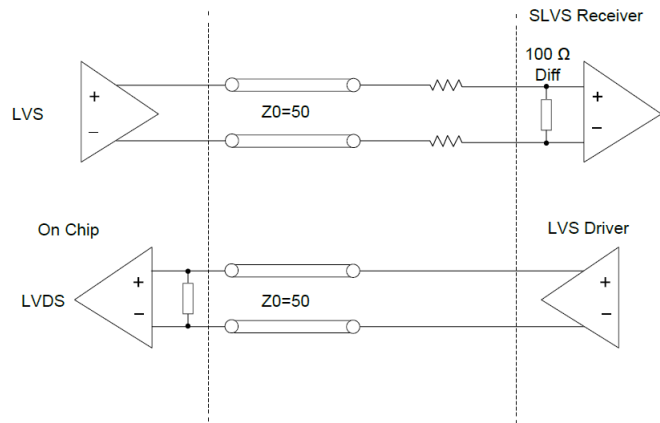


Figure 3.5. SLVS Interface

5. コンフィギュレーション関連

5.1 コンフィギュレーション

- 本項は、Lattice 社の以下の資料より抜粋した情報です。
なお、Lattice 社の英文資料の情報を正とします。

Certus-NX

Certus-NX Family Data Sheet	FPGA-DS-02078-1.9	January 2024
-----------------------------	-------------------	--------------

CertusPro-NX

CertusPro-NX Family Data Sheet	FPGA-DS-02086-1.8	February 2024
--------------------------------	-------------------	---------------

CrossLink-NX

CrossLink-NX Family Data Sheet	FPGA-DS-02049-2.0	October 2023
--------------------------------	-------------------	--------------

MachXO5-NX

MachXO5-NX Family Data Sheet	FPGA-DS-02102-1.5	October 2023
------------------------------	-------------------	--------------

sysCONFIG User Guide for Nexus Platform	FPGA-TN-02099-2.8	January 2024
---	-------------------	--------------

5.2 コンフィギュレーションモード概要

■ Master SPI Modes

- SPI Flash Memoryと直接接続し、コンフィギュレーションを実施
- メモリとのデータバスは、[Serial/Dual/Quad](#)の3つから選択可能で、最大150MHzの速度に対応可能
複数のコンフィギュレーションデータをSPI Flash に格納し、ブートする方法は以下の3種類
- [Dual boot / Multi boot / Ping-Pong boot](#)

■ Slave SPI Mode

- CPU 等からSPI 経由で接続し、コマンドによりコンフィギュレーションを実施
- データバスは、[Serial/Dual/Quad](#)の3つから選択可能で、最大150MHzの速度に対応可能

■ Slave I2C/I3C Mode

- CPU 等からI2C/I3C 経由で接続し、コマンドによりコンフィギュレーションを実施

■ JTAG Mode

- JTAG ポートを介してコンフィギュレーションを実施

5.3 コンフィギュレーション注意事項

- ① デバック用にJTAG インターフェースを設けておくことを推奨
- ② JTAG インターフェース未使用を選択した場合 (JTAG_PORT=DISABLE) 、JTAGEN ピンは 0Ω 抵抗をGNDに配置し、かつプルアップ抵抗を実装出来るようにしておき、万が一の際はJTAG ポートをコンフィギュレーションに使用できるようにしておくことを推奨
- ③
 - ・ PROGRAMN,INITN,DONE ピンを有効にすることを推奨
 - ・ Vccio0(と同タイミングで立ち上がる電源)に $2.2k\Omega$ - $4.7k\Omega$ でプルアップ接続
- ④
 - ・ PROGRAMN ピンは再コンフィギュレーション時にトグルする以外の目的には使用しない
 - ・ 電源立ち上がり後トグルする場合、コンフィギュレーション完了を示すDONEがアサートされた後、数十～数百msec以上の十分な時間を確保
 - ・ DONE がLow の状態でPROGRAMN をトグルしてはならない
また、電源投入時にはPROGRAMN をLow 固定にしてはならない
 - ・ 電源投入時にPROGRAMN がLow に固定されているとコンフィギュレーションに失敗する可能性あり

5.4 コンフィギュレーションモード選択方法 1/2

各コンフィギュレーションモードの選択方法

■ Master SPI

- デバイス起動後、Master SPI Portはデフォルトでenable
- ユーザーモードでMaster SPI Port を維持するには、Radiant のConstraint Editor にてMaster_spi_port にSERIAL,DUAL,QUADのいずれかを設定

■ Slave SPI

- デバイス起動後、PROGRAMN をLow に保持し、Slave SPI port のSCSN をドライブし、Activation key(Table 6.4.) をMaster 側から入力
- アクティベート後はPROGRAMN はLow 保持でもHi へRelease も可だが、次のPROGRAMN のFalling edge でアクティベーションはリセット
- ユーザーモードでSlave SPI Port を維持するには、Radiant のConstraint Editor にてSlave_spi_port にSERIAL,DUAL,QUADのいずれかを設定

Table 6.4. Slave SPI Configuration Port Activation Key

Slave Port/ Activation Key	Slave Configuration Port Activation Key	
Slave SPI Port	Dummy Bytes*	32'HA4C6F48A

Note : The number of dummy bytes should be at least 1 only last shifted in 32 bits matters.

5.4 コンフィギュレーションモード選択方法 2/2

各コンフィギュレーションモードの選択方法

■ Slave I2C/I3C

- デバイス起動後、PROGRAMN をLow に保持し、Activation key(Table 6.8)をMaster 側からSlave address にWrite
- アクティベート後はPROGRAMN はLow 保持でもHi へRelease も可だが、次のPROGRAMN のFalling edge でアクティベーションはリセット
- ユーザーモードでSlave I2C/I3C port を維持するには、Radiant のConstraint Editor にてSlave_i2ci3c_portにSERIAL,DUAL,QUADのいずれか設定

Table 6.8. Slave SPI Configuration Port Activation Key

Slave Port/ Activation Key	Slave Configuration Port Activation Key	
Slave I ² C Port	Slave I2C Port Address*	32'HA4C6F48A

*Note : The slave I2C/I3C address could be either 7 bits or 10 bits address

■ JTAG

- JTAG 経由でのコンフィギュレーションを行う場合は、JTAG_ENABLE pin のHi ドライブが必要
- JTAG_ENABLE pin がHi にドライブされた状態では、JTAG port でのコンフィギュレーションが最優先される

5.5 各コンフィギュレーションモードにおける使用ピン

各コンフィギュレーションモード中に使用するピンと、コンフィギュ中の内部Pull状態は以下の通り
各ピンのボード上での外付けプルアップ/ダウン抵抗等の接続に関しては、後述の回路例を確認

ピン名	コンフィギュ中 内部Pull状態	コンフィギュレーションモード			
		JTAG	MSPI	SSPI	I2C/I3C
JTAG_EN	DOWN	1'b1	1'bx	1'b0	1'b0
PROGRAMN	UP	1'b0	1'b1	1'b0	1'b0
INITN	UP	INITN			
DONE	UP	DONE			
MCLK	※UP/DOWN	-	MCLK	-	-
MCSN	UP	-	MCSN	-	-
MOSI/MD0	UP	-	MOSI/D0	-	-
MISO/MD1	UP	-	MISO/D1	-	-
MD2	UP	-	D2	-	-
MD3	UP	-	D3	-	-
MCSNO/MSDO	UP	-	MCSNO/MSDO	-	-
TCK/SCLK	UP	TCK	-	SCLK	-
TMS/SCSN	UP	TMS	-	SCSN	-
TDI/SI/SD0	UP	TDI	-	MOSI/D0	-
TDO/SO/SD1	UP	TDO	-	MISO/D1	-
SD2/SCL	UP	-	-	D2	SCL
SD3/SDA	UP	-	-	D3	SDA

※MCLKの内蔵プルアップ、ダウンは、コントロールレジスタの設定(CPOL)で変更可能です。

詳細はLattice社TN-02099-1-0-CrossLink-NX-sysCONFIG-Usage-Guideをご確認下さい。

5.6 開発ツール上の設定 1/4

コンフィギュレーション関連ピンの設定や、Boot modeの選択などは、開発ツールRadiant で実施
Radiant のDevice Constraint Editor => Global タブで設定可能な項目の詳細

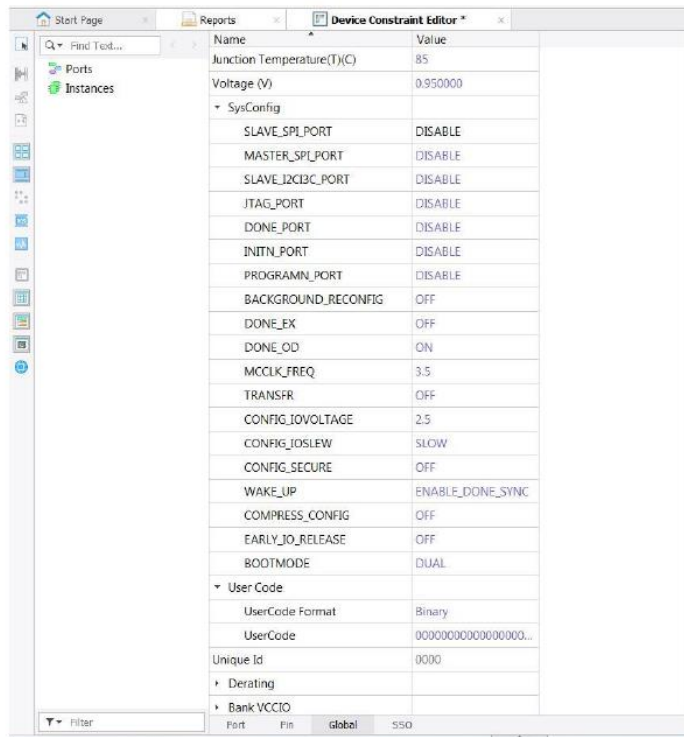


Figure 7.1. sysCONFIG Preferences in Global Tab, Lattice Radiant Device Constraint Editor

5.6 開発ツール上の設定 2/4

sysConfig	設定項目	内容
SLAVE_SPI_PORT	DISABLE (Default) SERIAL DUAL QUAD	- SERIAL/DUAL/QUAD に設定した場合、ユーザーモードにおいても、当該ピン（SCLK, SCSN, SI/SD0, SO/SD1, SD2, SD3）がpreserve される - Slave SPI Modeでコンフィギュレーションを行う際は設定しておくことを推奨（当該ピンにユーザー信号を意図せずアサインしてしまうことを防ぐため）
MASTER_SPI_PORT	DISABLE (Default) SERIAL DUAL QUAD	- SERIAL/DUAL/QUADに設定した場合、ユーザーモードにおいても、当該ピン（MCLK, MCSN, MOSI/MD0, MISO/MD1, MD2, MD3）がpreserve される - Master SPI Mode でコンフィギュレーションを行う際は設定しておくことを推奨（当該ピンにユーザー信号を意図せずアサインしてしまうことを防ぐため） - また、JTAG to SPI モードでFlash へ書き込みを行う際も設定が必要
SLAVE_I2CI3C_PORT	DISABLE (Default) ENABLE	- ENABLE に設定した場合、ユーザーモードにおいても、当該ピン（SD2/SCL, SD3/SDA）がpreserve される - Slave I2C/I3C mode でコンフィギュレーションを行う際は設定しておくことを推奨（当該ピンにユーザー信号を意図せずアサインしてしまうことを防ぐため）
JTAG_PORT	DISABLE ENABLE (Default)	- ENABLE に設定した場合、ユーザーモードにおいても、当該ピン（TCK, TMS, TDI, TDO）がpreserve される - コンフィギュレーションモードに関わらず、基本的にENABLE に設定しておくことを推奨（DISABLE に設定した場合であっても、JTAG_EN ピン外部プルアップすることで、JTAG ポートがDISABLE の設定であってもJTAG ポートは専用ピンとして機能する）
DONE_PORT	DISABLE ENABLE (Default)	- ENABLE に設定した場合、ユーザーモードにおいても、DONE ピンがpreserve される - DONE ピンはコンフィギュレーション完了を通知する信号のため、ENABLE に設定しておくことを推奨
INITN_PORT	DISABLE ENABLE (Default)	- ENABLE に設定した場合、ユーザーモードにおいても、INITN ピンがpreserve される - INITN は、コンフィギュレーションエラーを通知したり、外部からLow 保持することでコンフィギュレーション開始タイミングを制御することができる信号のため、ENABLE に設定しておくことを推奨
PROGRAMN_PORT	DISABLE ENABLE (Default)	- ENABLE に設定した場合、ユーザーモードにおいても、PROGRAMN ピンがpreserve される - PROGRAMN は、ユーザーモードから再コンフィギュレーションを行うことが可能な信号で、デバッグ時に有用なため、ENABLE に設定しておくことを推奨

5.6 開発ツール上の設定 3/4

sysConfig	設定項目	内容
BACKGROUND_RECONFIG	OFF (Default) ON SRAM_EBR SRAM_ONLY	- 再書き込み時に、ユーザロジックによる動作を継続したまま、バックグラウンドで書き込むモードをTransparent アクセスモードと呼称。そのモード設定と、書き込む内容を設定 - OFF…書き込み完了までユーザロジックは動作しない - ON …ユーザロジックを動作させたまま、SRAM、EBR、IP の書き込み可能 - SRAM_EBR…ユーザロジックを動作させたまま、SRAM、EBR の書き込み可能 - SRAM_ONLY…ユーザロジックを動作させたまま、SRAM の書き込み可能
DONE_EX	OFF (Default) ON	- 外部信号からWake up タイミングを制御するために使用 - 通常、コンフィギュレーションが完了すると、デバイス内部のDone bit がHi となる - OFF…Done bit がHi へ遷移後、外部制御によるDONE ピンの状態に関わらず、デバイスがWake up - ON…Done bit がHi へ遷移後、外部制御によってDONE ピンがLow に保持されている場合はWake upせず、Hi にドライブされるとWake up - なお、後述のWAKE UP を適切に設定する必要あり
DONE_OD	ON (Default) OFF	DONE ピンをオープンドレイン出力に設定
MCLK_Frequency	3.5 (Default) 7.0/14.1/28.1/56.2/90/112.5/150	- 外付けSPI Flash からコンフィギュする場合のクロック周波数を設定 - 精度は±10%
TRANSFR	ON (Default) OFF	TransFR機能の設定

5.6 開発ツール上の設定 4/4

sysConfig	設定項目	内容
CONFIG_IOVOLTAGE	2.5(Default) 1.0/1.2/1.5/1.8/2.5/3.3	• コンフィギュ関連ピンが存在するBank0, 1 の電圧を設定
CONFIG_IOSLEW	SLOW (Default) MEDIUM FAST	• コンフィギュ関連ピンのSlew Rate を設定 • 基板環境の違いに容易に適合することが可能
CONFIG_SECURE	OFF (Default) ON	• ON の場合、sysCONFIG やJTAG ポートからのリードバックを防止
WAKE UP	ENABLE_DONE_SYNC (Default) DISABLE_DONE_SYNC	• 起動時の同期設定 ENABLE_DONE_SYNC…外部DONE ピンと同期してデバイス起動。このオプションを選択する場合、DONE_EX 設定をON にする必要がある DISABLE_DONE_SYNC…外部DONE ピンと同期しない。DONE_EX 設定をOFF にする必要がある
COMPRESS_CONFIG	OFF (Default) ON	• 圧縮したBitstream ファイルを生成するかどうか選択
EARLY_IO_RELEASE	OFF (Default) ON	• Bank1,2,6,7のI/O に関してEARLY_IO_RELEASE を行うか選択
BOOTMODE	DUAL (Default) SINGLE NONE	Dual…デュアルブートを実行 失敗した場合でもデバイスを起動させるためゴールデンブートイメージが呼び出される SINGLE…シングルブートを実行 失敗した場合、デバイスは未プログラム状態となる NONE…Master SPI でのブートではない場合に選択 Slave コンフィギュレーションポートでコンフィギュされることを待つ

5.7 コンフィギュレーションフロー 1/4

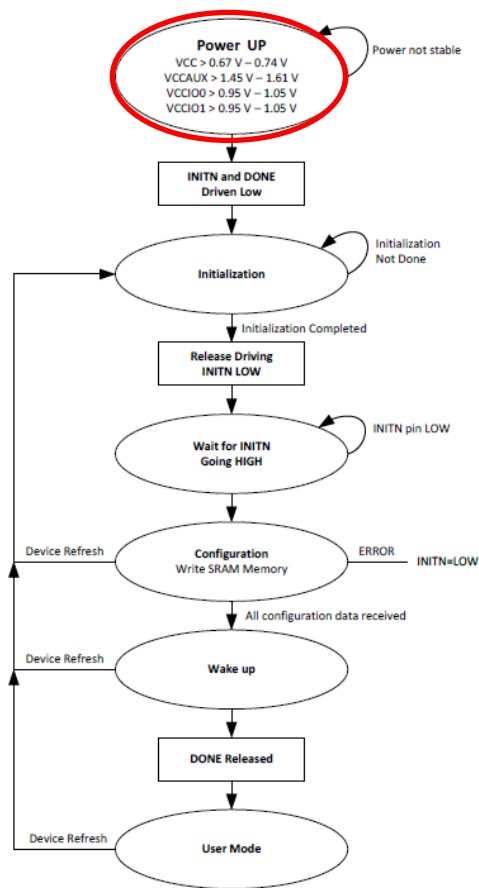


Figure 5.1. Master Port Configuration Flow

1 . Power UP

- これらの条件が満たされると、POR 回路は内部リセット・ストローブを解放し、デバイスが初期化プロセスを開始できるようにする
- Nexus デバイスは INITN をアクティブ・ローにアサートし、DONE をLow に駆動
- Power Up $\Rightarrow$ コンフィギュレーション完了までPROGRAMN は外部Pull-up し、外部より駆動しない
- INITN とDONE がロー・アサートされると、デバイスは初期化状態に移行し初期化プロセスを開始
 - $V_{cc} > 0.73\text{ V} - 0.83\text{ V}$
 - $V_{ccaux} > 1.34\text{ V} - 1.62\text{ V}$
 - $V_{ccio0} > 0.89\text{ V} - 1.05\text{ V}$
 - $V_{ccio1} > 0.89\text{ V} - 1.05\text{ V}$

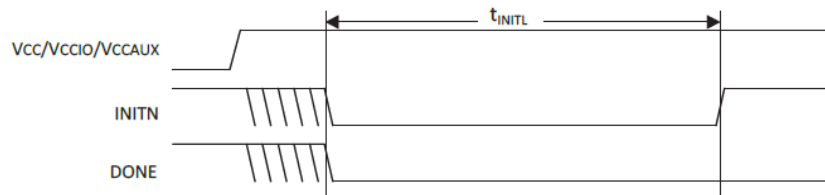


Figure 5.2. Configuration from Power-On-Reset Timing

5.7 コンフィギュレーションフロー 2/4

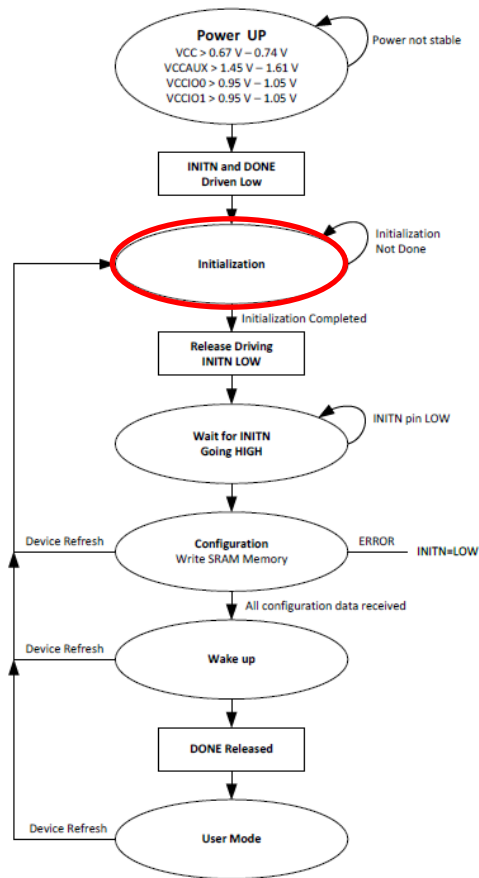


Figure 5.1. Master Port Configuration Flow

2 . Initialization

- Power on reset 回路により、INITN とDONE がLow にドライブされた後、デバイスはInitialization ステートに入り、全てのSRAM 領域が初期化される
- 下記条件全てが満たされるまで、初期化状態を保持
 - tINIL 時間経過
 - PROGRAMN ピンがディアサート
 - INITN ピンが外部Master によりアサートされていない
- tINITL の期間、FPGA 内の全てのSRAM 領域がクリアされる
- 初期化が完了すると、INITN をリリースし、外付け抵抗によりHi にプルアップ

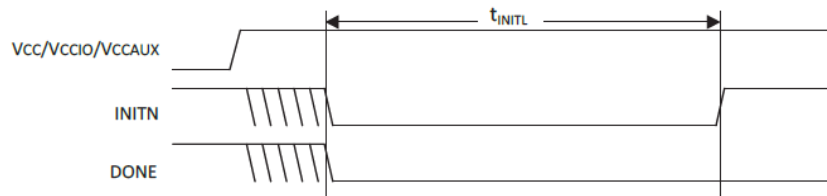


Figure 5.2. Configuration from Power-On-Reset Timing

5.7 コンフィギュレーションフロー 3/4

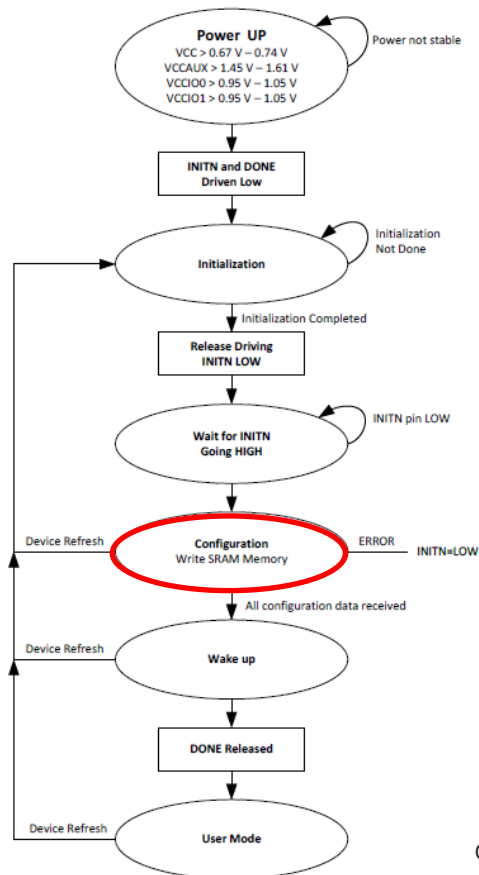


Figure 5.1. Master Port Configuration Flow

3 . Configuration

- 初期化が完了後、外付け抵抗によりINITN がHi になるとコンフィギュレーション開始
- その後のコンフィギュレーションにおいてエラーが発生した際はINITN は再度Low にドライブされる

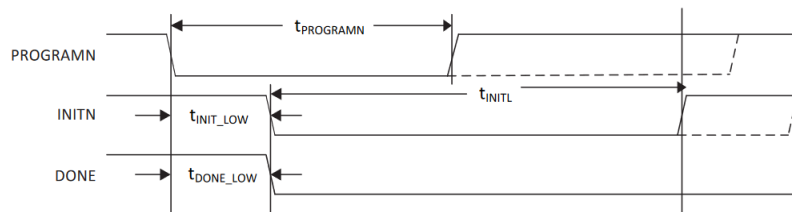


Figure 2.2. Configuration from PROGRAMN Timing

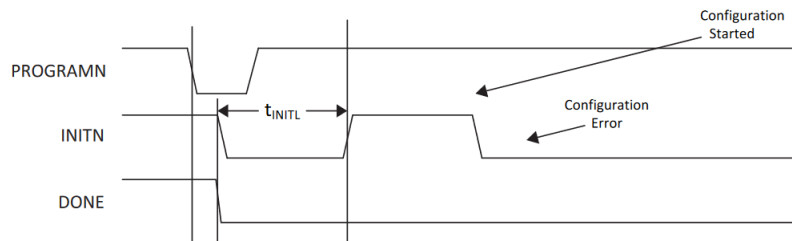


Figure 2.1. Configuration Error Notification

Common Programming and Configuration FAQs with Supplementary Concepts for CrossLink-NX, Certus-NX, and CertusPro-NX
FPGA-AN-02048-1.2

5.7 コンフィギュレーションフロー 4/4

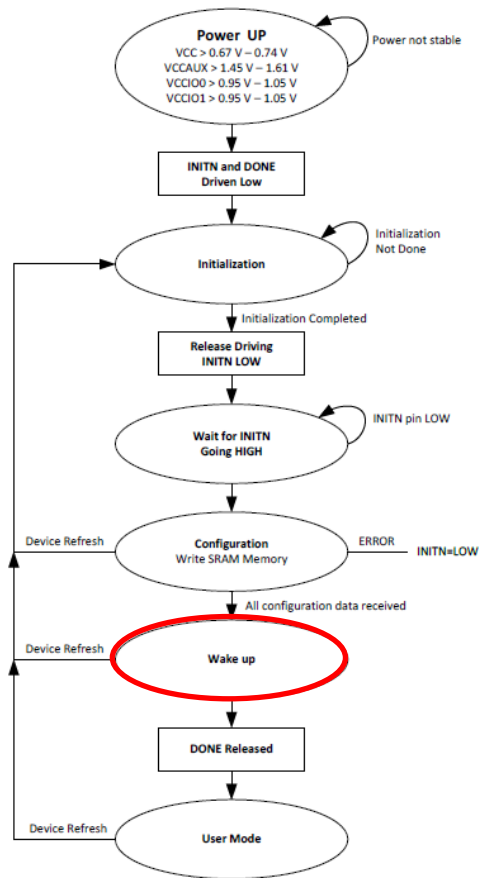


Figure 5.1. Master Port Configuration Flow

4 . Wake Up

- コンフィギュレーションモードからユーザーモードへの移行ステート
- デバイスがすべてのコンフィギュレーションデータを受信すると、内部DONE status bit をアサート

補足 コンフィギュレーションがうまく行かない時は？

DONE 信号の波形を測定し確認

- DONE 信号がLow のままの場合は、コンフィギュレーションにおいてエラーが発生した可能性がある
- DONE 信号がHi の場合は、正常にコンフィギュレーションは完了 = 正常に起動を完了

INITN 信号の波形を測定し確認

- INITN 信号がLow のままの場合は、コンフィギュレーションにおいてエラーが発生した可能性がある

回路図において、コンフィギュ関連ピンの接続と、端子処理(PULL UP/PULL DOWN)を要確認
また、Radiant Programmer の設定を再確認することを推奨

PROGRAMN 信号の波形を測定し確認

- PROGRAMN 信号がLow にアサートされたままでは、コンフィギュレーションを完了し起動する事が出来ない

補足 コンフィギュレーションがうまく行かない時は？

併せて以下を参照

Common Programming and Configuration FAQs with Supplementary Concepts for CrossLink-NX, Certus-NX, and CertusPro-NX
FPGA-AN-02048-1.2 July 2023

Programming Cables FPGA-UG-02042-26.6 November 2023

5.8 コンフィギュレーション関連ピン波形(Certus-NX, CertusPro-NX, CrossLink-NX)

3. Measure using LVCMOS18, default MCLK frequency, slow slew rate.

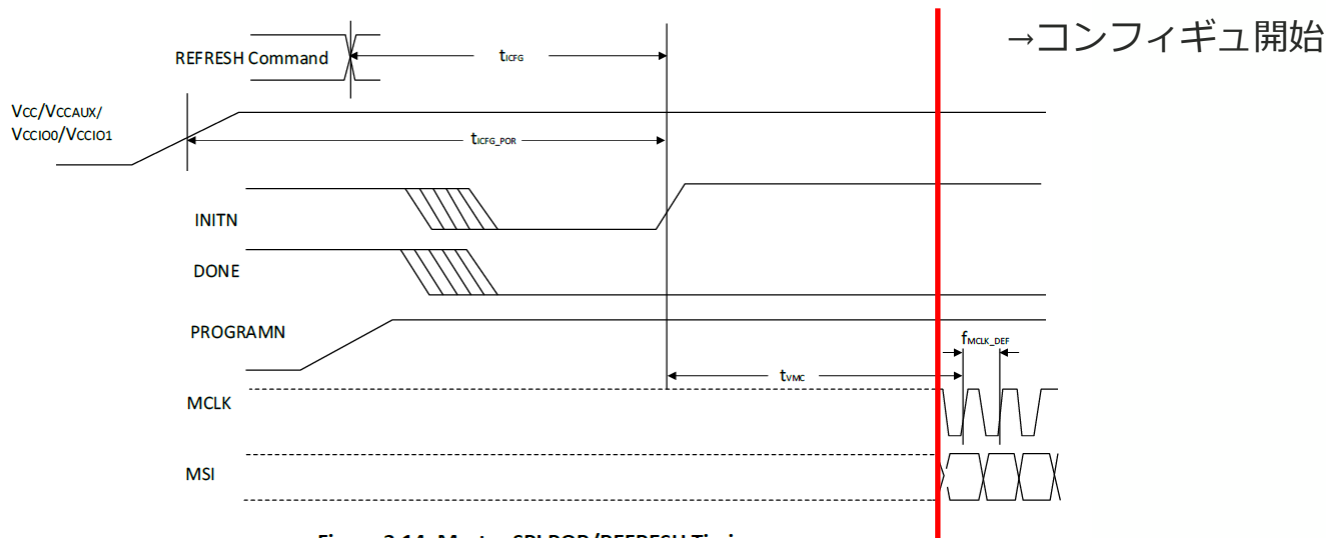


Figure 3.14. Master SPI POR/REFRESH Timing

5.8 コンフィギュレーション関連ピン波形(Certus-NX, CertusPro-NX, CrossLink-NX)

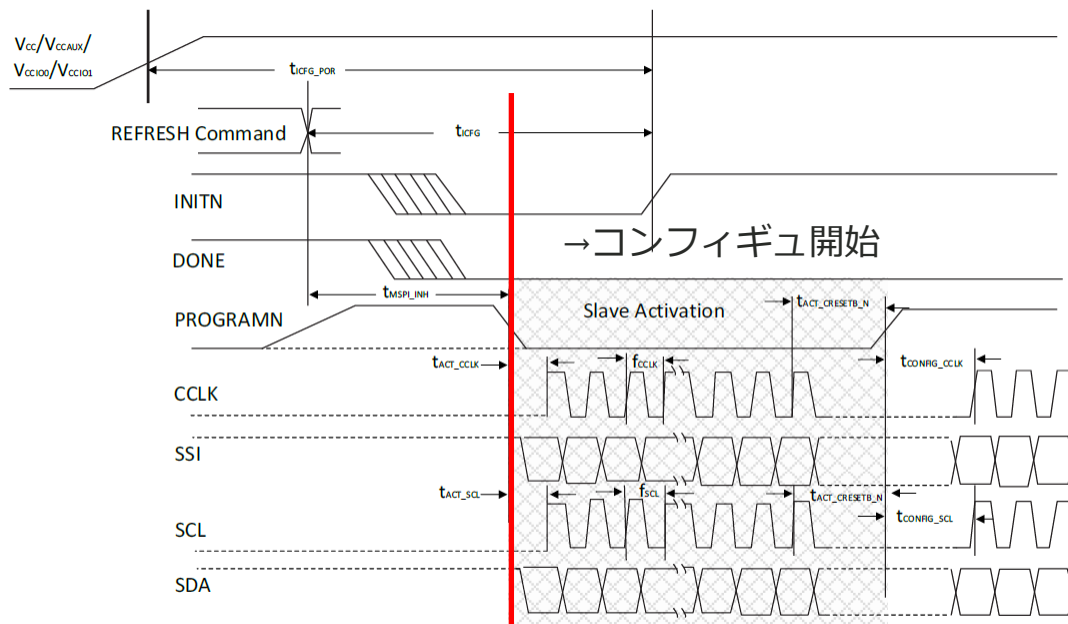


Figure 3.15. Slave SPI/I²C/I³C POR/REFRESH Timing

5.8 コンフィギュレーション関連ピン波形(MachXO5-NX)

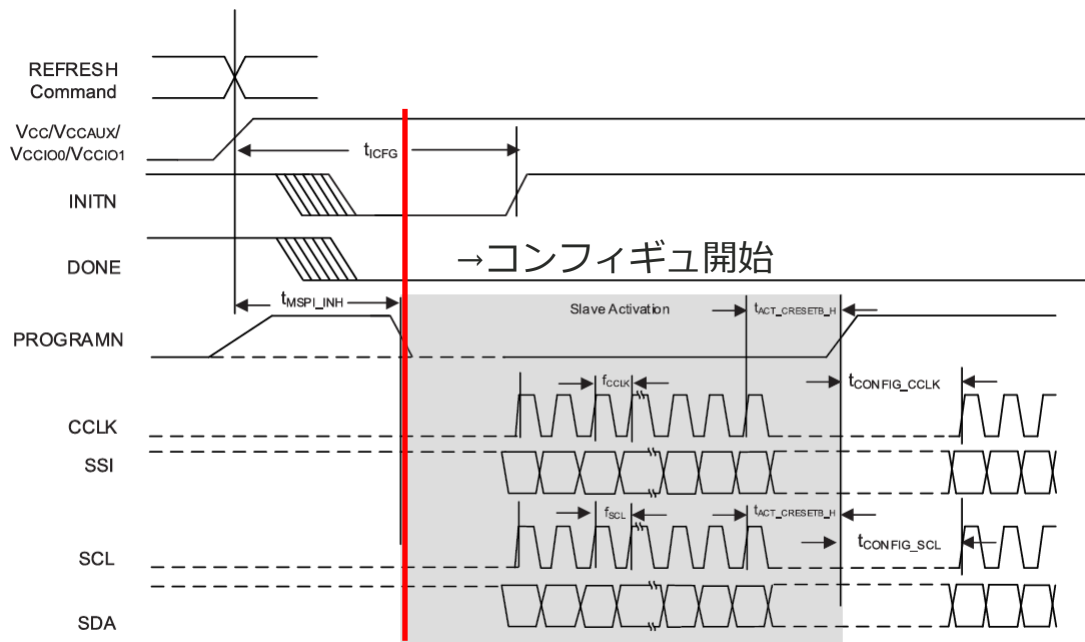


Figure 3.14. Slave SPI/I²C/I³C POR/REFRESH Timing

5.8 コンフィギュレーション関連ピン波形 (MachXO5-NX)

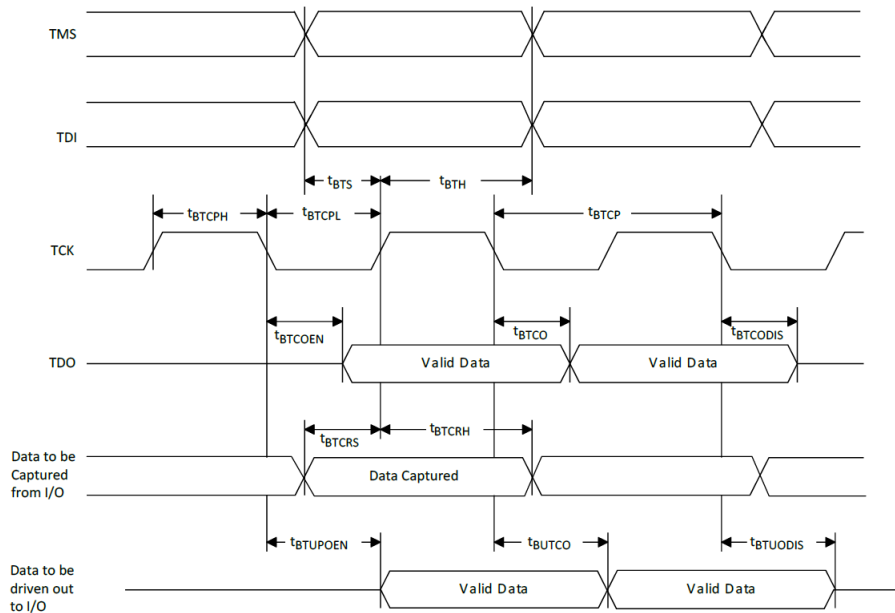


Figure 3.19. JTAG Port Timing Waveforms

3.29. JTAG Port Timing Specifications

Over recommended operating conditions.

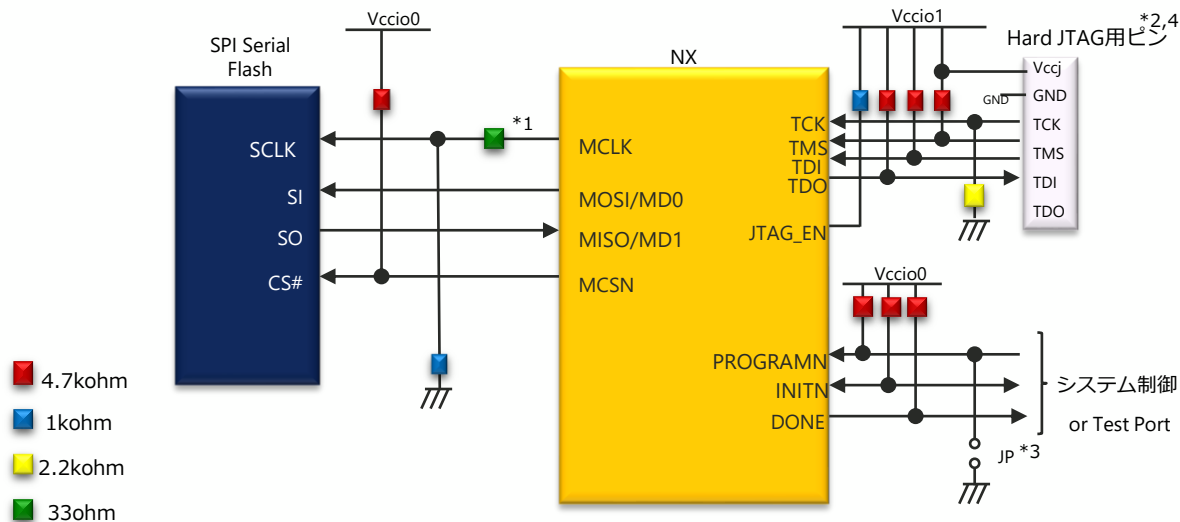
Table 3.45. JTAG Port Timing Specifications

Symbol	Parameter	Min	Typ.	Max	Units
f _{MAX}	TCK clock frequency	—	—	25	MHz
t _{BTCPH}	TCK clock pulse width high	20	—	—	ns
t _{BTCPL}	TCK clock pulse width low	20	—	—	ns
t _{BTS}	TCK TAP setup time	5	—	—	ns
t _{BTH}	TCK TAP hold time	5	—	—	ns
t _{BTRF}	TAP controller TDO rise/fall time ¹	1000	—	—	mV/ns
t _{BTCO}	TAP controller falling edge of clock to valid output	—	—	14	ns
t _{BTCODIS}	TAP controller falling edge of clock to valid disable	—	—	14	ns
t _{BTCOEN}	TAP controller falling edge of clock to valid enable	—	—	14	ns
t _{BTCRS}	BSCAN test capture register setup time	8	—	—	ns
t _{BTCRH}	BSCAN test capture register hold time	25	—	—	ns
t _{BUTCO}	BSCAN test update register, falling edge of clock to valid output	—	—	25	ns
t _{BTUODIS}	BSCAN test update register, falling edge of clock to valid disable	—	—	25	ns
t _{BTUPOEN}	BSCAN test update register, falling edge of clock to valid enable	—	—	25	ns

Note:

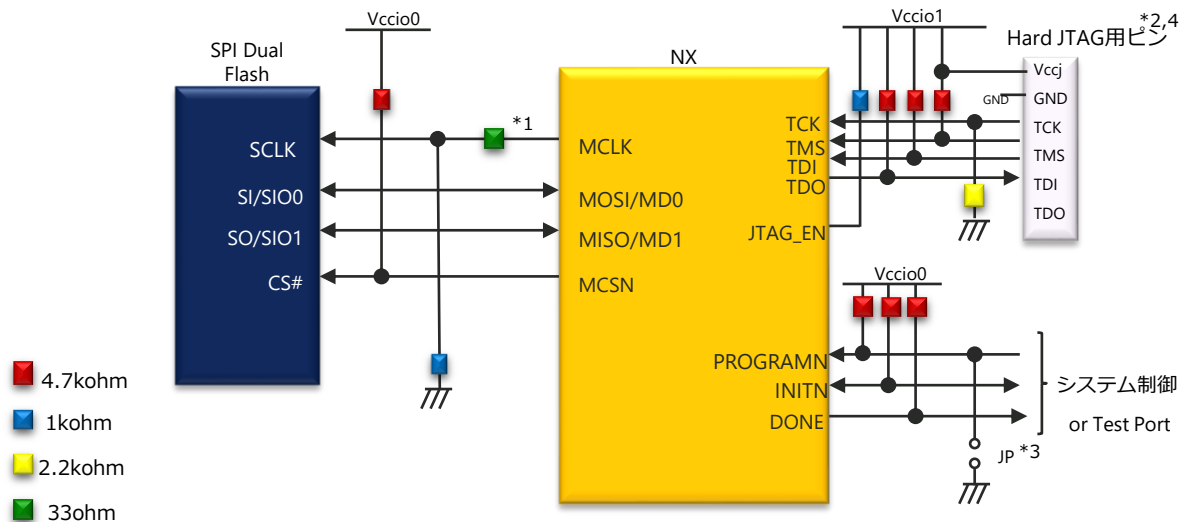
1. Based on default I/O setting of slow slew rate.

5.9 回路例 : Master SPI Serial



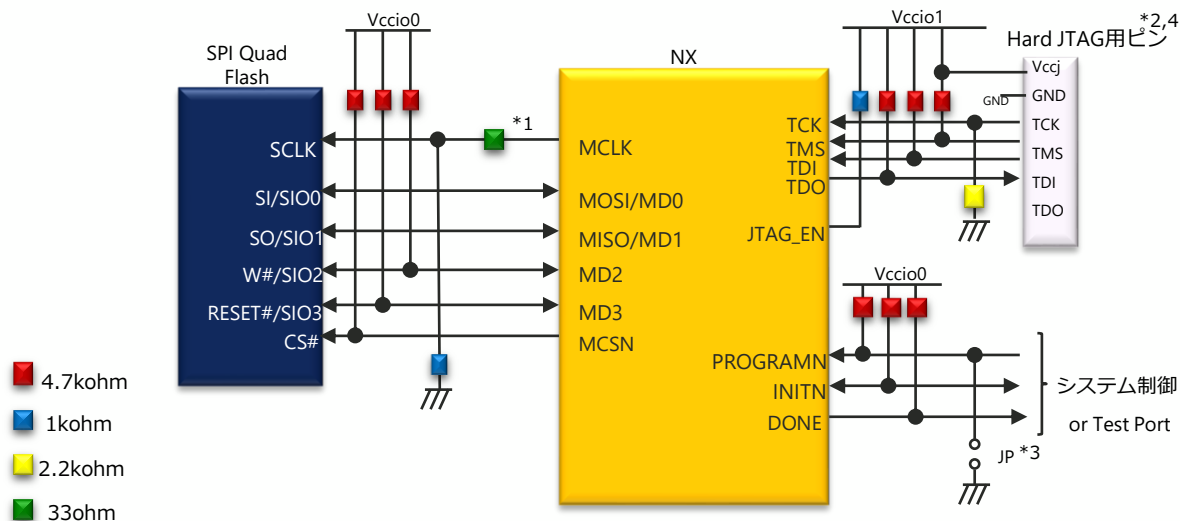
- *1 MCLK を高速に設定したり、Slew Rate をFast に設定した場合は、33Ωダンピング抵抗を挿入し、波形にオーバーシュート/アンダーシュートが無いことを確認
- *2 JTAG Port は外部Flash への書き込み、及びDebug 時に必要となるので実装を強く推奨
- *3 PROGRAMN は外部からLow へ保持できるようJP 等を設置
- *4 Hard JTAG 用ピンは未使用時、不定入出力、ノイズの入出力源になり得る。Pull up/Pull Down 処理は必ず実施
 - オーバーシュート/アンダーシュートについてはデータシートのVIN Maximum Overshoot/Undershoot Allowance – Wide Range1 参照
 - SPI Flash Memory についてはデバイスメーカーのデータシートで確認

5.9 回路例 : Master SPI Dual



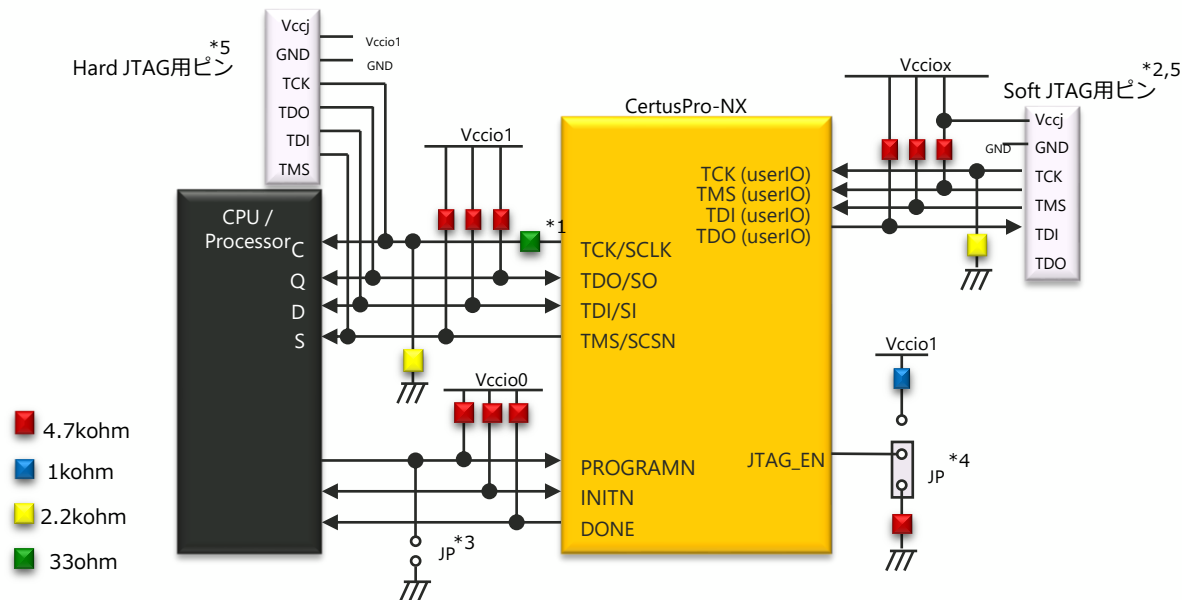
- *1 MCLK を高速に設定したり、Slew Rate をFast に設定した場合は、33Ωダンピング抵抗を挿入し、波形にオーバーシュート/アンダーシュートが無いことを確認
- *2 JTAG Port は外部Flash への書き込み、及びDebug 時に必要となるので実装を強く推奨
- *3 PROGRAMN は外部からLow へ保持できるようJP 等を設置
- *4 Hard JTAG 用ピンは未使用時、不定入出力、ノイズの入出力源になり得る。Pull up/Pull Down 処理は必ず実施
 - オーバーシュート/アンダーシュートについてはデータシートのVIN Maximum Overshoot/Undershoot Allowance – Wide Range1 参照
 - SPI Flash Memory についてはデバイスメーカーのデータシートで確認

5.9 回路例 : Master SPI Quad



- *1 MCLK を高速に設定したり、Slew Rate をFast に設定した場合は、33Ωダンピング抵抗を挿入し、波形にオーバーシュート/アンダーシュートが無いことを確認
- *2 JTAG Port は外部Flash への書き込み、及びDebug 時に必要となるので実装を強く推奨
- *3 PROGRAMN は外部からLow へ保持できるようJP等を設置
- *4 Hard JTAG 用ピンは未使用時、不定入出力、ノイズの入出力源になり得る。Pull up/Pull Down 処理は必ず実施
- オーバーシュート/アンダーシュートについてはデータシートのVIN Maximum Overshoot/Undershoot Allowance – Wide Range1 参照
- SPI Flash Memory についてはデバイスメーカーのデータシートで確認

5.9 回路例 : Slave SPI



*1 MCLK を高速に設定したり、Slew Rate をFast に設定した場合は、33Ωダンピング抵抗を挿入し、波形にオーバーシュート/アンダーシュートが無いことを確認

*2 Debug 用途としてsoft JTAG Port を設ける

*3 PROGRAMN は外部からLow へ保持できるようJP等を設置

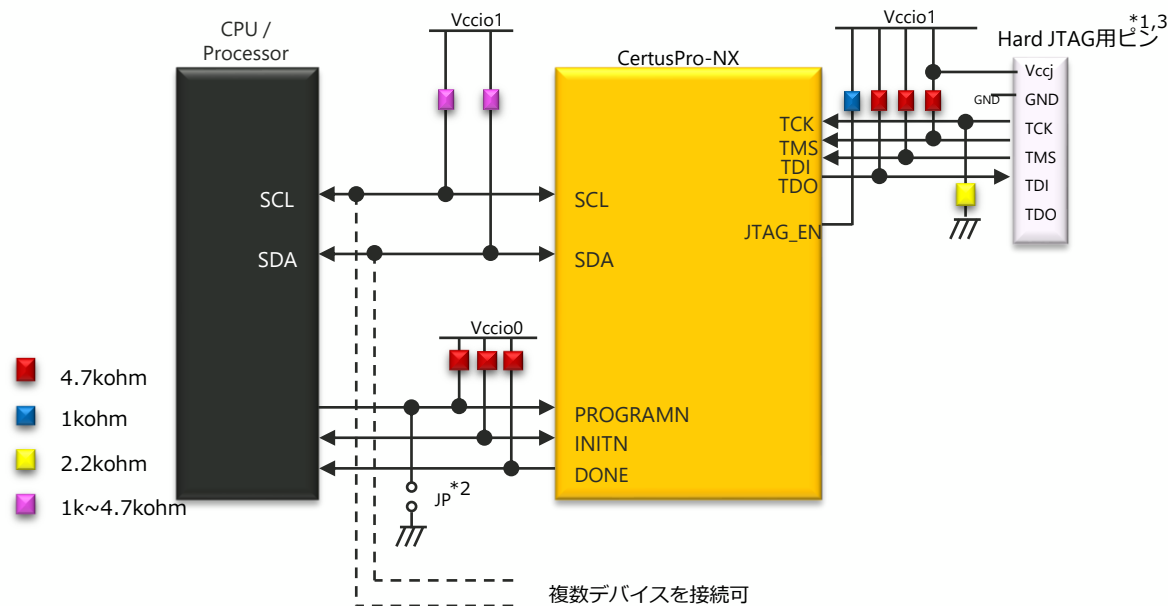
*4 JTAG コンフィギュレーションをする場合はJP をプルアップ側に接続できるようにする

*5 Hard / Soft JTAG 用ピンは未使用時、不定入出力、ノイズの入出力源になり得る。Pull up/Pull Down 処理は必ず実施

- オーバーシュート/アンダーシュートについてはデータシートのVIN Maximum Overshoot/Undershoot Allowance – Wide Range1 参照

- CPU / Processor についてはデバイスメーカーのデータシートで確認

5.9 回路例 : Slave I2C/I3C



*1 Debug 用途としてsoft JTAG Port を設ける

*2 PROGRAMN は外部からLow へ保持できるようJP 等を設置

*3 Hard JTAG 用ピンは未使用時、不定入出力、ノイズの入出力源になり得る。Pull up/Pull Down 処理は必ず実施

5.10 コンフィギュレーションデータサイズ

Table 4.1. Maximum Configuration Bits

Device	Scenario	All Uncompressed	SPI Mode	
		Unencrypted/Encrypted Bitstream Size (Mb)	Recommended SPI Flash Size (Mb)	Dual Boot Recommended SPI Flash
LFCPNX-50	No LRAM, No EBR,	TBD	TBD	TBD
	No LRAM, MAX EBR	TBD	TBD	TBD
	MAX LRAM, No EBR	TBD	TBD	TBD
	MAX LRAM, MAX EBR	TBD	TBD	TBD
LFCPNX-100	No LRAM, No EBR,	15.005	16	32
	No LRAM, MAX EBR	18.749	32	64
	MAX LRAM, No EBR	18.589	32	64
	MAX LRAM, MAX EBR	22.333	32	64

Note: Both unencrypted and encrypted bitstreams are the same size. Compression ratio depends on bitstream, so we only provide uncompressed bitstream data.

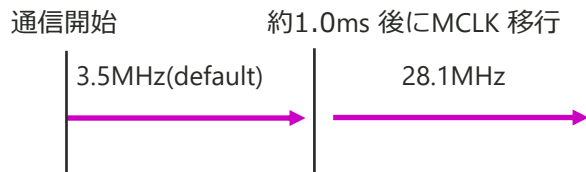
注1.

Nexus デバイスは圧縮と暗号化をサポートしているが、1つのビットストリーム(デジタル信号の情報のまま伝送(記録)すること)で、これらを同時に実行しないことが条件。
圧縮されたビットストリーム上で暗号化を実行したり、暗号化されたビットストリームを圧縮したりしてはいけません

5.11 Master SPI 動作時の波形 : Serial

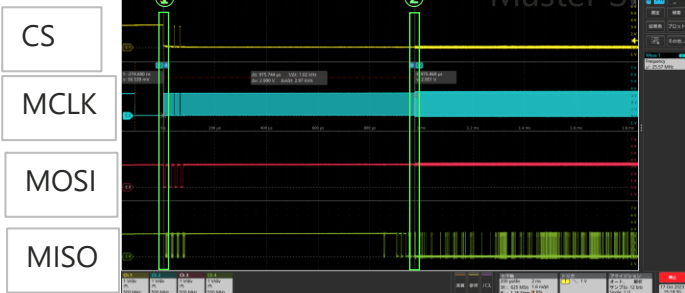
Serial MSPI コンフィギュレーションにおいて、Flash への通信開始時はMCCLK_FREQ=3.5MHz(default)でオペレーションを始め、約1.0ms後にMCCLK_FREQ=28.1MHz の設定値に移行

Master SPI 動作時の波形 : Serial



①拡大

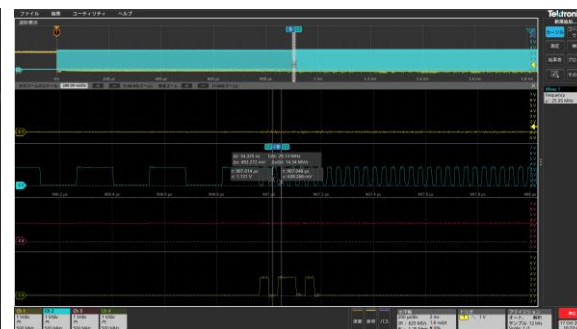
②拡大



200us/div



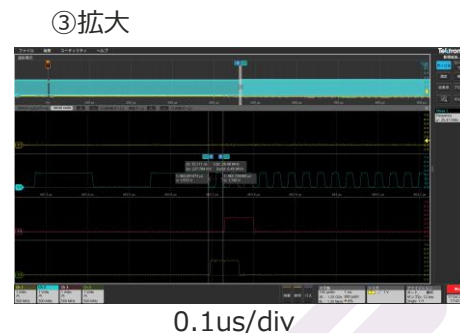
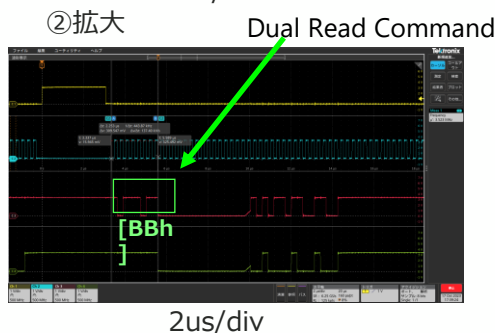
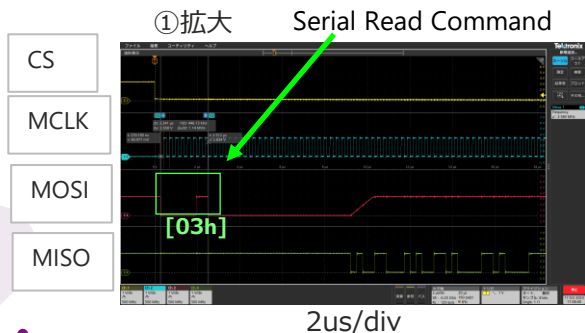
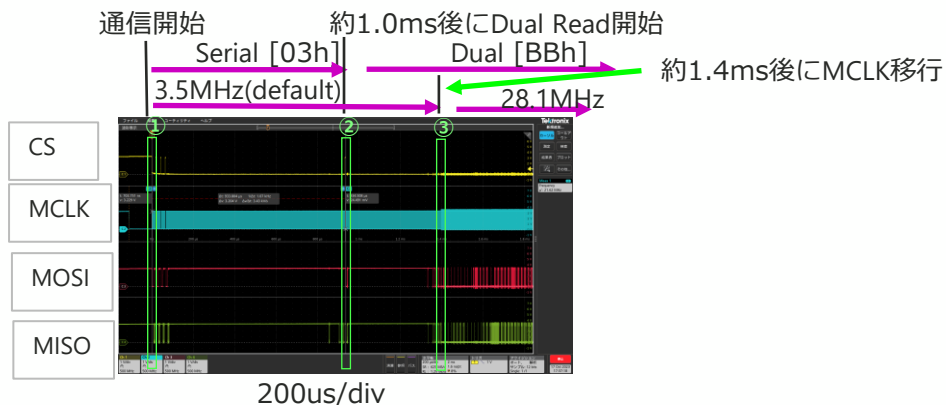
2us/div



0.2us/div

5.11 Master SPI 動作時の波形：Dual

Dual MSPI コンフィギュレーションにおいて、Flash への通信開始時は Serial Read Command[03h] でオペレーションを始め、約1.0ms後に Dual Read Command[BBh] を発行し直す (Serial Read の際はコマンド切り替わり無し)。Flash への通信開始時は MCCLK_FREQ=3.5MHz(default) でオペレーションを始め、約1.4ms 後に MCCLK_FREQ=28.1MHz の設定値に移行

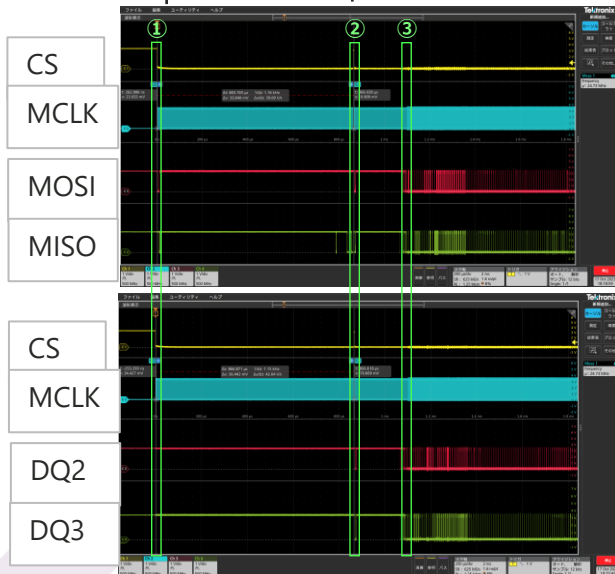


5.11 Master SPI 動作時の波形：Quad 1/3

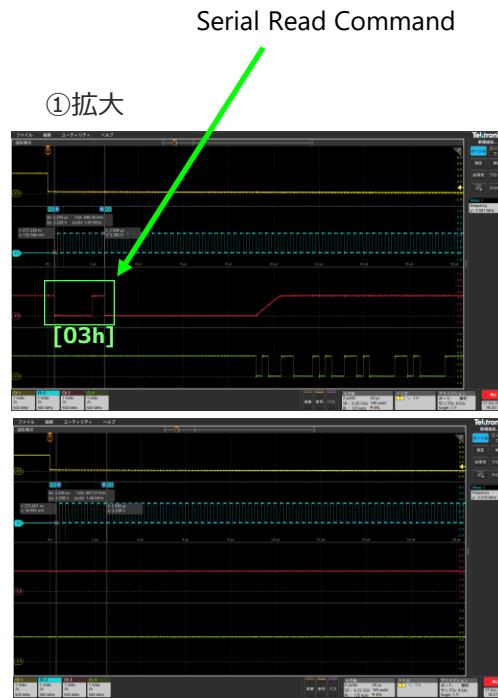
Quad MSPI コンフィギュレーションにおいて、Flash への通信開始時はSerial Read Command[03h] でオペレーションを始め、約1.0ms 後にQuad Read Command[EBh] を発行し直す(Serial Read の際はコマンド切り替わり無し)

通信開始 約1.0ms後にQuad Read開始

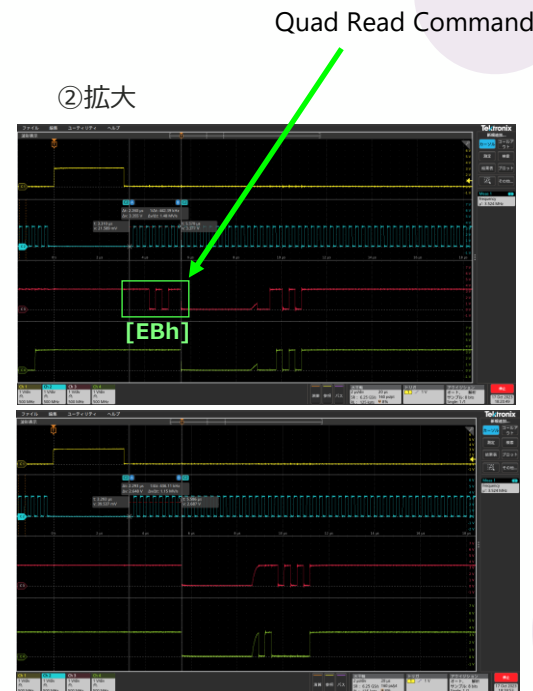
Serial [03h] Quad [EBh]



200us/div



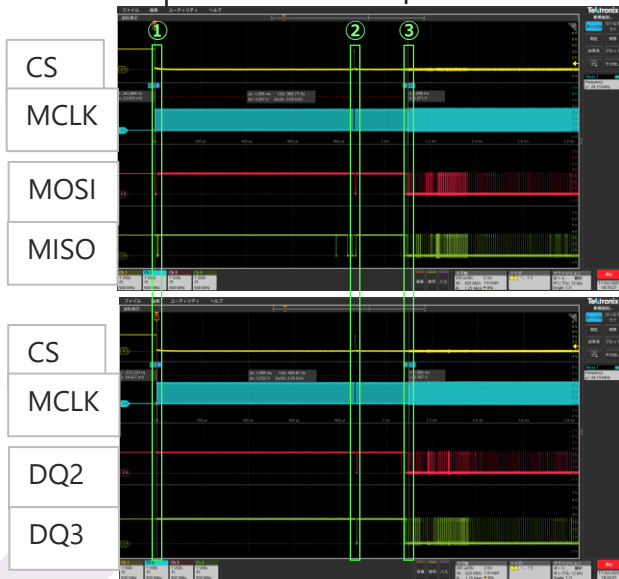
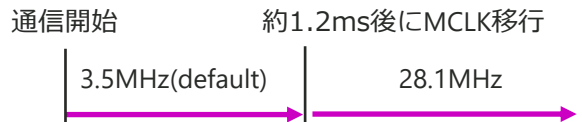
2us/div



2us/div

5.11 Master SPI 動作時の波形：Quad 2/3

Quad MSPI コンフィギュレーションにおいて、Flash への通信開始時はMCCLK_FREQ=3.5MHz(default) でオペレーションを始め、約1.2ms 後にMCCLK_FREQ=28.1MHz の設定値に移行



200us/div

①拡大



2us/div

③拡大



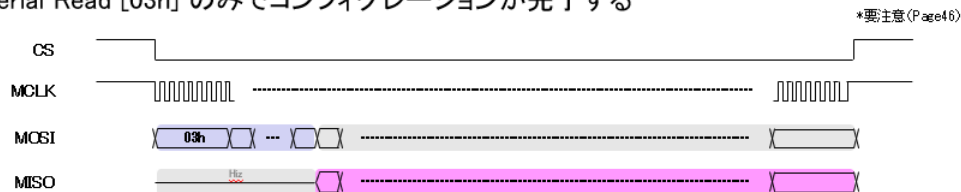
0.2us/div

5.11 Master SPI 動作時の波形：Quad 3/3

Quad MSPI コンフィギュレーションにおいて、Flash への通信開始時はMCCLK_FREQ=3.5MHz(default) でオペレーションを始め、約1.2ms 後にMCCLK_FREQ=28.1MHz の設定値に移行

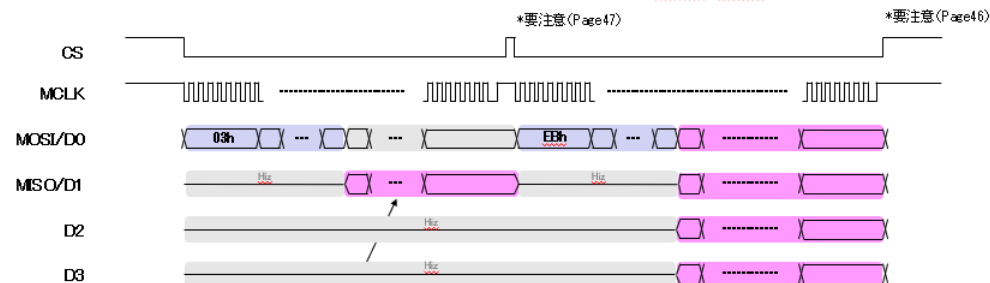
■Serialの場合

Serial Read [03h] のみでコンフィグレーションが完了する



■Dual/Quadの場合

Serial Read [03h] で開始し、途中からDual/Quad Read [BBh/EBh] に切り替わる



Spreadsheet View > Global Preferenceの
CONFIG_MODE設定などが含まれます

-本データは、独自の実機検証に基づいて確認したものであり、Lattice社から正式に提示されたデータではありません
-『Dual/Quadの場合』のチャートイメージは、Quadの例で記載しております

6. Radiant Programmer を用いた書き込み

6.1 Download ケーブル

デバイスへのコンフィギュレーションデータのダウンロードには下図のUSB Downloadケーブルを使用 (※)



USB Download Cable – HW-USBN-2B

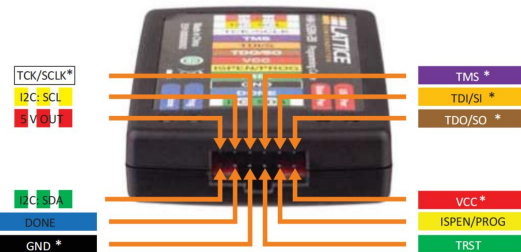
- Radiant Programmer がインストールされたPC と基板を上記ケーブルで接続
- PCにはドライバーをインストールする必要あり
- ドライバーのインストールの詳細に関しては、Lattice Radiant Software Installation Guide の” Install and Uninstall Cable Drivers” の項を参照

http://www.latticesemi.com/view_document?document_id=52751

ご購入はこちら

<https://www.macnicamouser.jp/ProductDetail/Lattice/HW-USBN-2B?qs=HqOR3aA30b56VfKOUz6yiw%3D%3D>

※評価ボードによってはUSB Download ケーブルのBox 部とFlywire 部に該当する部分が搭載されているものもあり、その場合、一般的なMini USB type-B ケーブルで基板⇄PC 間を接続



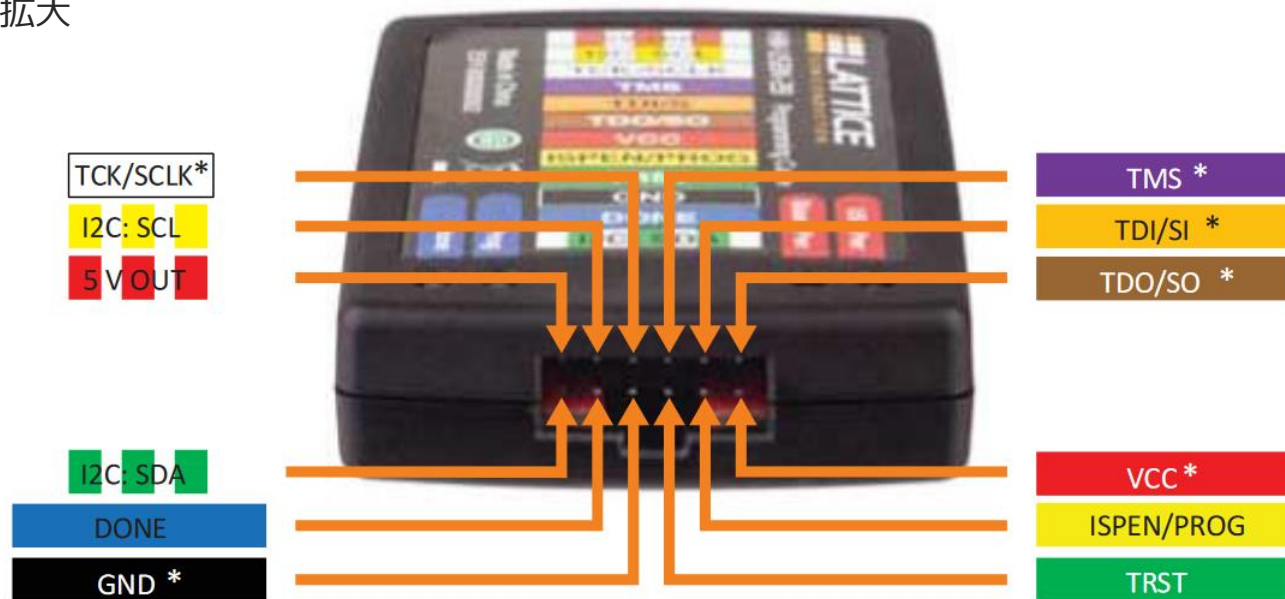
* Indicates flywire connections required for most basic JTAG programming.

Figure 3.1. Programming Cable In-System Programming Interface for the PC (HW-USBN-2B)*

- コネクタにFlywire ケーブルが接続されており、JTAG/SPI/I2Cの各I/Fを兼用可能
- 基板側に2.54mm pitchのピンヘッダを用意しFlywire ケーブルを接続可能

6.1 Download ケーブル

前ページ図の拡大



* Indicates flywire connections required for most basic JTAG programming.

Figure 3.1. Programming Cable In-System Programming Interface for the PC (HW-USBN-2B)*

6.2 Download ケーブル信号説明

プログラミング ケーブルピン	名称	入出力 タイプ	説明
VCC	プログラミング電圧	I	- ターゲット・デバイスのVCCIO または VCCJ プレーンに接続 - 典型的なICC = 10mA。ターゲット・ボードはケーブルにてVCCを 供給
TDO/SO	テストデータ出力	I	IEEE1149.1(JTAG) プログラミング規格によるデータのシフトアウトに使用
TDI/SI	テストデータ入力	O	IEEE1149.1プログラミング規格でデータをシフト・インするために使用
ISPEN/PROG	イネーブル	O	- デバイスをプログラム可能にする - HW-USBN-2B でのSPI プログラミングではSN/SSPI チップ・セレクトとしても機能 - プログラミング用チップセレクトとしても機能
TRST	テスト・リセット	O	オプションのIEEE1149.1 ステートマシンのリセット
DONE	DONE	I	DONE はコンフィギュレーションのステータスを示す
TMS	テストモード入力選択	O	IEEE1149.1 ステートマシンの制御に使用
GND	グラウンド	I	ターゲット・デバイスのグラウンドプレーンに接続
TCK/SCLK	テスト・クロック入力	O	IEEE1149.1 ステートマシンのクロックに使用
INIT	初期化	I	- デバイスがコンフィギュレーションを開始する準備ができていることを示す - INIT は一部のデバイスにのみ存在
I2C: SCL	I2C SCL	O	I2C の信号、SCL を供給
I2C: SDA	I2C SDA	O	I2C の信号、SDA を供給
5V OUT	5V 出力	O	iCEprogM1050 プログラマに5V 信号を供給

6.3 Programmer を用いた書き込みに関する資料

併せて以下を参照

Common Programming and Configuration FAQs with Supplementary Concepts for CrossLink-NX, Certus-NX, and CertusPro-NX	FPGA-AN-02048-1.2	July 2023
sysCONFIG User Guide for Nexus Platform	FPGA-TN-02099-2.8	January 2024
MachXO5-NX Programming and Configuration User Guide	FPGA-TN-02271-1.8	January 2024

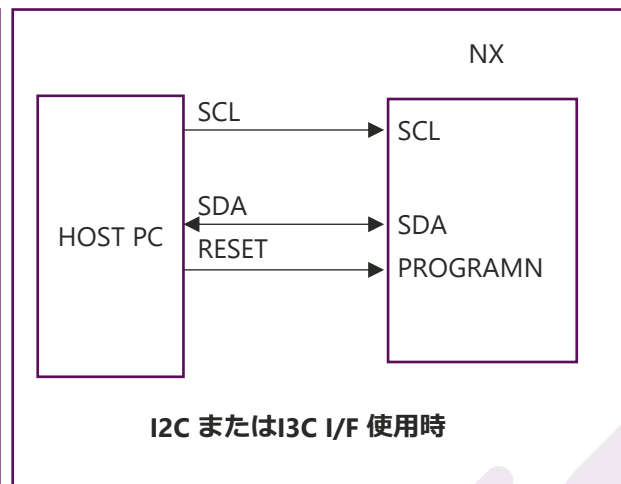
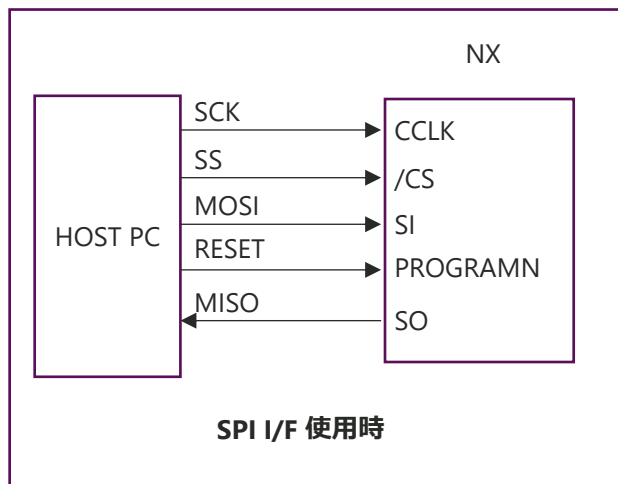
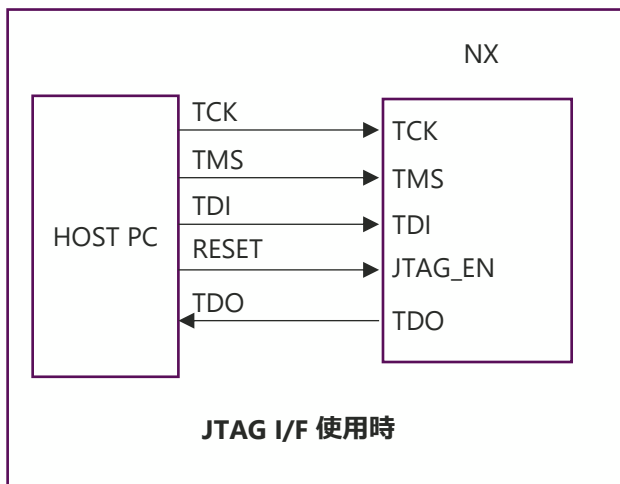
6.4 SRAM 領域への書き込み 1/3

■ Download ケーブルとデバイス間の接続

- SRAM領域への直接書き込みには**JTAG/SPI/I2C,I3C** のI/F をサポート
- Download ケーブルとデバイス間はそれぞれ以下の図のように接続

注)

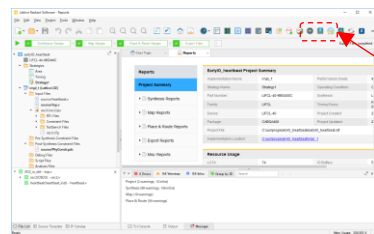
- SRAM 領域への書き込みは、電源をOFF すると消去される
- デバック時などに有用



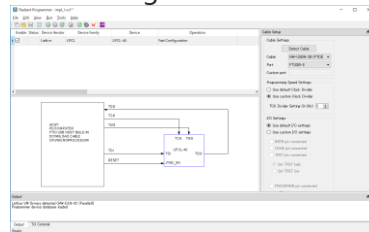
6.4 SRAM 領域への書込み 2/3

■SRAM (揮発性)領域に直接Programming する場合のオペレーション

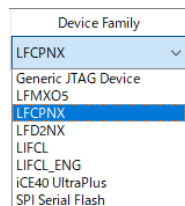
1. Radiant のツールバーからProgrammer を起動



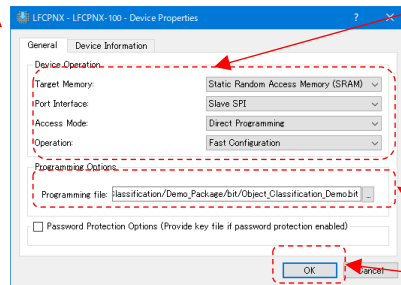
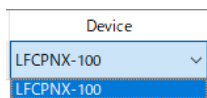
Programmer起動



2. Device Family、Device、Operation、書き込みファイルを設定



②使用するデバイス
を選択



③Device Operation を以下に設定

Target Memory:
Static Random Access Memory (SRAM)

Port Interface:
JTAG / Slave SPI / I2C / I3C Bridge から選択

Access Mode: Direct Programming

Operation: Fast Configuration

④書き込むコンフィギュファイル(*.bit)を設定

⑤OK をクリック

①LFCPNX を選択

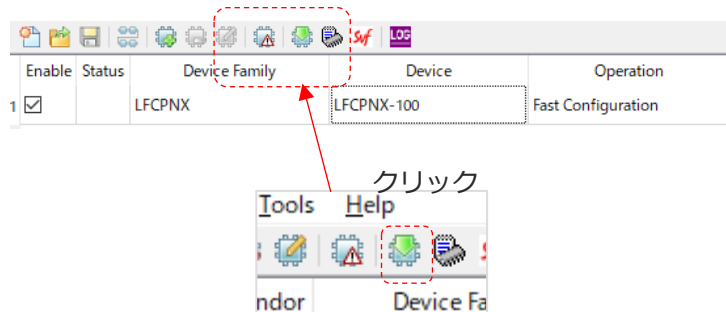
Programming Cables User Guide

FPGA-UG-02042-26.6 より抜粋

6.4 SRAM 領域への書込み 3/3

■SRAM (揮発性)領域に直接Programming する場合のオペレーション

3. Program Device をクリックして書き込み実行



4. Status がDone となり書き込み完了

※注意事項 (2023年2月現在)

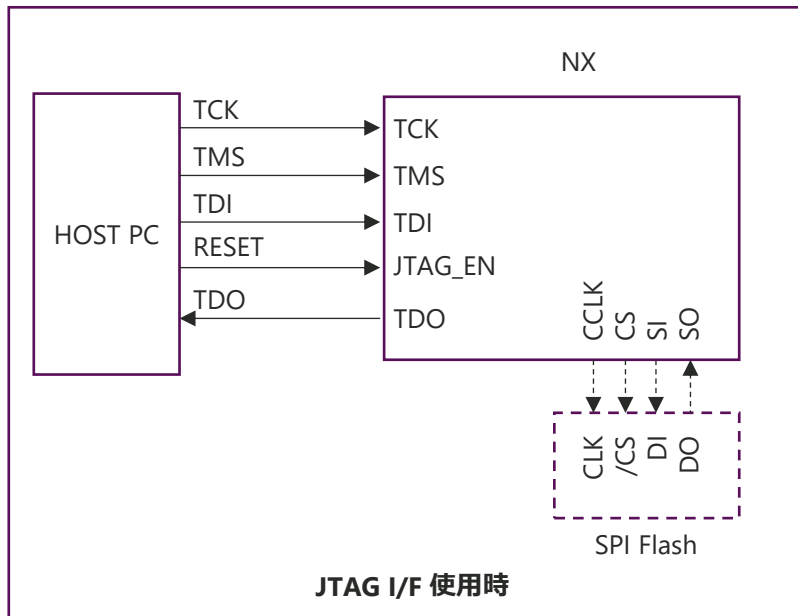
I2C I/F 使用時はDevice Properties ダイアログにてI2C Slave Address の設定が可能だが、下記Default のSlave Address を使用する必要あり

<DefaultのI2C Slave Address>
7bit addressing: 1000000
10bit addressing: 1111000000

6.5 FPGA 経由でのSPI Flash への書き込み 1/3

■ Download ケーブルとデバイス間の接続

- FPGA を経由した外部SPI Flash への書き込みには**JTAG/SPI** の2つのI/F をサポート
- Download ケーブル(HOST PC)⇔デバイス間、およびデバイス⇔SPI Flash 間はそれぞれ下図のように接続
- ユーザーはJTAG I/F を使用し、FPGA を経由してSPI Flash に書き込みを実施



6.5 FPGA 経由でのSPI Flash への書き込み 2/3

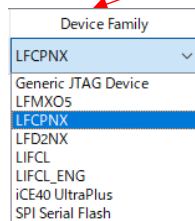
■FPGA を経由して外部SPI Flash へ書き込む場合のオペレーション

1. Radiant のツールバーからProgrammer を起動

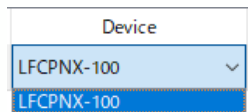


2. Device Family、Device、Operation、書き込みファイルを設定

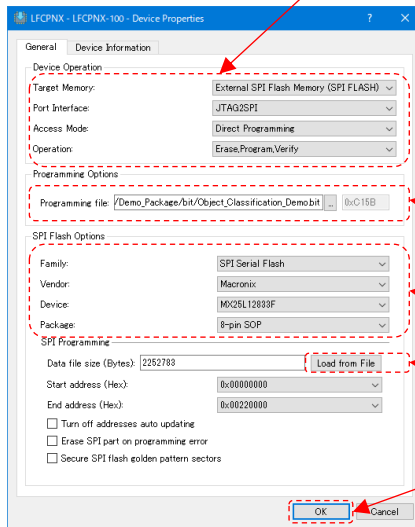
Enable	Status	Device Family	Device	Operation
☒		LFCPNX	LFCPNX-100	Erase,Program,Verify



①LFCPNX を選択



②使用するデバイスを選択



③Device Operation を以下に設定

Target Memory:
External SPI Flash Memory (SPI Flash)

Port Interface:
JTAG2SPI か SSPI2SPI を選択

Access Mode: Direct Programming

Operation: Erase, Program, Verify

④書き込むコンフィギュファイル
(* .bit)を設定

⑤使用するSPI Flash を設定

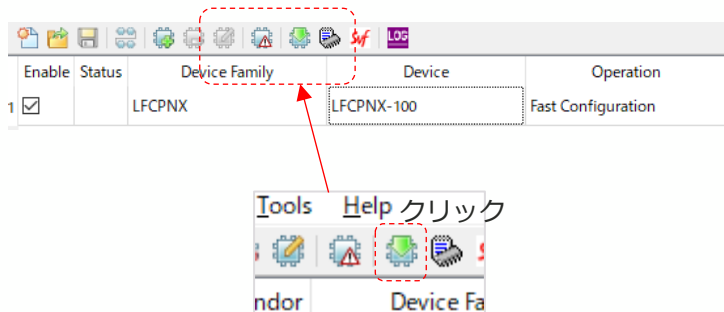
⑥Load from File をクリックして書き
込みファイルサイズを自動算出

⑦OK をクリック

6.5 FPGA 経由でのSPI Flash への書き込み 3/3

■FPGA を経由して外部SPI Flash へ書き込む場合のオペレーション

3. Program Deviceを クリックして書き込み実行



※注)

- 右図のようにPROGRAMN ピンに対してJumperなどを設けておき、SPI Flash へ書き込む際は、JumperをショートしてPROGRAMN ピンをLow にしておいた状態で、“Program Device”をクリックして書き込みを実行することを推奨
- 書き込みが完了したらJumperをOpen

4. Status がDone となり書き込み完了

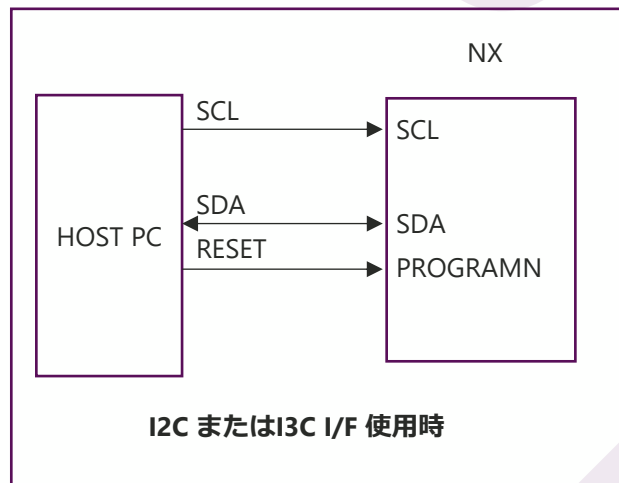
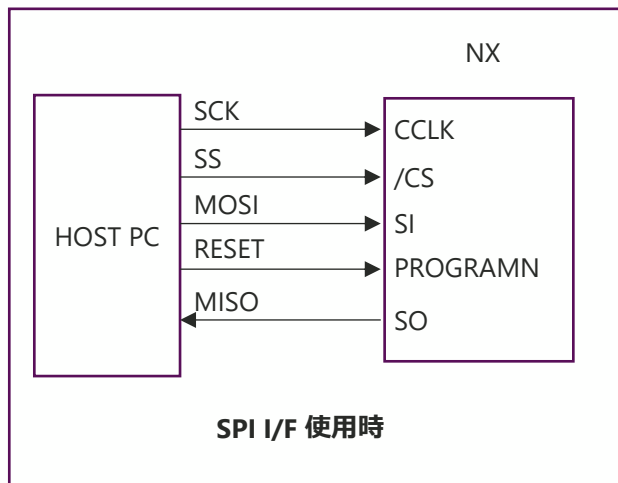
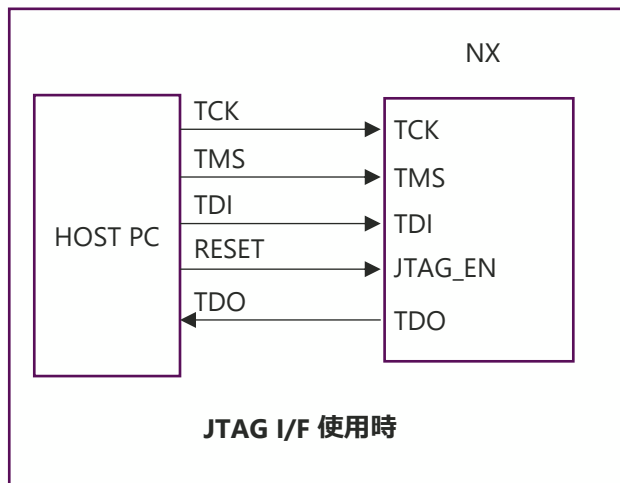
6.6 Feature Row への書込み

■ Download ケーブルとデバイス間の接続

- Feature Row への直接書き込みには**JTAG/SPI/I2C,I3C** のI/F をサポート
- Download ケーブルとデバイス間はそれぞれ下図のように接続

※注)

- 書き込みは一度きり(ワンタイム)のみで、消去不可
- アップデートも不可



6.6 Feature Row への書込み

併せて以下を参照

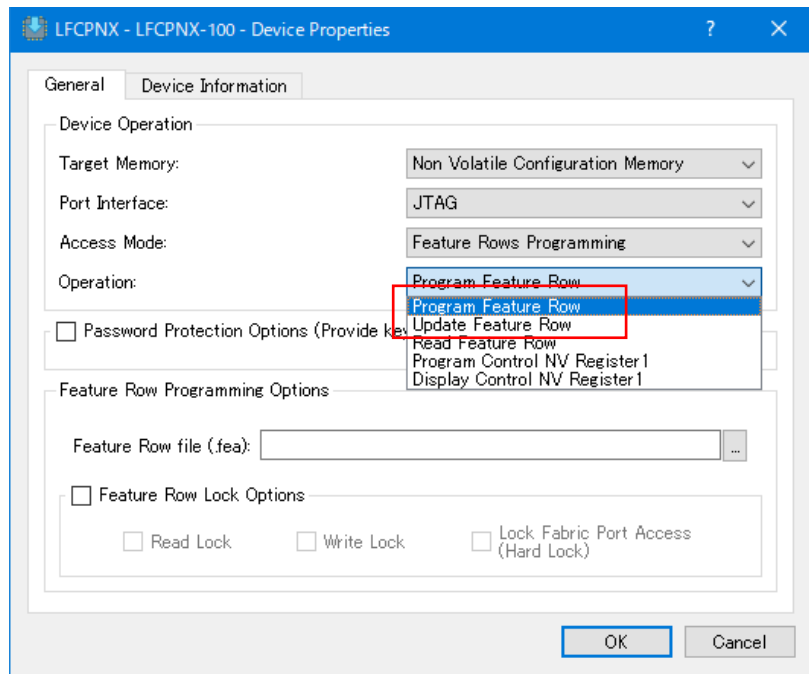
sysCONFIG User Guide for Nexus Platform

FPGA-TN-02099-2.8

January 2024

6.6 Feature Row への書込み

■ Feature Rowへの書込み手段



Program Feature Row

Programming File Utility を使用し、
予めFeature Row ファイル(*.fea)を作成し書き込む手法

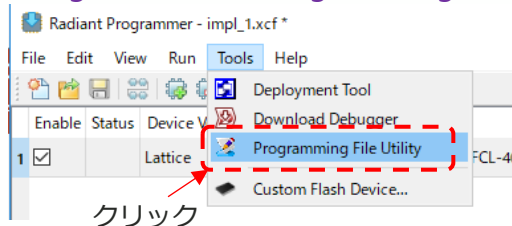
※Feature Row への書込みはOne Time なので注意

6.7 Program Feature Rowでの書き込み 1/3

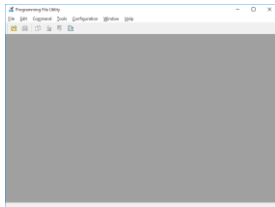
■ Feature Rowファイルの作成・編集

- Feature Rowへの書き込み前に、Feature Rowファイル(*.fea)を作成しておく必要あり
- Feature RowファイルはRadiantでNX FPGAのコンフィギュレーションファイル(*.bit)を生成すると同じフォルダ内に生成
- Feature Rowファイルを編集したい場合は、Radiant ProgrammerからFeature Row Editorを使用

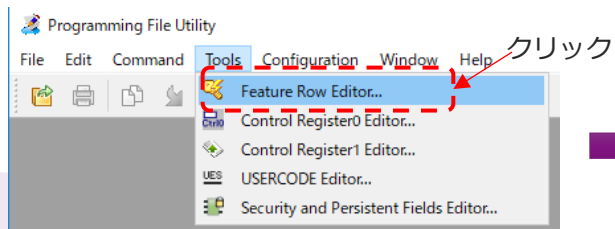
1. ProgrammerからProgramming File Utilityを起動



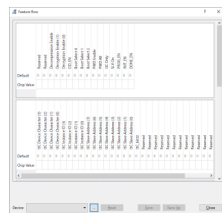
Programming File Utility起動



2. Programming File UtilityからFeature Row Editorを起動



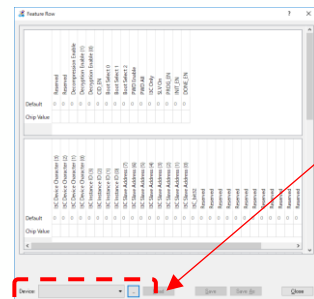
Feature Row Editor起動



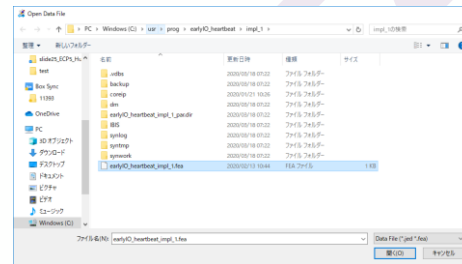
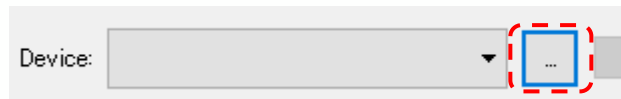
6.7 Program Feature Rowでの書き込み 2/3

3. Feature Row Editorで内容編集・保存

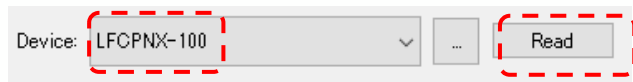
②feaファイルを選択して開く



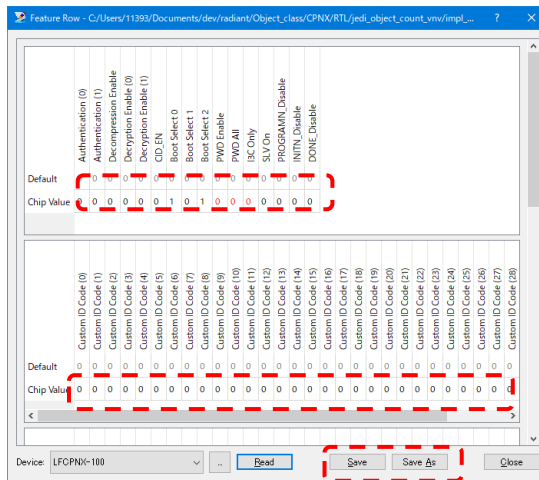
①クリック



③デバイス名が表示される ④Readをクリック



⑤Feature Rowの値が読み込まれる



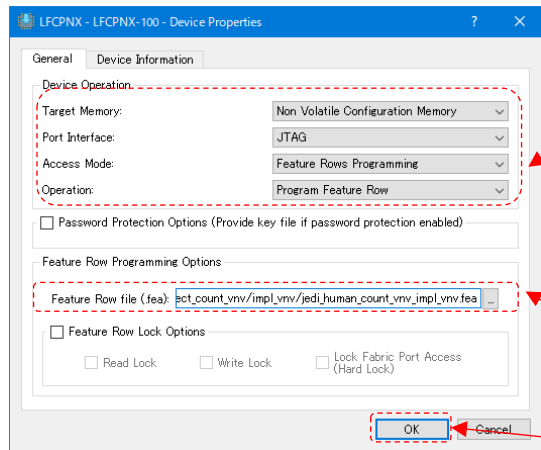
⑥値を編集してSave もしくは Save Asでfeaファイルを保存

6.7 Program Feature Rowでの書き込み 3/3

4. ProgrammerでFeature Rowの書き込み

Enable	Status	Device Family	Device	Operation
1	☒	LFCPNX	LFCPNX-100	Program Feature Row

①ダブルクリック



②Device Operationを以下に設定

Target Memory:
Non Volatile Configuration Memory

Port Interface:
JTAG / Slave SPI / I2C/ I3C Bridge のいずれかを選択

Access Mode: Feature Rows Programming

Operation: Program Feature Row

③書き込むFeature Rowファイル(*.fea)を設定

④OKをクリック

5. Program Deviceをクリックして書き込み実行

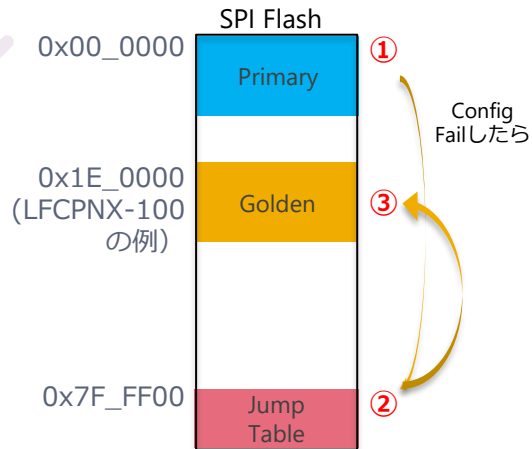


6. StatusがDoneとなり書き込み完了

6.8 サポートしている特殊Boot Mode

図中アドレスは
SPI FL Mem が
64Mb の場合

1. Dual Boot

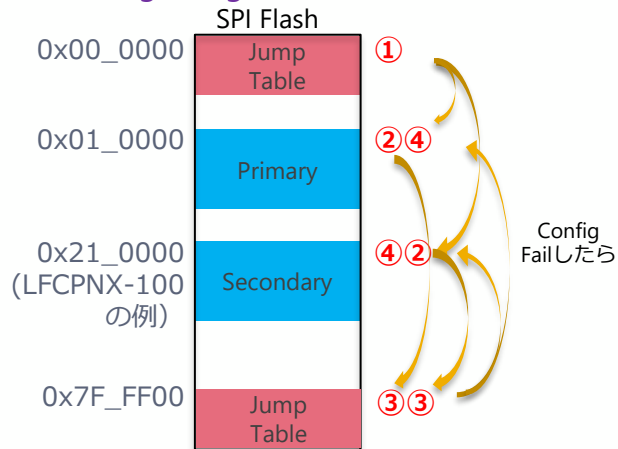


コンフィギュデータ2つと Jump Table が1つ

Config Data	先頭アドレス (32b時)
Primary Pattern	0x0000_0000
Golden Pattern	User が指定
Jump Table	0xFFFF_FF00

① Primary Pattern でコンフィギュに失敗した場合、
②ジャンプ・テーブルを読み、Golden Pattern 先頭
アドレスを得て、③Golden Pattern でのコンフィギュ
レーションを行う

2 .Ping-Pong Boot

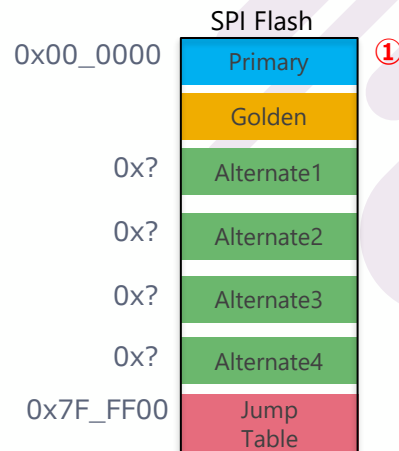


コンフィギュデータ2つと Jump Table が2つ

Config Data	先頭アドレス (32b時)
Jump Table	0x0000_0000、 0xFFFF_FF00
Primary Pattern	0x0001_0000 以上を User が指定
Secondary Pattern	User が指定

Jump Tableでどちらのパターンを先にコンフィギュする
かを定義。First Boot Patternに指定されたコンフィギュ
データでコンフィギュし、失敗した場合に、自動的にも
う一方のコンフィギュデータでコンフィギュレーション
を行う

3.Multi Boot



コンフィギュデータが3つから最大6つ、Jump Table 1つ

Config Data	先頭アドレス (32b時)
Primary Pattern	0x0000_0000
Golden Pattern	User が指定
Alternate Pattern1~4	User が指定
Jump Table	0xFFFF_FF00

まずPrimary Patternでコンフィギュを行う。
その後、Programmのトグル or Refreshコマンドの発行があ
れば、Alternate Patternでのコンフィギュを行う。
(Alternate Patternは最大4つまで定義可能)
いずれかのデータでのコンフィギュに失敗したら自動的に
Golden Patternでのコンフィギュレーションを行う

6.8 サポートしている特殊 Boot Mode

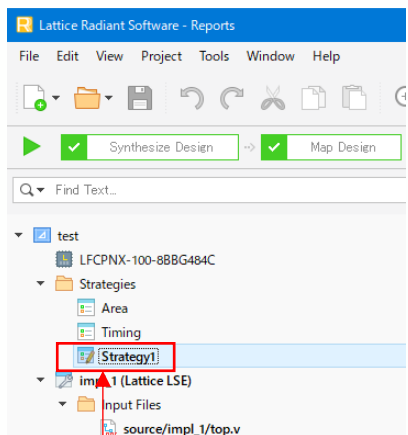
併せて以下を参照

Multi-Boot User Guide for Nexus Platform	FPGA-TN-02145-1.8	February 2024
sysCONFIG User Guide for Nexus Platform	FPGA-TN-02099-3.0	April 2024
MachXO5-NX Programming and Configuration User Guides	FPGA-TN-02271-2.0	May 2024

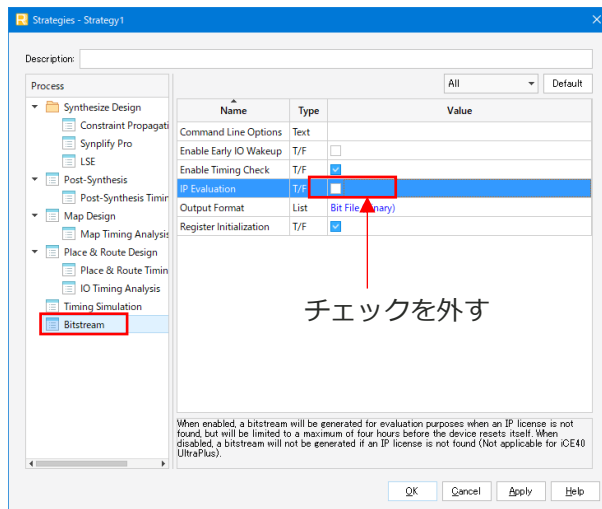
6.8 サポートしている特殊Boot Mode ※注意点

※本ユーザーガイドでは Radiant 2023.2.1 を使用しています。それ以前のツールを使った場合、ここで示す GUI と異なったり、期待する mcs ファイルを生成できない場合があるので注意

※ Radiant の有償ライセンスや IP ライセンスがない状態で bitstream ファイルを生成する場合は、以下の図の通り Radiant の Strategy 設定から、“IP Evaluation” オプションを False にする（チェックを外す）必要あり



ダブルクリック

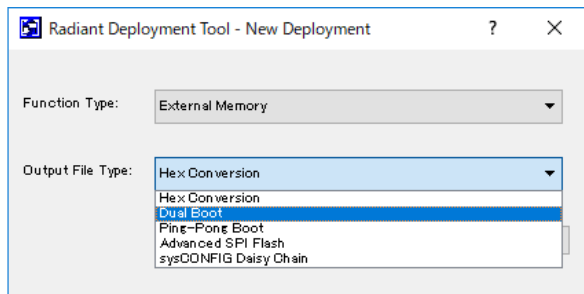


チェックを外す

6.9 Dual Boot 1/3

■ Dual Boot File の生成

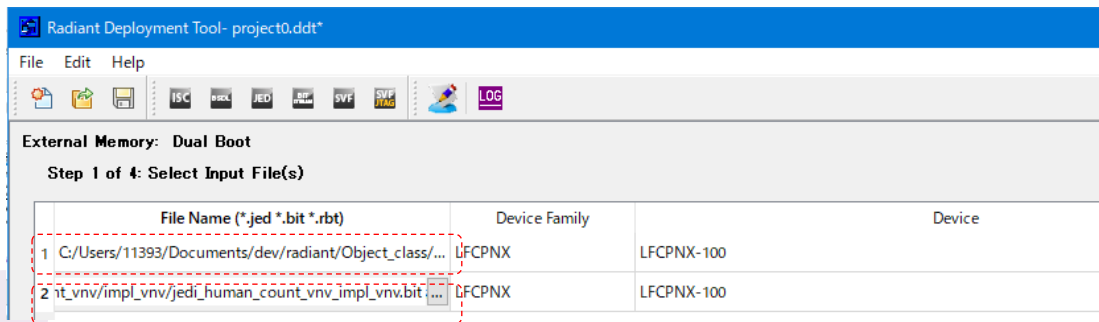
1. ProgrammerのTools→Deployment Toolを選択し、Deployment Toolを起動



Function: **External Memory** を選択

Output File Type: **Dual Boot** を選択

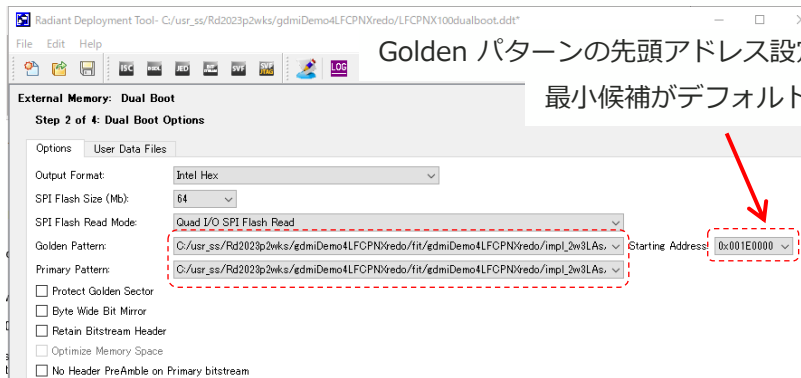
2. 書き込む2種類のbitファイルを選択し、Nextをクリック



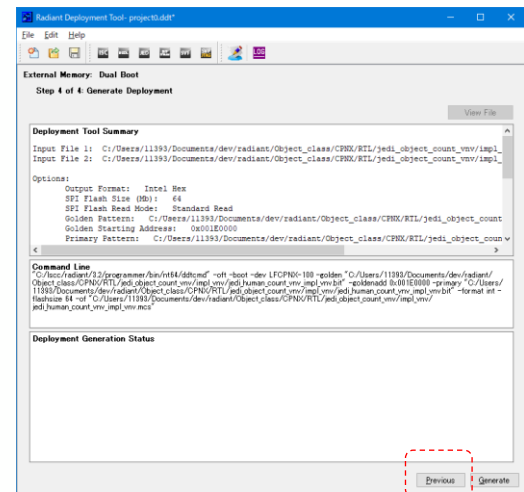
6.9 Dual Boot 2/3

■ Dual Boot File の生成

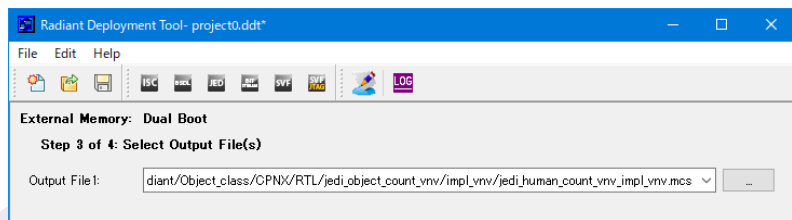
3. Golden / Primary Pattern の確認とアドレス設定などを行い、Nextをクリック



5. Generateをクリックしてファイルを生成



4. 生成するファイル(*.mcs)の生成先を指定してNextをクリック

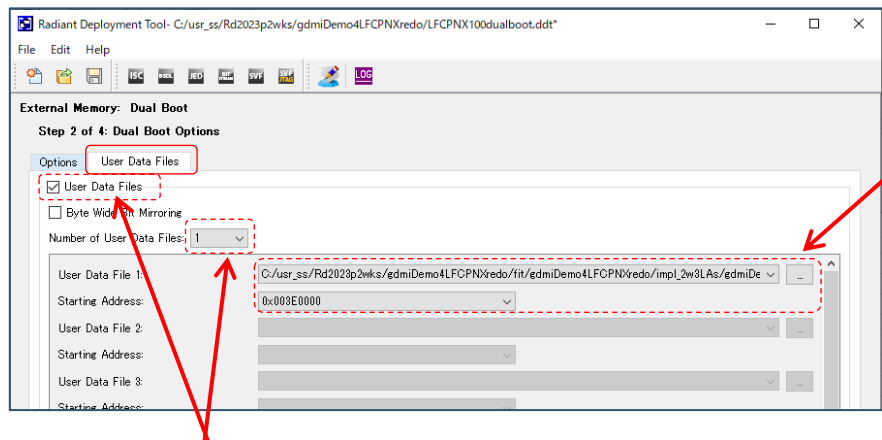


MachXO5-NX ファミリーでは

- * SPI Flash Size は 32Mb 固定です
- * 先頭アドレスは固定値候補二つからの選択です
- * 2023.1 の DT での Quad Read モードは mcs ヘッダ部に問題があることがわかっています (7.8.2/TN-02271)

6.9 Dual Boot 3/3

- Dual Boot File の生成 : ユーザーデータを共存する場合
前ページ 3 (Step2 or 4) で『User Data Files』タブを選択して設定



- ① 「User Data Files」をチェック
- ② 「Number of User Data Files」でファイル数を指定 (最大 5)
- ③ 指定数分の設定が可能のため、それぞれファイルと開始アドレスを指定

この後に『Next』ボタンをクリックし
前ページ 4、5 を実行

ブラウザしてファイルを指定すると、先頭アドレスの最小候補 (Goldenパターンの上位アドレス) が表示される (推奨)。プルダウンでこれよりも上位に変更が可能 (これより下位は選択不可)

メモリサイズとファイルサイズの関係から、指定アドレスが大きすぎると、『Next』ボタンをクリック時にメッセージが出て先に進めない

* Deployment Tool によるユーザーデータの設定では、ジャンプテーブル領域と重ならないようにする必要がある。アドレス設定がこれに違反すると、『Generate』ステップでエラーメッセージがログ出力され、*.mcs は生成されない

* Deployment Tool による *.mcs 使用ではなく、ユーザーデータを直接ライト&リードする SPI フラッシュ・アクセス手段を用いる場合、ジャンプテーブルや2本のコンフィギュ・パターンの間の領域も使用可能だが、それらとの重複アドレスを避ける必要あり

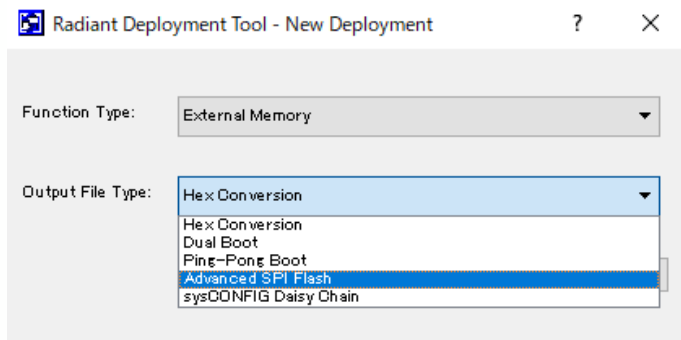
また、コンフィギュ・パターン直後から連続させることはせず、適宜スペースを持たせるようにする

* Programmer で Erase (/ Program / Verify) 操作を実行した場合、ユーザーデータ領域も消去される可能性があることに留意

6.10 Multi Boot 1/3

■ Multi Boot File の生成

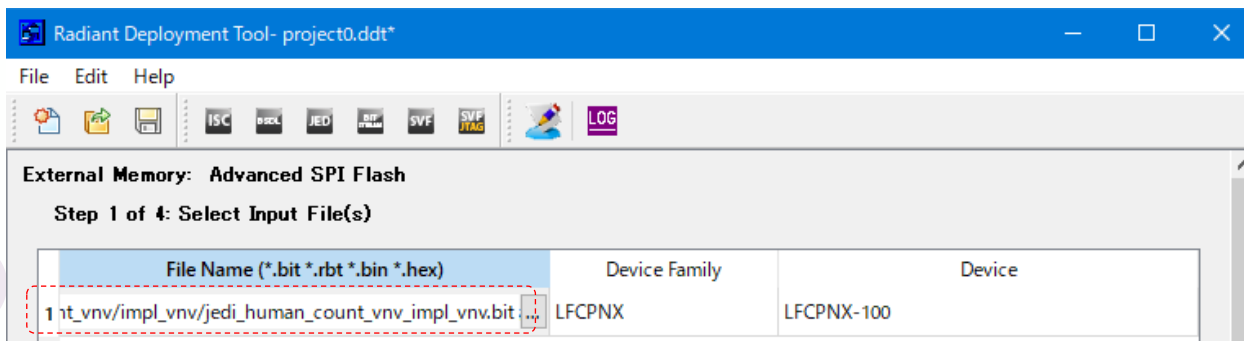
1. ProgrammerのTools→Deployment Toolを選択し、Deployment Toolを起動



Function: **External Memory** を選択

Output File Type: **Advanced SPI Flash** を選択

2. Primary Pattern (最初にコンフィギュするデータ) に指定するbit ファイルを選択し、Nextをクリック

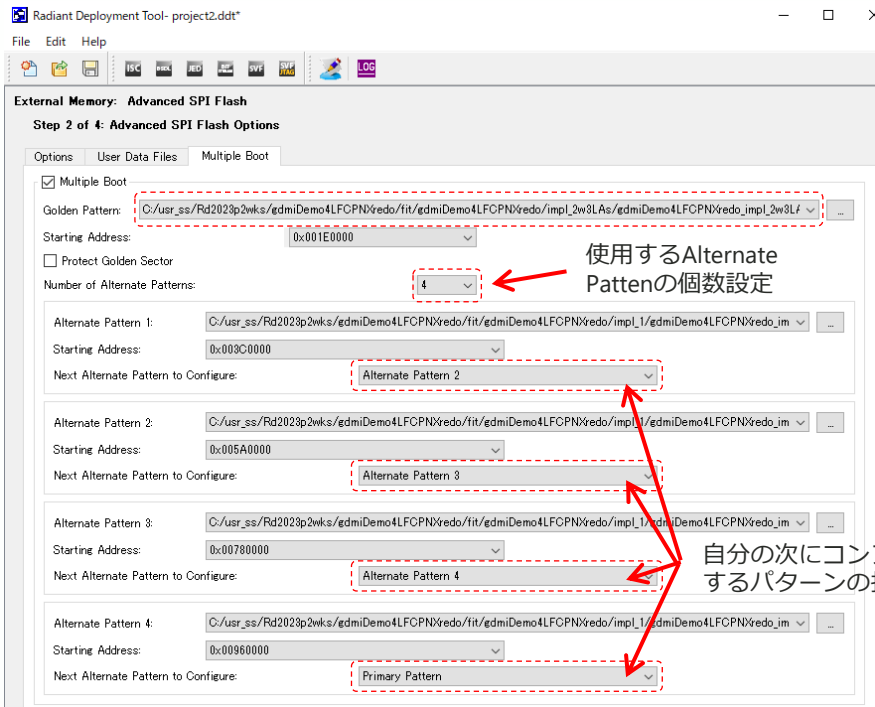


MachXO5-NX ファミリー用に 2023.2.1 DT では mcs を生成できません。
2023.1.1 の DT をご使用ください。

6.10 Multi Boot 2/3

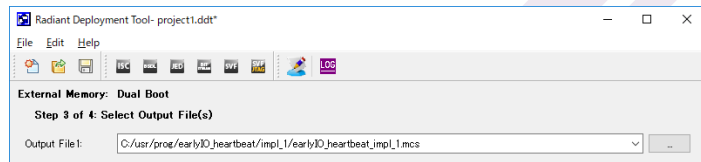
■ Multi Boot File の生成

3. 各 Pattern の確認と設定を行い、Nextをクリック

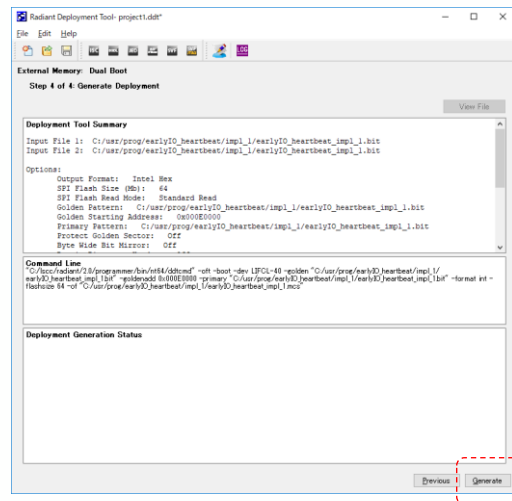


* 「Multiple Boot」をチェックし Golden パターンを設定し、
かつ Primary パターンを一つも設定しないと『Generate』でエラーとなる

4. 生成するファイル(*.mcs)の生成先を指定してNextをクリック



5. Generateをクリックしてファイルを生成

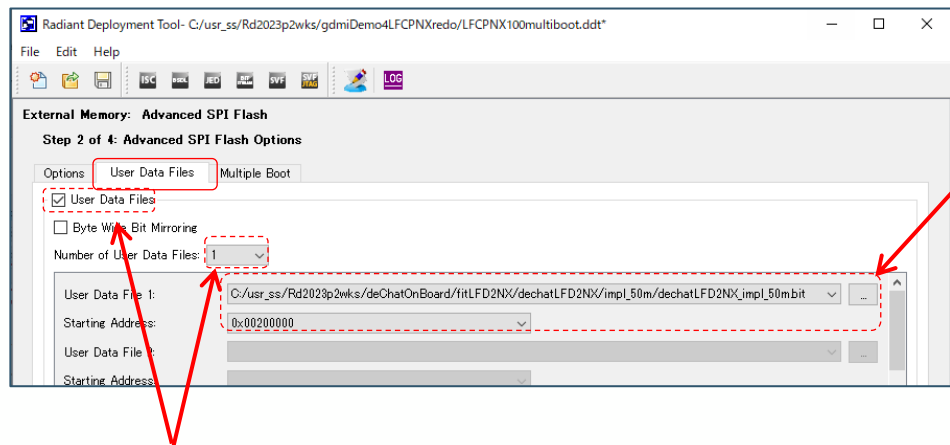


MachXO5-NX ファミリーでは

- * Alternate Pattern は一つ
- * 開始アドレスは Golden が 0x0010_0000、Alternate が 0x001F_0000 で固定
- * SPI Flash Size は 32Mb 固定

6.10 Multi Boot 3/3

- Multi Boot File の生成 : ユーザーデータを共存する場合
前ページ 3 (Step2 or 4) で『User Data Files』タブを選択して設定



- ① 「User Data Files」をチェック
- ② 「Number of User Data Files」でファイル数を指定 (最大 16)
- ③ 指定数分の設定が可能のため、それぞれファイルと開始アドレスを指定

この後に『Next』ボタンをクリックし
前ページ 4、5 を実行

ブラウザしてファイルを指定すると、先頭アドレスの最小候補
(前パターンの上位アドレス) が表示される (推奨)。
プルダウンでこれよりも上位に変更が可能 (これより下位は選
択不可)

メモリサイズとファイルサイズの関係から、指定アドレスが大
きすぎると、『Next』ボタンをクリック時にメッセージが出
て先に進めない

* Deployment Tool によるユーザーデータの設定では、ジャンプテーブル領域と重ならないようにする必要がある。アドレス設定がこれに違反すると、『Generate』ステップでエラーメッセージがログ出力され、*.mcs は生成されない

* Deployment Tool による *.mcs 使用ではなく、ユーザーデータを直接ライト&リードする SPI フラッシュ・アクセス手段を用いる場合、ジャンプテーブルや2本のコンフィギュ・パターンの間の領域も使用可能だが、それらとの重複アドレスを避ける必要あり

また、コンフィギュ・パターン直後から連続させることはせず、適宜スペースを持たせるようにする

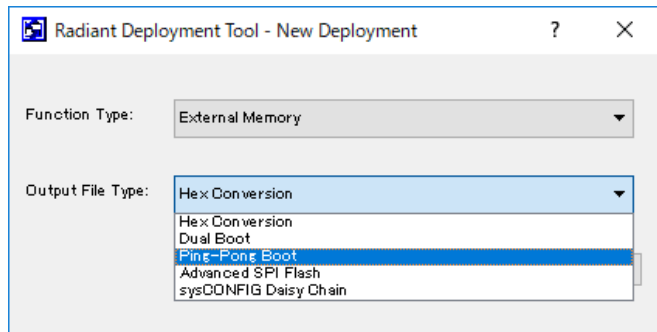
* Programmer で Erase (/ Program / Verify) 操作を実行した場合、ユーザーデータ領域も消去される可能性があることに留意

6.11 Ping-Pong Boot 1/3

MachXO5-NX ファミリーは非対応

■ Ping-Pong Boot File の生成

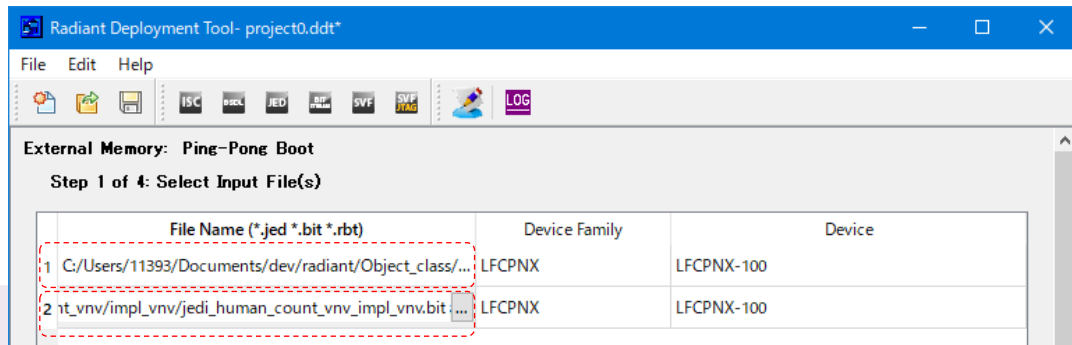
1. ProgrammerのTools→Deployment Toolを選択し、Deployment Toolを起動



Function: **External Memory** を選択

Output File Type: **Ping-Pong Boot** を選択

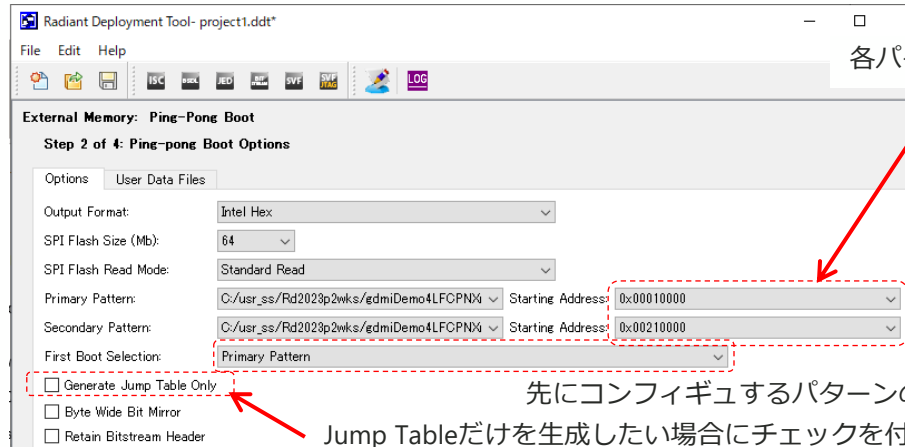
2. 2つのbitファイルを設定し、Nextをクリック (※ファイルは後でも再設定可能)



6.11 Ping-Pong Boot 2/3

■ Ping-Pong Boot Fileの生成

3. Primary / Secondary Pattern の確認とアドレス設定などを行い、Nextをクリック



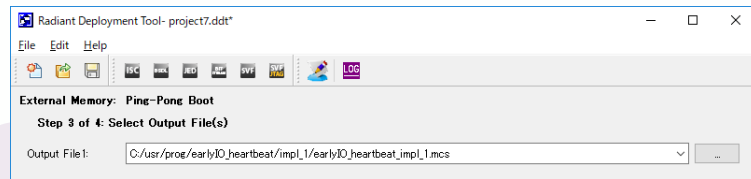
各パターンの先頭アドレスの設定（プルダウン）

Primary パターンの先頭アドレスは0x0001_0000 以上。
Secondary パターンの先頭アドレスは最小候補が自動表示される

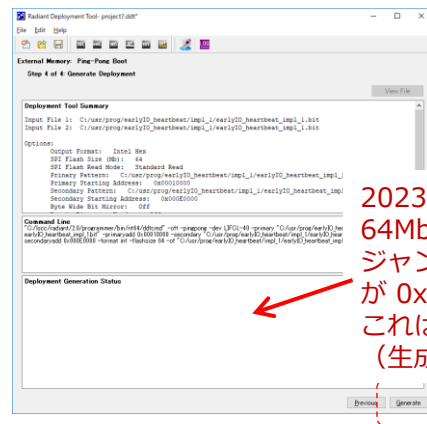
先にコンフィギュするパターンの指定

Jump Tableだけを生成したい場合にチェックを付ける

4. 生成するファイル(*.mcs)の生成先を指定してNextをクリック



5. Generateをクリックしてファイルを生成

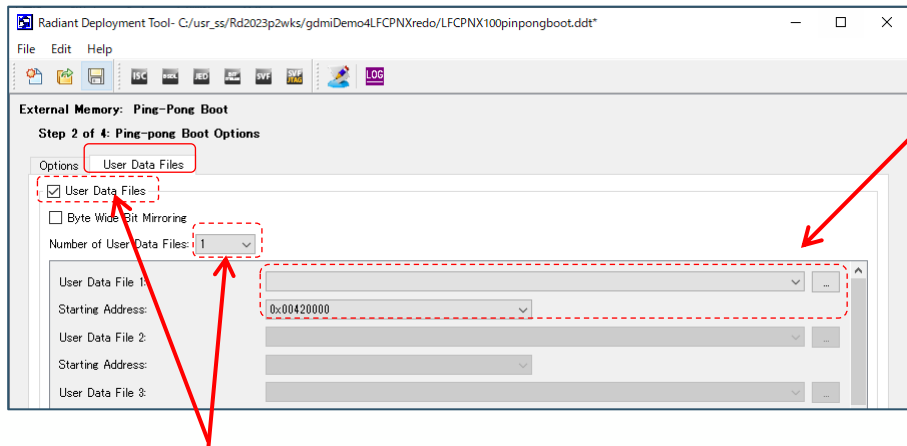


2023.2.1 DT で、
64Mb メモリの場合、ログ出力は
ジャンプテーブルの開始アドレス
が 0x7F_0000 と表示されるが、
これは 0x7F_FF00 の誤り
(生成される mcs は正常)

6.11 Ping-Pong Boot 3/3

■ Ping-Pong Boot File の生成 : ユーザーデータを共存する場合 (2023.2.1 で問題あり。2023.1代替可)

前ページ 3 (Step2 or 4) で『User Data Files』タブを選択して設定



- ① 「User Data Files」にチェック
- ② 「Number of User Data Files」でファイル数を指定 (最大 10)
- ③ 指定数分の設定が可能のため、それぞれファイルと開始アドレスを指定

この後に『Next』をクリックして前ページ 4、5 を実行

Radiant 2023.2.1 の DT では、小さいユーザーデータでも、メモリサイズを大きくしてもエラーが出て先に進めない
(User Data processing size is bigger than Flash memory size.) 。
2023.1 では問題ないことが確認済み

ブラウザしてファイルを指定すると、先頭アドレスの最小候補 (両パターンの上位アドレス) が表示される (推奨) 。
プルダウンでこれよりも上位に変更が可能 (これより下位は選択不可)

メモリサイズとファイルサイズの関係から、指定アドレスが大きすぎると、『Next』ボタンをクリック時にメッセージが出て先に進めない

* Deployment Tool によるユーザーデータの設定では、ジャンプテーブルや2パターン領域と重なるような設定は不可

* Deployment Tool による *.mcs 使用ではなく、ユーザーデータを直接ライト&リードする SPI フラッシュ・アクセス手段を用いる場合、ジャンプテーブルや2本のコンフィギュ・パターンの間の領域も使用可能だが、重複を避ける必要があります

また、コンフィギュ・パターン直後から連続させることはせず、適宜スペースを持たせるようにする

* Programmer で Erase (/ Program / Verify) 操作を実行した場合、ユーザーデータ領域も消去される可能性があることに留意

7. SerDes/PCS関連

7.1 SerDes/PCSの概要

■ 概要

- ・ 高速全二重シリアルデータ転送用の SerDes（クロック埋め込み型）を搭載
 - ・ LFCPNX-50 には 1Quad/4Channel
 - ・ LFCPNX-100 には 2Quad/8Channel
 - ＊ ASG, CBG, BFG パッケージは 1Quad/4Channel
- ・ 各 Quad
 - ・ マルチプロトコル対応の PCS と PCIe Gen3 に対応した Hard IP が含まれる
 - ・ PCIe の Hard IP が含まれるのは Quad0 に1つのみ
- ・ 各 Channel
 - ・ データレートは 625Mbps から最大 10.3125Gbps
 - ＊ BFG パッケージの最大レートは 5.5Gbps
 - ＊ BBG パッケージの最大レートは 6.25Gbps
 - ＊ 10GBASE-R および PCIe Gen3 に対応するのは Speed Grade -9 品のみ
 - ・ 専用の TX PLL と RX CDR が搭載されており、Quad 内で複数のデータレートをサポート可能

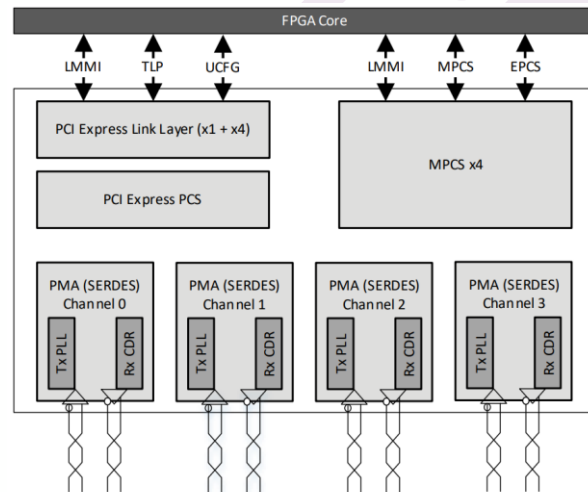


Figure 2.28. SerDes/PCS Overall Structure

FPGA-DS-02086-1.2から抜粋

7.2 SerDes/PCS の対応プロトコル

■ 対応プロトコル

- ・対応規格を表に示す
- ・フリップチップ・パッケージ・ベースのデバイスのみ、6.25Gbps を超えるデータ・レートの規格に対応
- ・詳細は、データシート（FPGA-DS-02086）参照

規格	データ・レート (Mb/s)	システム・リファレンス・クロック (MHz)	FPGA クロック(MHz)	リンク幅数	エンコード・スタイル
PCI Express Gen1	2500	100, 125	125	×1, ×2, ×4	8b10b
PCI Express Gen2	5000	100, 125	125	×1, ×2, ×4	8b10b
PCI Express Gen3	8000	100, 125	250	×1, ×2, ×4	128b130b
Ethernet 1000BASE-X	1250	125	125	×1	8b10b
Ethernet SGMII	1250	125	125	×1	8b10b
Ethernet XAUI	3125	156.25	156.25	×4	8b10b
Ethernet QSGMII	5000	125	125	×1	8b10b

7.3 SerDes/PCSの電源設計に関して

■ SerDes Block External Power Supplies

Symbol	項目	Certus-NX	CertusPro-NX	CrossLink-NX	Mach XO5-NX	Mach XO5T-NX	単位	備考
VCCSD0	Min	0.95	0.95	0.95	0.95	0.95	V	Supply Voltage for SerDes Block and SerDes I/O
	Typ	1.00	1.00	1.00	1.00	1.00	V	
	Max	1.05	1.05	1.05	1.05	1.05	V	
VCCSDCK	Min	-	0.95	-	0.95	0.95	V	Supply Voltage for SerDes Clock Buffer
	Typ	-	1.00	-	1.00	1.00	V	
	Max	-	1.05	-	1.05	1.05	V	
VCCPLLS0	Min	1.71	1.71	1.71	1.71	1.71	V	SerDes Block PLL Supply Voltage
	Typ	1.80	1.80	1.80	1.80	1.80	V	
	Max	1.89	1.89	1.89	1.89	1.89	V	
VCCAUXSD	Min	1.71	1.71	1.71	1.71	1.71	V	SerDes Block Auxiliary Supply Voltage
	Typ	1.80	1.80	1.80	1.80	1.80	V	
	Max	1.89	1.89	1.89	1.89	1.89	V	

7.3 SerDes/PCSの電源設計に関して

■電源デカップリングについて

- V_{CCSD} , V_{CCSDCK} , $V_{CCPLLSD}$, $V_{CCAUXSDQ}$ はノイズを極力少なく、またデカップリングを適切に行う

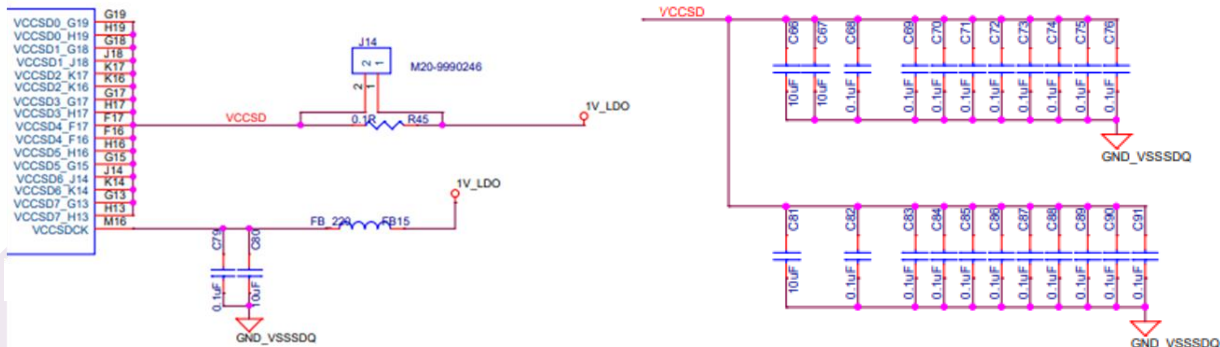
SerDes電源ピン	外部Filter処理
VCCSDCK	各ピンに120 Ω FB + 10 μ F + 100 nF
VCCSD	各ピンに120 Ω FB + 10 μ F + 100 nF
VCCPLLSD	各ピンに220 Ω FB + 4.7 μ F + 100 nF コンデンサのGND部をSDx_REFRETに接続
VCCAUXSDQ	各SDx_REFRETに120 Ω FB + 10 μ F + 100 nF

FPGA-TN-02255-0.83より抜粋

■接続例①

- 接続例を確認する場合、CertusPro-NX などの評価基板の回路図を参照
* Hardware Checklist の内容と評価基板の内容が異なる場合は Hardware Checklist を優先

VCCSDCK, VCCSDの接続例



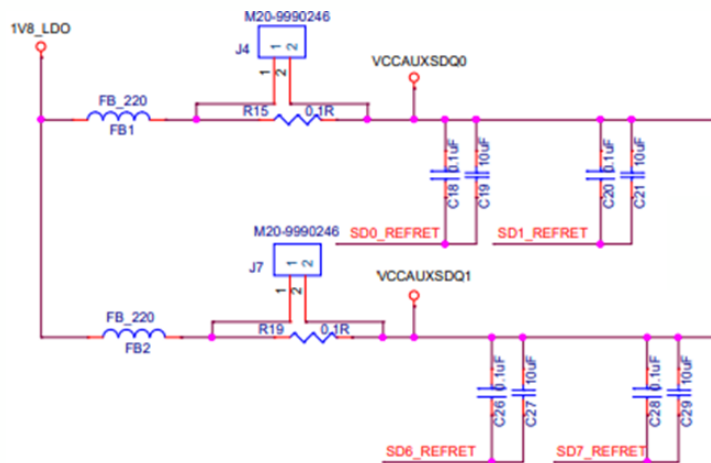
FPGA-EB-02053-1.1より抜粋

7.3 SerDes/PCSの電源設計に関して

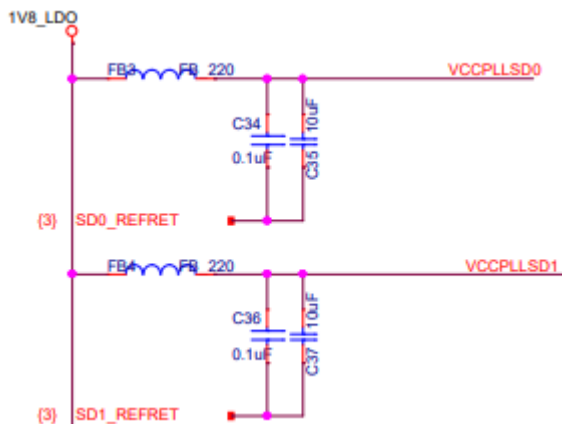
■ 接続例②

- 接続例を確認するう場合、CertusPro-NX などの評価基板の回路図を参照
 - * Hardware Checklist の内容と評価基板の内容が異なる場合は Hardware Checklist を優先

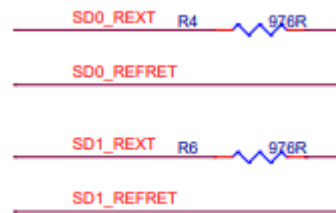
VCCAUXSDQの接続例



VCCPLLSDの接続例



SDx_REFRETの接続例



FPGA-EB-02053-1.1より抜粋

7.3 SerDes/PCSの電源設計に関して

■接続時の注意点①

- ・推奨電圧値に関しては本資料の電源の項目を参照
- ・VCCSD と VCCSDCK は共通の電源に接続しない
- ・VCCPLLSD と VCCAUXSDQ は共通の電源に接続しない
- ・SerDes/PCS 未使用時の処理に関しては右の表を参照

SerDes未使用時		
Quad0 Quad1	VSSDQ	GNDに接続
	VCCSDCK	オープン
	VCCSD	オープン
	VCCPLLSD	オープン
	VCCAUXSDQ	オープン
	SERDES IO	オープン
Quad0のみ使用		
Quad0 Quad1	VSSDQ	GNDに接続
	VCCSDCK	電源に接続
Quad0	VCCSD	使用するChannelの"VCCSD"と"VCCSD1"を電源に接続 その他の使用しないChannelの"VCCSD"はオープン (Channel 1を使用しない場合でも"VCCSD1"は電源に接続)
	VCCPLLSD	使用するChannelの"VCCPLLSD"と"VCCPLLSD1"を電源に接続 その他の使用しないChannelの"VCCPLLSD"はオープン (Channel 1を使用しない場合でも"VCCPLLSD1"は電源に接続)
	VCCAUXSDQ	"VCCAUXSDQ0"を電源に接続
	SERDES IO	使用するIOを対向デバイスと接続 未使用のIOはオープン
	VCCSD	オープン
Quad1	VCCPLLSD	オープン
	VCCAUXSDQ	オープン
	SERDES IO	オープン
	VCCSD	オープン
Quad0とQuad1両方使用		
Quad0 Quad1	VSSDQ	GNDに接続
	VCCSDCK	電源に接続
Quad0	VCCSD	使用するChannelの"VCCSD"と"VCCSD1"を電源に接続 その他の使用しないChannelの"VCCSD"はオープン (Channel 1を使用しない場合でも"VCCSD1"は電源に接続)
	VCCPLLSD	使用するChannelの"VCCPLLSD"と"VCCPLLSD1"を電源に接続 その他の使用しないChannelの"VCCPLLSD"はオープン (Channel 1を使用しない場合でも"VCCPLLSD1"は電源に接続)
	VCCAUXSDQ	"VCCAUXSDQ0"を電源に接続
	SERDES IO	使用するIOを対向デバイスと接続 未使用のIOはオープン
	VCCSD	使用するChannelの"VCCSD"と"VCCSD5"を電源に接続 その他の使用しないChannelの"VCCSD"はオープン (Channel 1を使用しない場合でも"VCCSD5"は電源に接続)
Quad1	VCCPLLSD	使用するChannelの"VCCPLLSD"と"VCCPLLSD5"を電源に接続 その他の使用しないChannelの"VCCPLLSD"はオープン (Channel 1を使用しない場合でも"VCCPLLSD5"は電源に接続)
	VCCAUXSDQ	"VCCAUXSDQ1"を電源に接続
	SERDES IO	使用するIOを対向デバイスと接続 未使用のIOはオープン
	VCCSD	使用するChannelの"VCCSD"と"VCCSD5"を電源に接続 その他の使用しないChannelの"VCCSD"はオープン (Channel 1を使用しない場合でも"VCCSD5"は電源に接続)

FPGA-TN-02245-0.83より抜粋

7.3 SerDes/PCSの電源設計に関して

■接続時の注意点②

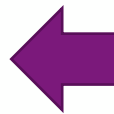
- ・ sdx_refret_i と sdx_rext_i は RTL 上での接続も必要
* RTL 上で未接続だと配置配線時にアサインされない

配置配線後のレポート

led_state_o[9]	N2/1	LVCNOS33_OUT	PR19A
rstn_i	J2/0	LVCNOS18_IN	PT146B
sd7_refret_i	E12/81	AIO	SD7_REFRET
sd7_rext_i	E13/81	AIO	SD7_REXT
sd7rxn_i	C10/81	HSI	SD7_RXDN
sd7rxp_i	B10/81	HSI	SD7_RXDP
sd7txn_o	A8/81	HSO	SD7_TXDN
sd7txp_o	A9/81	HSO	SD7_TXDP
sdq_refclkn_q1_i	D13/81	HSI	SDQ1_REFCLKN
sdq_refclkp_q1_i	C14/81	HSI	SDQ1_REFCLKP



C21/0	GOUT[9]		LVCNOS33_OUT	PT140A
C22/0	GIN[9]		LVCNOS33_IN	PT140B
D2/80			SD0_RXDN	
D4/80			SD0_REFRET	
D6/80			SD1_REFRET	
D7/80	REFCLR_P_810		SDQ0_REFCLKP	
D9/80			SD3_REFRET	
D11/81			SD5_REFRET	
D12/81	REFCLK_N_SLEC		SDQ1_REFCLKN	
D14/81			SD7_REXT	
D16/81			SD7_REFRET	
D18/0	unused, FULL:DOWN		PT146A	
D19/0	unused, FULL:DOWN		PT146B	
D20/0	unused, FULL:DOWN		PT144A	
D21/0	unused, FULL:DOWN		PT144B	
D22/0	unused, FULL:DOWN		PT152A	
E1/80	D_SER_P_810[1]		SD1_TXDP	
E3/80			SD0_RXDP	
E5/80			SD0_REXT	
E6/80			SD1_REXT	



RTLの良い例

```
47 module top (  
48     input          rstn_i,  
49     input          sdq_refclkp_q1_i,  
50     input          sdq_refclkn_q1_i,  
51     input          sd7rxp_i,  
52     input          sd7rxn_i,  
53     input          sd7_rext_i, ←  
54     input          sd7_refret_i, ←  
55     input          [7:0] dip_switch_i,  
56  
57     output wire     sd7txp_o,  
58     output wire     sd7txn_o,  
59     output wire [23:0] led_state_o // Low is lighted  
60 );  
61
```

mpcs IPインスタンス部

```
483     .sd0rxp_i      (sd7rxp_i), // LANE ID has been set as 7  
484     .sd0rxn_i      (sd7rxn_i),  
485     .sd0txp_o      (sd7txp_o),  
486     .sd0txn_o      (sd7txn_o),  
487     .sd0_rext_i    (sd7_rext_i), ←  
488     .sd0_refret_i  (sd7_refret_i), ←
```

RTLの悪い例

```
//PMA0  
.sd0txp_o      (D_SER_P[0]) ,  
.sd0txn_o      (D_SER_N[0]) ,  
.sd0_rext_i    (1'b0) , ←  
.sd0_refret_i  (1'b0) , ←  
  
//PMA1  
.sd1txp_o      (D_SER_P[1]) ,  
.sd1txn_o      (D_SER_N[1]) ,  
.sd1_rext_i    (1'b0) , ←  
.sd1_refret_i  (1'b0) , ←
```

7.4 SerDes/PCSの基準クロック入力について

■ リファレンス・クロックの種類について

・ MPCS へ入力するリファレンスクロック源は以下のどれかを選択可能。それぞれのクロック源は入力ピンが異なるため注意

- * 各 Quad のパッケージピン : `sdq_refclkp_q0/1_i`, `sdq_refclkn_q0/1_i`
- * 専用パッケージピン : `sd_ext_0/1_refclk_i`
- * ファブリックにある GPLL : 高いデータレートを使用する場合、GPLL からのリファレンス・クロック供給は非推奨

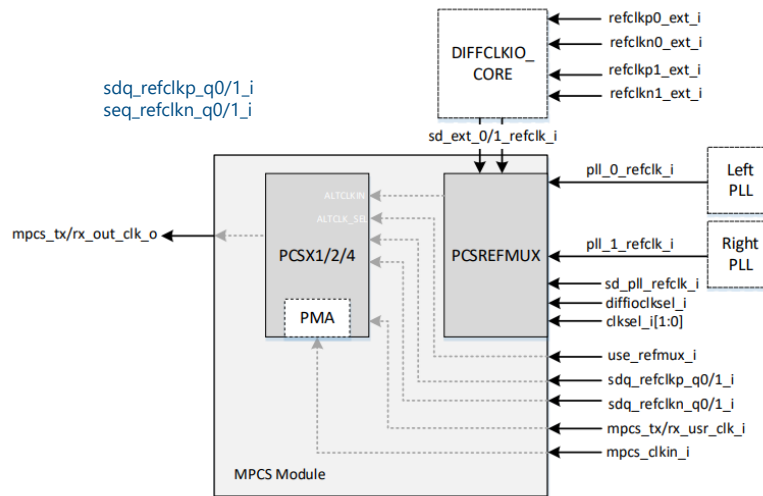


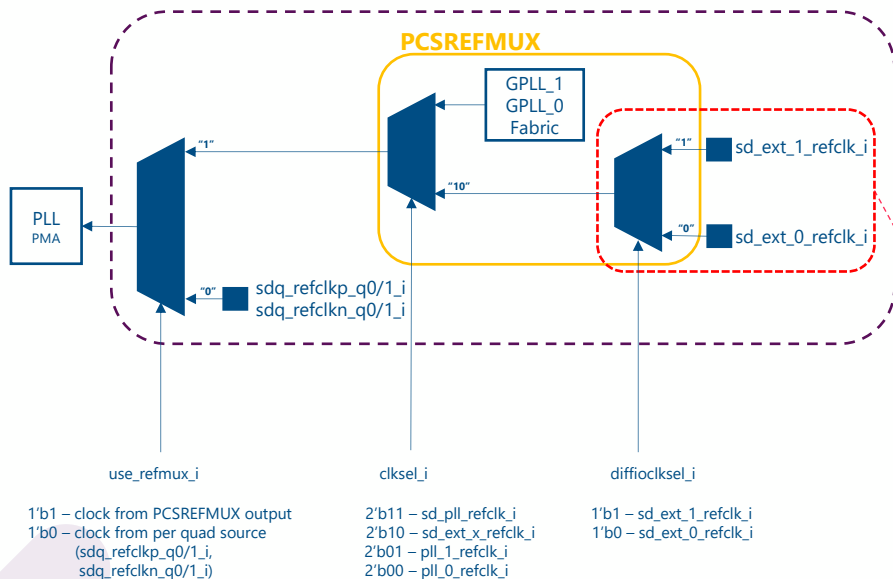
Figure 2.10. Reference Clock Dynamic Selection Block Diagram

FPGA-IPUG-02118-1.2より抜粋

7.4 SerDes/PCSの基準クロック入力について

■ リファレンスクロックの選択について

- ・ 使用するクロックに合わせ FPGA 内部のクロックセクタで選択
- ・ 使用するクロックに合わせセクタの値を設定（参考図①）
- ・ sd_ext_0/1_refclk_i 使用する場合は RTL 記述で DIFFCLKIO もインスタンス（参考図②）



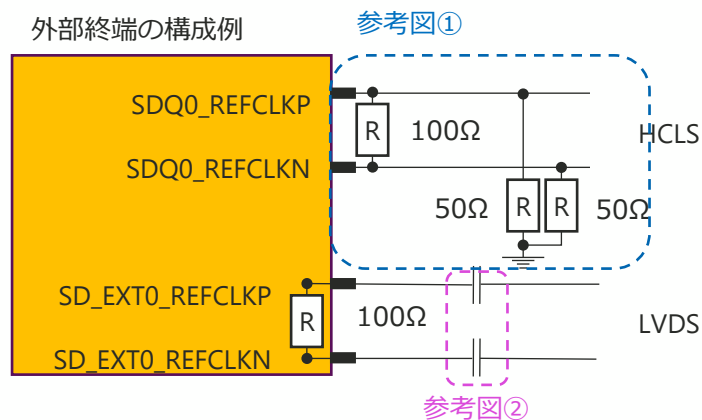
参考図① -SDQ_EXT0_REFCLK を選択する場合の例

```
48 rtx_pcs rtx_pcs_i(  
49   .use_refmux_i(1'b1),  
50   .clkssel_i(2'b10), // 2'b11 sd_pll , 2'b10 ext_ref_clk  
51   .diffiocksel_i(1'b0),  
52   .sdq_refclkp_q0_i(  
53     sdq_refclkp_q0_i  
54   ),  
55   .sdq_refclkn_q0_i(  
56     sdq_refclkn_q0_i  
57   ),  
58   .sdq_refclkp_q1_i(  
59     sdq_refclkp_q1_i  
60   ),  
61   .sdq_refclkn_q1_i(  
62     sdq_refclkn_q1_i  
63   ),  
64   .sdq_refclkp_q2_i(  
65     sdq_refclkp_q2_i  
66   ),  
67   .sdq_refclkn_q2_i(  
68     sdq_refclkn_q2_i  
69   ),  
70   .sdq_refclkp_q3_i(  
71     sdq_refclkp_q3_i  
72   ),  
73   .sdq_refclkn_q3_i(  
74     sdq_refclkn_q3_i  
75   ),  
76   .sdq_refclkp_q4_i(  
77     sdq_refclkp_q4_i  
78   ),  
79   .sdq_refclkn_q4_i(  
80     sdq_refclkn_q4_i  
81   ),  
82   .sdq_refclkp_q5_i(  
83     sdq_refclkp_q5_i  
84   ),  
85   .sdq_refclkn_q5_i(  
86     sdq_refclkn_q5_i  
87   ),  
88   .sdq_refclkp_q6_i(  
89     sdq_refclkp_q6_i  
90   ),  
91   .sdq_refclkn_q6_i(  
92     sdq_refclkn_q6_i  
93   ),  
94   .sdq_refclkp_q7_i(  
95     sdq_refclkp_q7_i  
96   ),  
97   .sdq_refclkn_q7_i(  
98     sdq_refclkn_q7_i  
99   ),  
100  .sdq_refclkp_q8_i(  
101    sdq_refclkp_q8_i  
102  ),  
103  .sdq_refclkn_q8_i(  
104    sdq_refclkn_q8_i  
105  ),  
106  .sdq_refclkp_q9_i(  
107    sdq_refclkp_q9_i  
108  ),  
109  .sdq_refclkn_q9_i(  
110    sdq_refclkn_q9_i  
111  ),  
112  .sdq_refclkp_q10_i(  
113    sdq_refclkp_q10_i  
114  ),  
115  .sdq_refclkn_q10_i(  
116    sdq_refclkn_q10_i  
117  ),  
118  .sdq_refclkp_q11_i(  
119    sdq_refclkp_q11_i  
120  ),  
121  .sdq_refclkn_q11_i(  
122    sdq_refclkn_q11_i  
123  ),  
124  .sdq_refclkp_q12_i(  
125    sdq_refclkp_q12_i  
126  ),  
127  .sdq_refclkn_q12_i(  
128    sdq_refclkn_q12_i  
129  ),  
130  .sdq_refclkp_q13_i(  
131    sdq_refclkp_q13_i  
132  ),  
133  .sdq_refclkn_q13_i(  
134    sdq_refclkn_q13_i  
135  ),  
136  .sdq_refclkp_q14_i(  
137    sdq_refclkp_q14_i  
138  ),  
139  .sdq_refclkn_q14_i(  
140    sdq_refclkn_q14_i  
141  ),  
142  .sdq_refclkp_q15_i(  
143    sdq_refclkp_q15_i  
144  ),  
145  .sdq_refclkn_q15_i(  
146    sdq_refclkn_q15_i  
147  ),  
148  .sdq_refclkp_q16_i(  
149    sdq_refclkp_q16_i  
150  ),  
151  .sdq_refclkn_q16_i(  
152    sdq_refclkn_q16_i  
153  ),  
154  .sdq_refclkp_q17_i(  
155    sdq_refclkp_q17_i  
156  ),  
157  .sdq_refclkn_q17_i(  
158    sdq_refclkn_q17_i  
159  ),  
160  .sdq_refclkp_q18_i(  
161    sdq_refclkp_q18_i  
162  ),  
163  .sdq_refclkn_q18_i(  
164    sdq_refclkn_q18_i  
165  ),  
166  .sdq_refclkp_q19_i(  
167    sdq_refclkp_q19_i  
168  ),  
169  .sdq_refclkn_q19_i(  
170    sdq_refclkn_q19_i  
171  ),  
172  .sdq_refclkp_q20_i(  
173    sdq_refclkp_q20_i  
174  ),  
175  .sdq_refclkn_q20_i(  
176    sdq_refclkn_q20_i  
177  ),  
178  .sdq_refclkp_q21_i(  
179    sdq_refclkp_q21_i  
180  ),  
181  .sdq_refclkn_q21_i(  
182    sdq_refclkn_q21_i  
183  ),  
184  .sdq_refclkp_q22_i(  
185    sdq_refclkp_q22_i  
186  ),  
187  .sdq_refclkn_q22_i(  
188    sdq_refclkn_q22_i  
189  ),  
190  .sdq_refclkp_q23_i(  
191    sdq_refclkp_q23_i  
192  ),  
193  .sdq_refclkn_q23_i(  
194    sdq_refclkn_q23_i  
195  ),  
196  .sdq_refclkp_q24_i(  
197    sdq_refclkp_q24_i  
198  ),  
199  .sdq_refclkn_q24_i(  
200    sdq_refclkn_q24_i  
201  ),  
202  .sdq_refclkp_q25_i(  
203    sdq_refclkp_q25_i  
204  ),  
205  .sdq_refclkn_q25_i(  
206    sdq_refclkn_q25_i  
207  ),  
208  .sdq_refclkp_q26_i(  
209    sdq_refclkp_q26_i  
210  ),  
211  .sdq_refclkn_q26_i(  
212    sdq_refclkn_q26_i  
213  ),  
214  .sdq_refclkp_q27_i(  
215    sdq_refclkp_q27_i  
216  ),  
217  .sdq_refclkn_q27_i(  
218    sdq_refclkn_q27_i  
219  ),  
220  .sdq_refclkp_q28_i(  
221    sdq_refclkp_q28_i  
222  ),  
223  .sdq_refclkn_q28_i(  
224    sdq_refclkn_q28_i  
225  ),  
226  .sdq_refclkp_q29_i(  
227    sdq_refclkp_q29_i  
228  ),  
229  .sdq_refclkn_q29_i(  
230    sdq_refclkn_q29_i  
231  ),  
232  .sdq_refclkp_q30_i(  
233    sdq_refclkp_q30_i  
234  ),  
235  .sdq_refclkn_q30_i(  
236    sdq_refclkn_q30_i  
237  ),  
238  .sdq_refclkp_q31_i(  
239    sdq_refclkp_q31_i  
240  ),  
241  .sdq_refclkn_q31_i(  
242    sdq_refclkn_q31_i  
243  ),  
244  .sdq_refclkp_q32_i(  
245    sdq_refclkp_q32_i  
246  ),  
247  .sdq_refclkn_q32_i(  
248    sdq_refclkn_q32_i  
249  ),  
250  .sdq_refclkp_q33_i(  
251    sdq_refclkp_q33_i  
252  ),  
253  .sdq_refclkn_q33_i(  
254    sdq_refclkn_q33_i  
255  ),  
256  .sdq_refclkp_q34_i(  
257    sdq_refclkp_q34_i  
258  ),  
259  .sdq_refclkn_q34_i(  
260    sdq_refclkn_q34_i  
261  ),  
262  .sdq_refclkp_q35_i(  
263    sdq_refclkp_q35_i  
264  ),  
265  .sdq_refclkn_q35_i(  
266    sdq_refclkn_q35_i  
267  ),  
268  .sdq_refclkp_q36_i(  
269    sdq_refclkp_q36_i  
270  ),  
271  .sdq_refclkn_q36_i(  
272    sdq_refclkn_q36_i  
273  ),  
274  .sdq_refclkp_q37_i(  
275    sdq_refclkp_q37_i  
276  ),  
277  .sdq_refclkn_q37_i(  
278    sdq_refclkn_q37_i  
279  ),  
280  .sdq_refclkp_q38_i(  
281    sdq_refclkp_q38_i  
282  ),  
283  .sdq_refclkn_q38_i(  
284    sdq_refclkn_q38_i  
285  ),  
286  .sdq_refclkp_q39_i(  
287    sdq_refclkp_q39_i  
288  ),  
289  .sdq_refclkn_q39_i(  
290    sdq_refclkn_q39_i  
291  ),  
292  .sdq_refclkp_q40_i(  
293    sdq_refclkp_q40_i  
294  ),  
295  .sdq_refclkn_q40_i(  
296    sdq_refclkn_q40_i  
297  ),  
298  .sdq_refclkp_q41_i(  
299    sdq_refclkp_q41_i  
300  ),  
301  .sdq_refclkn_q41_i(  
302    sdq_refclkn_q41_i  
303  ),  
304  .sdq_refclkp_q42_i(  
305    sdq_refclkp_q42_i  
306  ),  
307  .sdq_refclkn_q42_i(  
308    sdq_refclkn_q42_i  
309  ),  
310  .sdq_refclkp_q43_i(  
311    sdq_refclkp_q43_i  
312  ),  
313  .sdq_refclkn_q43_i(  
314    sdq_refclkn_q43_i  
315  ),  
316  .sdq_refclkp_q44_i(  
317    sdq_refclkp_q44_i  
318  ),  
319  .sdq_refclkn_q44_i(  
320    sdq_refclkn_q44_i  
321  ),  
322  .sdq_refclkp_q45_i(  
323    sdq_refclkp_q45_i  
324  ),  
325  .sdq_refclkn_q45_i(  
326    sdq_refclkn_q45_i  
327  ),  
328  .sdq_refclkp_q46_i(  
329    sdq_refclkp_q46_i  
330  ),  
331  .sdq_refclkn_q46_i(  
332    sdq_refclkn_q46_i  
333  ),  
334  .sdq_refclkp_q47_i(  
335    sdq_refclkp_q47_i  
336  ),  
337  .sdq_refclkn_q47_i(  
338    sdq_refclkn_q47_i  
339  ),  
340  .sdq_refclkp_q48_i(  
341    sdq_refclkp_q48_i  
342  ),  
343  .sdq_refclkn_q48_i(  
344    sdq_refclkn_q48_i  
345  ),  
346  .sdq_refclkp_q49_i(  
347    sdq_refclkp_q49_i  
348  ),  
349  .sdq_refclkn_q49_i(  
350    sdq_refclkn_q49_i  
351  ),  
352  .sdq_refclkp_q50_i(  
353    sdq_refclkp_q50_i  
354  ),  
355  .sdq_refclkn_q50_i(  
356    sdq_refclkn_q50_i  
357  ),  
358  .sdq_refclkp_q51_i(  
359    sdq_refclkp_q51_i  
360  ),  
361  .sdq_refclkn_q51_i(  
362    sdq_refclkn_q51_i  
363  ),  
364  .sdq_refclkp_q52_i(  
365    sdq_refclkp_q52_i  
366  ),  
367  .sdq_refclkn_q52_i(  
368    sdq_refclkn_q52_i  
369  ),  
370  .sdq_refclkp_q53_i(  
371    sdq_refclkp_q53_i  
372  ),  
373  .sdq_refclkn_q53_i(  
374    sdq_refclkn_q53_i  
375  ),  
376  .sdq_refclkp_q54_i(  
377    sdq_refclkp_q54_i  
378  ),  
379  .sdq_refclkn_q54_i(  
380    sdq_refclkn_q54_i  
381  ),  
382  .sdq_refclkp_q55_i(  
383    sdq_refclkp_q55_i  
384  ),  
385  .sdq_refclkn_q55_i(  
386    sdq_refclkn_q55_i  
387  ),  
388  .sdq_refclkp_q56_i(  
389    sdq_refclkp_q56_i  
390  ),  
391  .sdq_refclkn_q56_i(  
392    sdq_refclkn_q56_i  
393  ),  
394  .sdq_refclkp_q57_i(  
395    sdq_refclkp_q57_i  
396  ),  
397  .sdq_refclkn_q57_i(  
398    sdq_refclkn_q57_i  
399  ),  
400  .sdq_refclkp_q58_i(  
401    sdq_refclkp_q58_i  
402  ),  
403  .sdq_refclkn_q58_i(  
404    sdq_refclkn_q58_i  
405  ),  
406  .sdq_refclkp_q59_i(  
407    sdq_refclkp_q59_i  
408  ),  
409  .sdq_refclkn_q59_i(  
410    sdq_refclkn_q59_i  
411  ),  
412  .sdq_refclkp_q60_i(  
413    sdq_refclkp_q60_i  
414  ),  
415  .sdq_refclkn_q60_i(  
416    sdq_refclkn_q60_i  
417  ),  
418  .sdq_refclkp_q61_i(  
419    sdq_refclkp_q61_i  
420  ),  
421  .sdq_refclkn_q61_i(  
422    sdq_refclkn_q61_i  
423  ),  
424  .sdq_refclkp_q62_i(  
425    sdq_refclkp_q62_i  
426  ),  
427  .sdq_refclkn_q62_i(  
428    sdq_refclkn_q62_i  
429  ),  
430  .sdq_refclkp_q63_i(  
431    sdq_refclkp_q63_i  
432  ),  
433  .sdq_refclkn_q63_i(  
434    sdq_refclkn_q63_i  
435  ),  
436  .sdq_refclkp_q64_i(  
437    sdq_refclkp_q64_i  
438  ),  
439  .sdq_refclkn_q64_i(  
440    sdq_refclkn_q64_i  
441  ),  
442  .sdq_refclkp_q65_i(  
443    sdq_refclkp_q65_i  
444  ),  
445  .sdq_refclkn_q65_i(  
446    sdq_refclkn_q65_i  
447  ),  
448  .sdq_refclkp_q66_i(  
449    sdq_refclkp_q66_i  
450  ),  
451  .sdq_refclkn_q66_i(  
452    sdq_refclkn_q66_i  
453  ),  
454  .sdq_refclkp_q67_i(  
455    sdq_refclkp_q67_i  
456  ),  
457  .sdq_refclkn_q67_i(  
458    sdq_refclkn_q67_i  
459  ),  
460  .sdq_refclkp_q68_i(  
461    sdq_refclkp_q68_i  
462  ),  
463  .sdq_refclkn_q68_i(  
464    sdq_refclkn_q68_i  
465  ),  
466  .sdq_refclkp_q69_i(  
467    sdq_refclkp_q69_i  
468  ),  
469  .sdq_refclkn_q69_i(  
470    sdq_refclkn_q69_i  
471  ),  
472  .sdq_refclkp_q70_i(  
473    sdq_refclkp_q70_i  
474  ),  
475  .sdq_refclkn_q70_i(  
476    sdq_refclkn_q70_i  
477  ),  
478  .sdq_refclkp_q71_i(  
479    sdq_refclkp_q71_i  
480  ),  
481  .sdq_refclkn_q71_i(  
482    sdq_refclkn_q71_i  
483  ),  
484  .sdq_refclkp_q72_i(  
485    sdq_refclkp_q72_i  
486  ),  
487  .sdq_refclkn_q72_i(  
488    sdq_refclkn_q72_i  
489  ),  
490  .sdq_refclkp_q73_i(  
491    sdq_refclkp_q73_i  
492  ),  
493  .sdq_refclkn_q73_i(  
494    sdq_refclkn_q73_i  
495  ),  
496  .sdq_refclkp_q74_i(  
497    sdq_refclkp_q74_i  
498  ),  
499  .sdq_refclkn_q74_i(  
500    sdq_refclkn_q74_i  
501  ),  
502  .sdq_refclkp_q75_i(  
503    sdq_refclkp_q75_i  
504  ),  
505  .sdq_refclkn_q75_i(  
506    sdq_refclkn_q75_i  
507  ),  
508  .sdq_refclkp_q76_i(  
509    sdq_refclkp_q76_i  
510  ),  
511  .sdq_refclkn_q76_i(  
512    sdq_refclkn_q76_i  
513  ),  
514  .sdq_refclkp_q77_i(  
515    sdq_refclkp_q77_i  
516  ),  
517  .sdq_refclkn_q77_i(  
518    sdq_refclkn_q77_i  
519  ),  
520  .sdq_refclkp_q78_i(  
521    sdq_refclkp_q78_i  
522  ),  
523  .sdq_refclkn_q78_i(  
524    sdq_refclkn_q78_i  
525  ),  
526  .sdq_refclkp_q79_i(  
527    sdq_refclkp_q79_i  
528  ),  
529  .sdq_refclkn_q79_i(  
530    sdq_refclkn_q79_i  
531  ),  
532  .sdq_refclkp_q80_i(  
533    sdq_refclkp_q80_i  
534  ),  
535  .sdq_refclkn_q80_i(  
536    sdq_refclkn_q80_i  
537  ),  
538  .sdq_refclkp_q81_i(  
539    sdq_refclkp_q81_i  
540  ),  
541  .sdq_refclkn_q81_i(  
542    sdq_refclkn_q81_i  
543  ),  
544  .sdq_refclkp_q82_i(  
545    sdq_refclkp_q82_i  
546  ),  
547  .sdq_refclkn_q82_i(  
548    sdq_refclkn_q82_i  
549  ),  
550  .sdq_refclkp_q83_i(  
551    sdq_refclkp_q83_i  
552  ),  
553  .sdq_refclkn_q83_i(  
554    sdq_refclkn_q83_i  
555  ),  
556  .sdq_refclkp_q84_i(  
557    sdq_refclkp_q84_i  
558  ),  
559  .sdq_refclkn_q84_i(  
560    sdq_refclkn_q84_i  
561  ),  
562  .sdq_refclkp_q85_i(  
563    sdq_refclkp_q85_i  
564  ),  
565  .sdq_refclkn_q85_i(  
566    sdq_refclkn_q85_i  
567  ),  
568  .sdq_refclkp_q86_i(  
569    sdq_refclkp_q86_i  
570  ),  
571  .sdq_refclkn_q86_i(  
572    sdq_refclkn_q86_i  
573  ),  
574  .sdq_refclkp_q87_i(  
575    sdq_refclkp_q87_i  
576  ),  
577  .sdq_refclkn_q87_i(  
578    sdq_refclkn_q87_i  
579  ),  
580  .sdq_refclkp_q88_i(  
581    sdq_refclkp_q88_i  
582  ),  
583  .sdq_refclkn_q88_i(  
584    sdq_refclkn_q88_i  
585  ),  
586  .sdq_refclkp_q89_i(  
587    sdq_refclkp_q89_i  
588  ),  
589  .sdq_refclkn_q89_i(  
590    sdq_refclkn_q89_i  
591  ),  
592  .sdq_refclkp_q90_i(  
593    sdq_refclkp_q90_i  
594  ),  
595  .sdq_refclkn_q90_i(  
596    sdq_refclkn_q90_i  
597  ),  
598  .sdq_refclkp_q91_i(  
599    sdq_refclkp_q91_i  
600  ),  
601  .sdq_refclkn_q91_i(  
602    sdq_refclkn_q91_i  
603  ),  
604  .sdq_refclkp_q92_i(  
605    sdq_refclkp_q92_i  
606  ),  
607  .sdq_refclkn_q92_i(  
608    sdq_refclkn_q92_i  
609  ),  
610  .sdq_refclkp_q93_i(  
611    sdq_refclkp_q93_i  
612  ),  
613  .sdq_refclkn_q93_i(  
614    sdq_refclkn_q93_i  
615  ),  
616  .sdq_refclkp_q94_i(  
617    sdq_refclkp_q94_i  
618  ),  
619  .sdq_refclkn_q94_i(  
620    sdq_refclkn_q94_i  
621  ),  
622  .sdq_refclkp_q95_i(  
623    sdq_refclkp_q95_i  
624  ),  
625  .sdq_refclkn_q95_i(  
626    sdq_refclkn_q95_i  
627  ),  
628  .sdq_refclkp_q96_i(  
629    sdq_refclkp_q96_i  
630  ),  
631  .sdq_refclkn_q96_i(  
632    sdq_refclkn_q96_i  
633  ),  
634  .sdq_refclkp_q97_i(  
635    sdq_refclkp_q97_i  
636  ),  
637  .sdq_refclkn_q97_i(  
638    sdq_refclkn_q97_i  
639  ),  
640  .sdq_refclkp_q98_i(  
641    sdq_refclkp_q98_i  
642  ),  
643  .sdq_refclkn_q98_i(  
644    sdq_refclkn_q98_i  
645  ),  
646  .sdq_refclkp_q99_i(  
647    sdq_refclkp_q99_i  
648  ),  
649  .sdq_refclkn_q99_i(  
650    sdq_refclkn_q99_i  
651  ),  
652  .sdq_refclkp_q100_i(  
653    sdq_refclkp_q100_i  
654  ),  
655  .sdq_refclkn_q100_i(  
656    sdq_refclkn_q100_i  
657  ),  
658  .sdq_refclkp_q101_i(  
659    sdq_refclkp_q101_i  
660  ),  
661  .sdq_refclkn_q101_i(  
662    sdq_refclkn_q101_i  
663  ),  
664  .sdq_refclkp_q102_i(  
665    sdq_refclkp_q102_i  
666  ),  
667  .sdq_refclkn_q102_i(  
668    sdq_refclkn_q102_i  
669  ),  
670  .sdq_refclkp_q103_i(  
671    sdq_refclkp_q103_i  
672  ),  
673  .sdq_refclkn_q103_i(  
674    sdq_refclkn_q103_i  
675  ),  
676  .sdq_refclkp_q104_i(  
677    sdq_refclkp_q104_i  
678  ),  
679  .sdq_refclkn_q104_i(  
680    sdq_refclkn_q104_i  
681  ),  
682  .sdq_refclkp_q105_i(  
683    sdq_refclkp_q105_i  
684  ),  
685  .sdq_refclkn_q105_i(  
686    sdq_refclkn_q105_i  
687  ),  
688  .sdq_refclkp_q106_i(  
689    sdq_refclkp_q106_i  
690  ),  
691  .sdq_refclkn_q106_i(  
692    sdq_refclkn_q106_i  
693  ),  
694  .sdq_refclkp_q107_i(  
695    sdq_refclkp_q107_i  
696  ),  
697  .sdq_refclkn_q107_i(  
698    sdq_refclkn_q107_i  
699  ),  
700  .sdq_refclkp_q108_i(  
701    sdq_refclkp_q108_i  
702  ),  
703  .sdq_refclkn_q108_i(  
704    sdq_refclkn_q108_i  
705  ),  
706  .sdq_refclkp_q109_i(  
707    sdq_refclkp_q109_i  
708  ),  
709  .sdq_refclkn_q109_i(  
710    sdq_refclkn_q109_i  
711  ),  
712  .sdq_refclkp_q110_i(  
713    sdq_refclkp_q110_i  
714  ),  
715  .sdq_refclkn_q110_i(  
716    sdq_refclkn_q110_i  
717  ),  
718  .sdq_refclkp_q111_i(  
719    sdq_refclkp_q111_i  
720  ),  
721  .sdq_refclkn_q111_i(  
722    sdq_refclkn_q111_i  
723  ),  
724  .sdq_refclkp_q112_i(  
725    sdq_refclkp_q112_i  
726  ),  
727  .sdq_refclkn_q112_i(  
728    sdq_refclkn_q112_i  
729  ),  
730  .sdq_refclkp_q113_i(  
731    sdq_refclkp_q113_i  
732  ),  
733  .sdq_refclkn_q113_i(  
734    sdq_refclkn_q113_i  
735  ),  
736  .sdq_refclkp_q114_i(  
737    sdq_refclkp_q114_i  
738  ),  
739  .sdq_refclkn_q114_i(  
740    sdq_refclkn_q114_i  
741  ),  
742  .sdq_refclkp_q115_i(  
743    sdq_refclkp_q115_i  
744  ),  
745  .sdq_refclkn_q115_i(  
746    sdq_refclkn_q115_i  
747  ),  
748  .sdq_refclkp_q116_i(  
749    sdq_refclkp_q116_i  
750  ),  
751  .sdq_refclkn_q116_i(  
752    sdq_refclkn_q116_i  
753  ),  
754  .sdq_refclkp_q117_i(  
755    sdq_refclkp_q117_i  
756  ),  
757  .sdq_refclkn_q117_i(  
758    sdq_refclkn_q117_i  
759  ),  
760  .sdq_refclkp_q118_i(  
761    sdq_refclkp_q118_i  
762  ),  
763  .sdq_refclkn_q118_i(  
764    sdq_refclkn_q118_i  
765  ),  
766  .sdq_refclkp_q119_i(  
767    sdq_refclkp_q119_i  
768  ),  
769  .sdq_refclkn_q119_i(  
770    sdq_refclkn_q119_i  
771  ),  
772  .sdq_refclkp_q120_i(  
773    sdq_refclkp_q120_i  
774  ),  
775  .sdq_refclkn_q120_i(  
776    sdq_refclkn_q120_i  
777  ),  
778  .sdq_refclkp_q121_i(  
779    sdq_refclkp_q121_i  
780  ),  
781  .sdq_refclkn_q121_i(  
782    sdq_refclkn_q121_i  
783  ),  
784  .sdq_refclkp_q122_i(  
785    sdq_refclkp_q122_i  
786  ),  
787  .sdq_refclkn_q122_i(  
788    sdq_refclkn_q122_i  
789  ),  
790  .sdq_refclkp_q123_i(  
791    sdq_refclkp_q123_i  
792  ),  
793  .sdq_refclkn_q123_i(  
794    sdq_refclkn_q123_i  
795  ),  
796  .sdq_refclkp_q124_i(  
797    sdq_refclkp_q124_i  
798  ),  
799  .sdq_refclkn_q124_i(  
800    sdq_refclkn_q124_i  
801  ),  
802  .sdq_refclkp_q125_i(  
803    sdq_refclkp_q125_i  
804  ),  
805  .sdq_refclkn_q125_i(  
806    sdq_refclkn_q125_i  
807  ),  
808  .sdq_refclkp_q126_i(  
809    sdq_refclkp_q126_i  
810  ),  
811  .sdq_refclkn_q126_i(  
812    sdq_refclkn_q126_i  
813  ),  
814  .sdq_refclkp_q127_i(  
815    sdq_refclkp_q127_i  
816  ),  
817  .sdq_refclkn_q127_i(  
818    sdq_refclkn_q127_i  
819  ),  
820  .sdq_refclkp_q128_i(  
821    sdq_refclkp_q128_i  
822  ),  
823  .sdq_refclkn_q128_i(  
824    sdq_refclkn_q128_i  
825  ),  
826  .sdq_refclkp_q129_i(  
827    sdq_refclkp_q129_i  
828  ),  
829  .sdq_refclkn_q129_i(  
830    sdq_refclkn_q129_i  
831  ),  
832  .sdq_refclkp_q130_i(  
833    sdq_refclkp_q130_i  
834  ),  
835  .sdq_refclkn_q130_i(  
836    sdq_refclkn_q130_i  
837  ),  
838  .sdq_refclkp_q131_i(  
839    sdq_refclkp_q131_i  
840  ),  
841  .sdq_refclkn_q131_i(  
842    sdq_refclkn_q131_i  
843  ),  
844  .sdq_refclkp_q132_i(  
845    sdq_refclkp_q132_i  
846  ),  
847  .sdq_refclkn_q132_i(  
848    sdq_refclkn_q132_i  
849  ),  
850  .sdq_refclkp_q133_i(  
851    sdq_refclkp_q133_i  
852  ),  
853  .sdq_refclkn_q133_i(  
854    sdq_refclkn_q133_i  
855  ),  
856  .sdq_refclkp_q134_i(  
857    sdq_refclkp_q134_i  
858  ),  
859  .sdq_refclkn_q134_i(  
860    sdq_refclkn_q134_i  
861  ),  
862  .sdq_refclkp_q135_i(  
863    sdq_refclkp_q135_i  
864  ),  
865  .sdq_refclkn_q135_i(  
866    sdq_refclkn_q135_i  
867  ),  
868  .sdq_refclkp_q136_i(  
869    sdq_refclkp_q136_i  
870  ),  
871  .sdq_refclkn_q136_i(  
872    sdq_refclkn_q136_i  
873  ),  
874  .sdq_refclkp_q137_i(  
875    sdq_refclkp_q137_i  
876  ),  
877  .sdq_refclkn_q137_i(  
878    sdq_refclkn_q137_i  
879  ),  
880  .sdq_refclkp_q138_i(  
881    sdq_refclkp_q138_i  
882  ),  
883  .sdq_refclkn_q138_i(  
884    sdq_refclkn_q138_i  
885  ),  
886  .sdq_refclkp_q139_i(  
887    sdq_refclkp_q139_i  
888  ),  
889  .sdq_refclkn_q139_i(  
890    sdq_refclkn_q139_i  
891  ),  
892  .sdq_refclkp_q140_i(  
893    sdq_refclkp_q140_i  
894  ),  
895  .sdq_refclkn_q140_i(  
896    sdq_refclkn_q140_i  
897  ),  
898  .sdq_refclkp_q141_i(  
899    sdq_refclkp_q141_i  
900  ),  
901  .sdq_refclkn_q141_i(  
902    sdq_refclkn_q141_i  
903  ),  
904  .sdq_refclkp_q142_i(  
905    sdq_refclkp_q142_i  
906  ),  
907  .sdq_refclkn_q142_i(  
908    sdq_refclkn_q142_i  
909  ),  
910  .sdq_refclkp_q143_i(  
911    sdq_refclkp_q143_i  
912  ),  
913  .sdq_refclkn_q143_i(  
914    sdq_refclkn_q143_i  
915  ),  
916  .sdq_refclkp_q144_i(  
917    sdq_refclkp_q144_i  
918  ),  
919  .sdq_refclkn_q144_i(  
920    sdq_refclkn_q144_i  
921  ),<
```

7.4 SerDes/PCSの基準クロック入力について

■ リファレンスクロックの外部終端について

- SDQ0/1_REFCLKP/N(sdq_refclkp_q0/1_i, sdq_refclkn_q0/1_i) は内部終端が内蔵されていないため、別途基板上に終端抵抗を取り付ける必要あり
 - * 受信側ピン近傍に参考図①の終端抵抗の搭載が必要
 - * HCSL のみサポート
- SD_EXT0/1_REFCLKP/N(sd_ext_0/1_refclk_i) は内部終端を内蔵
 - * 基板上でAC結合することも可能（参考図②）
 - * LVDS および HCSL をサポートしているが LVDS の使用を推奨



7.4 SerDes/PCSの基準クロック入力について

■ リファレンスクロックの注意点

- Quad をまたぎ 5Channel 以上で通信を行う場合、SD_EXTx_REFCLKP/N (sd_ext_0/1_refclk_i) からのリファレンスクロック供給を推奨
- mpcs_clkin_i はリファレンスクロックと独立しており、任意の100MHz~300MHzのクロックを入力する必要あり。
また電源投入後はリファレンスクロックを供給し続ける必要あり
 - * mpcs_tx_out_clk_o は mpcs_clkin_i の入力クロックとしては使用不可
- リファレンスクロックに SSC を使用する場合、以下の基準に沿う必要あり
 - SSC modulation profile = Down spread
 - SSC modulation frequency = 30kHzから33KHz
 - SSC modulation depth = $\pm 0\%$ から -0.5%

7.5 SerDes/PCSのレシーバー入力仕様

■ 振幅について

- 詳細な仕様は Datasheet の SerDes High-Speed Data Receiver の項目を参照
 - * PCIe を使用する場合、PCI Express Electrical and Timing Characteristics に別で仕様の記載あり
- VRX-DIFF-S は Pch と Nch の差動の電圧レベルを指す
- VRX-IN は Pch と Nch のシングルエンドの電圧レベルを指す

Table 4.41. Serial Input Data Specifications

Symbol	Description	Condition	Min	Typ	Max	Unit
$V_{RX-DIFF-S}$	Differential input sensitivity ¹	—	100	—	1200	mV, p-p
V_{RX-IN}	Input levels	—	25	—	1300	mV, p-p
RX_SSC	JTOL BER with SSC (.5%Dev 33KHz Triangle Down Conv.)	—	—	—	−5000	ppm
$Z_{RX-DIFF-DC}$	Receiver DC differential impedance	—	80	—	120	Ω
$Z_{RX-HIGH_IMP-DC}$	Receiver DC differential impedance when powered down	termination_at_−150mv	1K	—	—	KΩ
		termination_at_0V	10K	—	—	KΩ
		termination_at_200mv	20K	—	—	KΩ
$RL_{RX-DIFF}$	Receiver differential Return Loss, package plus silicon	50 MHz < freq < 1.25 GHz	10	—	—	dB
		1.25 GHz < freq < 2.5 GHz	8	—	—	dB
		2.5 GHz < freq < 4GHz	5	—	—	dB
		4 GHz < freq <= 5 GHz	4	—	—	dB
RL_{RX-CM}	Receiver common mode Return Loss, package plus silicon	50 MHz < freq < 2.5 GHz	6	—	—	dB
		2.5 GHz < freq <= 4 GHz	5	—	—	dB
		4.0 GHz < freq <= 5 GHz	4	—	—	dB
V_{RX-LOS}^3	Loss of signal Detect Threshold	50 MHz < freq <= 1.25 GHz	0.06	—	0.175	V, p-p
		1.25 GHz < freq < 1.5 GHz	0.065	—	0.175	V, p-p

Notes:

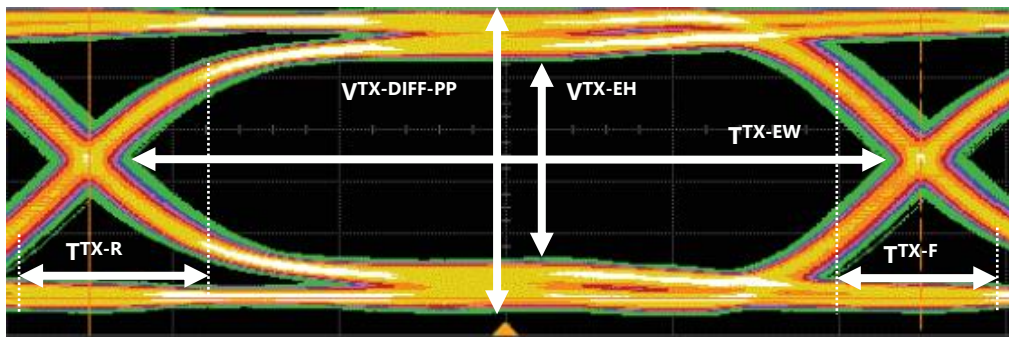
- Measured into 50 Ω Tx impedance at ±5%. With EQ but no stressors added. Fixture de-embedded for 10.3125Gbps. This is a fixed BER Test with 26% margin.
- Refer to PCIe RX stress test.
- Loss of signal Detect Threshold has a frequency dependency that effects threshold voltage at temperature dependency where −40 °C is the worst case therefore the two conditions.

FPGA-DS-02086-1.2から抜粋

7.6 SerDes/PCSのトランスミッター出力仕様

■ 振幅について

- ・ 詳細な仕様は Datasheet の SerDes High-Speed Data Transmitter の項目を参照
 - * PCIe を使用する場合、PCI Express Electrical and Timing Characteristics に別で仕様の記載あり
- ・ VTX-DIFF-PP は 1bit サンプルの peak-peak の差動電圧を指す
- ・ VTX-EH はアイパターンの $V_{OH}(\min) - V_{OL}(\max)$ を指す
 - * ジッターやノイズが少ないと VTX-EH は VTX-DIFF-PP に近づいていく
- ・ リンク信号の品質を保つためトランスミッター側の近くに AC カップリングコンデンサを配置する



例) 10G SerDesの仕様

3.23. SerDes High-Speed Data Transmitter

Table 3.39. Serial Output Timing and Levels

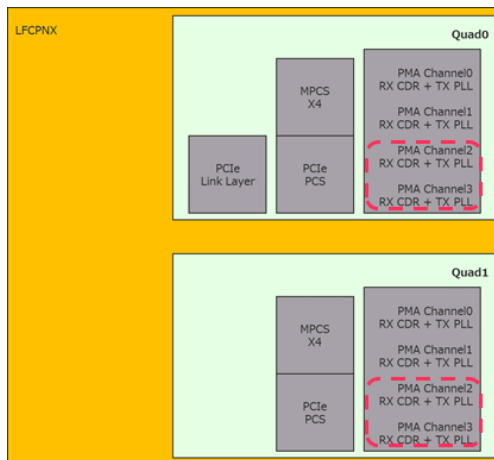
Symbol	Description	Condition	Min	Typ	Max	Unit
Transmitter 10.3125 Gbps						
$V_{TX-DIFF-PP}$	Peak-Peak Differential voltage on selected amplitude ^{1, 2}	—	800	1000	1200	mV, p-p
$V_{TX-CM-DC}$	Output common mode voltage ^{1, 2}	—	400	500	600	mV, p-p
V_{TX-EH}	Transmitter Eye Height ^{1, 2}	—	200	320	—	mV, p-p
V_{TX-EW}	Transmitter Eye width (all jitter sources)	—	50	60	—	ps
T_{TX-R}	Transmitter Eye Rise time (20% to 80%)	—	54	—	72	ps
T_{TX-F}	Transmitter Eye Fall time (80% to 20%)	—	44	—	89	ps

FPGA-DS-02086-1.2から抜粋

7.7 10GBASE-R

■ 10GBASE-R を使用する場合の注意点

- ・ 64B66B PCS は 10GBASE-R のみで使用可能
- ・ 10GBASE-R を使用する場合、Quad0, 1 の Channel 2 もしくは 3 を使用する必要あり
- ・ Auto-Negotiation, Training and Forward Error Correction 機能は未サポート
- ・ WAN Interface Sublayer は PCS に未実装



Revision History

Rev	Summary	UPDATE Date
Rev 1.0	Initial release	2025/04/01