

Lattice Diamond 「Active-HDLシミュレーション」



Functionシミュレーション

■Simulation Wizardを使用し、シミュレーションを実行



①Tools ⇒ Simulation Wizardを選択します。

TecStar Function シミュレーション

🚸 Simulation Wizard	<u>? × </u>	Simulation Wizard
	Preparing the Simulator Interface This wizard will guide you through the creation of a new simulation project for a specific simulator. To create a new simulator project you will need to provide a name and location for your project. Next you will indicate what stage of the FPGA implementation you wish to simulate. Click Next to continue.	Process Stage Indicate what process stage of the FPGA implementation strategy you wish to simulate. Available stages are automatically displayed.
	① "Next"をクリックします。] Process Stage ○ RTL ○ Post-Map Gate-Level ○ Post-Route Gate-Level+Timing ✓ Back Next> Cancel
Simulation Wizard Simulator Project Name Enter a name for your s be stored. Project name: waveform Project location: C.7_desin/ Simulator Active-HDL ModelSim	ジメ imulator project and specify a directory where the project file will 2 2 2 2 2 2 2 2 2 2 2 2	 ・RTL シミュレータがRTLをインポートし、コンパイルを行いシミュ レーションを実施します。 ・Post-Map Gate-Level Mapping後生成されるネットリストファイル(VO,VHOファイ ル)を使用してシミュレーションを実施します。 ・Post-Map Gate-Level+Timing ト記ネットリストファイル(SDEファイ
	< Back Next > Cancel	レンションを取り込んでシミュレーションを行います。実機の動き に近いシミュレーションが可能ですがシミュレーションの実 行に時間がかかります。 Next [®] をクリックします。

Function シミュレーション



Function シミュレーション

imulation Wizard	?
Summary	
Simulator : Active-HDI	
Project Name : waveform	
Project Location : C:/_desin/XO2WG/diamond/RD Simulation Stage : RTL	
Simulation Files :	21000 (Course - A (or)) - A (college - A) - Course - A (or 20)
C:/_desin/XO2WG/diamond/RD//RD1093/RL C:/_desin/XO2WG/diamond/RD//RD1093/RL	D1093/Source/Verling/bit_align_cti_xo2.v D1093/Source/Verling/bus_sync.v
C:/desin/XO2WG/diamond/RD/./RD1093/RI C:/desin/XO2WG/diamond/RD//RD1093/RI	01093/Source/Verilog/Loopback_Demo_7_to_1_LVDS_T(01093/Source/Verilog/LVDS_7_to_1_BX_vo2v
C:/ desin/XO2WG/diamond/RD//RD1093/RI	01093/Source/Verilog/LVDS_7_to_1_TX_xo2.v
C:/ desin/XO2WG/diamond/RD//RD1093/RL C:/ desin/XO2WG/diamond/RD//RD1093/RL)1093/Source/Verilog/word_align_ctl_xo2.v)1093/Source/Verilog/IPexpress/MachXO2/XO2_71RX
C:/desin/XO2WG/diamond/RD//RD1093/RL	01093/Source/Verilog/IPexpress/MachX02/X02_71TX /Testhensh-Averilog/Ipexpress/MachX02/X02_71TX
Simulation Libraries :	
pmi_work ovimachxo2	
-	
4	
 Run simulator 	
	. <u></u>
	< <u>B</u> ack <u>F</u> inish Cancel
	(9) "Finish"をクリック ます

FinishをクリックするとActive-HDLが自動で立ち上がります。

■Active-HDLを初期化 Simulationメニューより "Initialize Simulation" をクリック します



Function シミュレーション



ecStar ompany Function シミュレーション



■シミュレーションの波形

፣ 📃 🔎 🔛 🐉 🔍 🎁	¥	🖓 🛅 🙀 🔕 🕒 🕗 🎒 🕨 🕨 🕨 🕨 📘 100 ns 🖯 📢 🔳 🛃 🕩 👎 🚛
∫ 🖬 🕐 🐜 😭 🙋 B Signal name	Break	kで停止 *** 1 Runでスタート 🕺 🏪 🕺 🛒 🏒 🛛
▶ CLK	0	
ar clk80	1	
►RST	0	
🕀 🕶 ont	2	0 <u>1 2 2 3 4 2 5 2 6 2 7 2 8 2 9 2 A 2 B 2 C 2 D 2</u>
⊡ • DOUT	2	0 <u>1 2 2 3 4 2 5 2 6 2 7 2 8 2 9 2 A 2 B 2 C 2 D 2</u>
-• DOUT[3]	0	
-• DOUT[2]	0	
-• DOUT[1]	1	
-• DOUT[0]	0	



Timingシミュレーション

ecstan タイミングシミュレーションの準備



ecStar ompany Timingシミュレーション

■Simulation Wizardを使用し、シミュレーションを実行



①Tools ⇒ Simulation Wizardを選択します。

TecStar Timingシミュレーション

Simulation Wizard	? x	Simulation Wizard
∲Simulation Wizard	Preparing the Simulator Interface This wizard will guide you through the creation of a new simulation project for a specific simulator. To create a new simulator project you will need to provide a name and location for your project. Next you will indicate what stage of the FPGA implementation you wish to simulate. Click Next to continue.	Process Stage Indicate what process stage of the FPGA implementation strategy you wish to simulate. Available stages are automatically displayed. Process Stage RTL Post-Map Gate-Level Post-Route Gate-Level VHDL Verilog
	① "Next"をクリックします。	④ "Next"をクリックします。
Simulation Wizard	< Back Next > Cancel	Process Stage RTL Post-Map Gate-Level Post-Route Gate-Level+Timing
Enter a name for your s be stored. Project name: waveform Project location: C7_desin/ Simulator Active-HDL ModelSim	simulator project and specify a directory where the project file will 2 Project nameを入力します。	 ・RTL シミュレータがRTLをインポートし、コンパイルを行いシミュレーションを実施します。 ・Post-Map Gate-Level Mapping後生成されるネットリストファイル(VO,VHOファイル)を使用してシミュレーションを実施します。
		 ・Post – Map Gate-Level+Timing 上記ネットリストファイル+遅延情報ファイル(SDFファイル)を取り込んでシミュレーションを行います。実機の動きに近いシミュレーションが可能ですがシミュレーションの実行に時間がかかります。
Page: 13	< Back Next > Capcel 3 "	

IecStar Timingシミュレーション

 vo, vho ネットリストの 取り込みを確認する



※デザインのソースは取込まないで ください。デザインのソースを取込 んでしてしまうと、Functionシミュレ ーションとなってしまいます。

Timingシミュレーションでは、コンパ イル済みの vo, vho 使用します。

TecStar Company Timingシミュレーション

Simulation Wizard	? <mark>X</mark>
Parse HDL files for simulation Parse HDL files for simulation.	
Simulation top parsing finished.	
Analyzing VHDL file C:/lscc/diamond/2.0/cae_library/synthesis/vhdl/machxo2.vhd (VHDL- Restoring VHDL parse-tree ieee.std_logic_1164 from c:/lscc/diamond/2.0/cae_library/vhdlpackage Restoring VHDL parse-tree std.standard from c:/lscc/diamond/2.0/cae_library/vhdlpackage Analyzing VHDL file C:/_diamond_seminar/xo2_cnt_pll back/top_tb.vhd (VHDL-1481) Restoring VHDL parse-tree ieee.numeric_std from c:/lscc/diamond/2.0/cae_library/vhdlpackage Elaborating testbench	1481) packages/v es/vdbs/st :kages/vdb
<	Þ
Simulation Top Module: testbench	-
Associated Instance: /uut	
< <u>B</u> ack <u>N</u> ext >	Cancel

ecStar ompany Timingシミュレーション

Simulation Wizard	? X
Summary	
Simulator : Active-HDL Project Name : wavetest00 Project Location : C:/_diamond_seminar/xo2_cnt_pll_back Simulation Stage : Post-Route Gate-Level+Timing Simulation Files : C:/_diamond_seminar/xo2_cnt_pll_back/imp01/seminar_imp01_vho.vho C:/_diamond_seminar/xo2_cnt_pll_back/top_tb.vhd C:/_diamond_seminar/xo2_cnt_pll_back/imp01/seminar_imp01_vho.sdf Simulation Libraries : pmi_work ovi_machxo2 Simulation Top Module : testhench V Run simulator	
< <u>B</u> ack <u>F</u> inish	Cancel

FinishをクリックするとActive-HDLが自動で立ち上がります。

Active-HDL~Timingシミュレーション (option)

· Waveform を表示する前に以下設定が必要になります。

- 設定を行わない場合、SDFファイルが無効となり内部遅延がシミュレーションに反映



Stall

Active-HDL~Timingシミュレーション (option)

Design Settings	? ×
Category:	SDF
General Top-level Compilation Turn VHDL Turn Verilog	Files - Region Value Load = .#imp01 #seminar.jmp01_who.sdf /testbench/uut Maximal
Linting ALINT Simulation SDF VHDL Verilog Access to Design Objects	②LoadをドロップダウンメニューからYes に設定します。
①SimulationのSDFを選択します。 Trace/Debug Riviera-PRO/VSimSA Coverage/Profiler Code Coverage	 Disable warnings from SDF reader Change SDF errors to warnings SDF error limit:
LEP Expression/Path Coverage Profiler Verilog PLI Application C Code Debug Settings	③OKで設定完了です。 Default OK Cancel Apply

※ツールのバージョンによっては初めから設定されております。

6

ar

Active-HDL~Timingシミュレーション





その他、基本操作

ecStar ActiveHDLの操作方法について

Undockボタン

Undockをクリックして、wave画面を単独に取り出すことができます。



Iecstar ActiveHDLの操作方法について

信号の移動

移動したい信号をドラッグ&ドロップで簡単に移動できます。



CecStal ActiveHDLの操作方法について

内部信号の観測1

観測したい内部信号を間単に観測することが可能です。



ecStar ActiveHDLの操作方法について



CCStal ActiveHDLの操作方法について mpan

観測したい内部信号を全て取り出した後、restartを実行し、Runをかけることによって、 取り出した内部信号の波形を観測することが可能です。

⑧Runをクリック ⑦restartボタンをクリック

Waveform Editor 1	*						
be <u>D</u> esign <u>S</u> imulat	ion <u>W</u> aveform	<u>T</u> ools <u>W</u>	<u>/</u> indow <u>H</u> e	elp	+		↓ ↓
💱 📃 🔎 🚟 Hee	3 🗂 🖫 🖇	2 🖬 😣	🔒 🏼	ڻ چ		▶ 100 r	ns 🕂 📢 🔳
X 🖻 🖬 🔛	v 🗟 🔍 •	I 🖓 🕄	୍ ପ୍ ପ୍	🗣 🐿	₩ 無 8	🖗 📭 :	±11 👘 🕫
Name	Value	Sti	11,00 i	1150 i	1200 i	1250	i 13,00 i
# RST	1						
₩ CLK	0						
₩ DOUT	0						
🖃 cnt	0	576	_ <u> </u>	X9 XA	BXCXD	XE XF	<u> </u>
⊯riont_3	0						
⊯rent_2	0						
#r ont_1	0						
#ront_0	0						
					$\overline{}$		

Cecstal ActiveHDLの操作方法について

内部信号の観測2

内部信号が多い場合は、観測したい内部信号を簡単に検索することが可能です。



cnt

ecstal ActiveHDLの操作方法について

2.Waveform editor から遅延を簡単に確認することができます。 ①まず、Zoom Mode をクリック



ecstal ActiveHDLの操作方法について

③遅延を測定する為に、Measurement Mode をクリック。



CCStal その他 ActiveHDLの操作方法について

◇ブレークポイントの設定
1.ブレークポイントを設定すると希望する状態で検証プロセスを停止させることができます。



IecStar その他 ActiveHDLの操作方法について

Ireakpoints		? 🗙
Code Breakpoints Signal Bre	akpoints	
Signal	Condition Value Hit Count	Add Signals
✓ uut/cnt_3	Value 1	Remove
		Edit Condition
		Show Code
	Breakpoint Activity: (• Enabled (• Disabled Breakpoint Tupe & Condition:	Enable All
		Disable All
	⊂ E <u>v</u> ent	Save To Macro
	⊙ <u>V</u> alue 1	
	Hit Count: break always	
	break always	
	break when equal break when greater	
	break when multiple of	
Breakpoint caused by statem	ant in file , at line 663 in process of instance unit/SLICE 11A/if:	Behavior
	OKキャンセル	, 適用(<u>A</u>)
③ -break alw		が実行されたら停止
-break whe	en less :指定したHit co	ountよりも少ない場合に
-break whe	n equal : 指定したHit cc	ountと同じ場合に停止
-break whe	n grater : 指定したHit co	ountよりも多い場合に停
-break whe	n multiple of :指定したHit cc	ountの整数倍で停止

その他 ActiveHDLの操作方法について

④runボタンをクリックすると、cnt3 = 1の時にBreak され、赤いラインで表示されます。

Matina-HDL 7.2 (work work)	- Wayafara Editor 1	+					
A ACTIVE HUL 7.3 W	TULK , WULKZ				\			
<u>File E</u> dit Sea <u>r</u> ch <u>V</u>	/iew W <u>o</u> rksp	ace <u>D</u> esign <u>S</u> imulat	ion <u>W</u> aveform	<u>T</u> ools	Window	<u>H</u> elp	\searrow	
🖥 🕶 🖻 🕵	🐰 🔳 📭) 💱 📃 🔎 👫 🚟	\$ 🞁 🖫	Ç 🙀	8	I 🖉 🕗	🅸 🗋 🕨 🔺 🕹	1 00
Design Browser	* ×) X 🖻 🖬 🔛	Sa 🔁 🗸	다 🕅	ହ ସ୍	۹ 🗨	ት 🗤 👫 🎼 🖿	
🔚 tb_top (behavior)	•	Name	Value	Sti	1	480.00	12 ns	• 1
		# RST	1			_		
tb_top (behavi	ior)	JUT CLK	0	1				
Line 51			1			••••••		
line_53		😑 ont	8	Ø				
-P std.standard		rront_3	1					
•		rr ont_2	0					Л
clk	•	#r ont_1	0			υυ	www	ົບເ
Name	Value 🔺	rront_0	0					
► RST	1	# DOUT	0	1				
P CLK	0							
DOUT	0							
™ cnt_0	0							

再度runボタンをクリックすると、次のcnt3 = 1時にBreak されます。



テストベンチソースを修正し、 再度シミュレーションを行う方法

ICCStall ソース修正後の再シミュレーション

 ①テストベンチソース を修正し保存すると、 ソース名の左側の
 " ✓ "が" ? "マークに 変わります。



lecStar ソース修正後の再シミュレーション



この操作で、Waveformに表示している信号名はその ままで、ソース修正後の再シミュレーションが可能です。