

Technical Note

TecStar

Skyworks

Si53xx 開発用 GUI ツール

Clock Builder Pro 動作概要

2022 年 11 月

株式会社 **マクニカ**
テクスター カンパニー

目次

| | |
|---|---|
| 1 はじめに..... | 3 |
| 2 周波数の設定方法..... | 4 |
| 3 開発用 GUI ツール ClockBuilder Pro の主な操作手順..... | 6 |

1 はじめに

この資料は、Skyworks 社からリリースされているクロックジェネレータ、ジッタアッテネータの製品シリーズである Si534x に関する、レジスタ値算出用 兼 評価基板制御用の GUI ツール (ClockBuilder Pro) の主な操作手順を御案内します。

一例として、各設定画面はジッタアッテネータ(Si5342/44/45)を選択時のものを表示しています。

また、Clock Builder Pro は一部の古い製品ラインナップには対応しておりません。

どの型番に対応しているかは、Skyworks 社からリリースされている Readme 資料をご参照ください。

以下 URL からダウンロード可能です。

【ClockBuilder Pro README】

<https://tools.skyworksinc.com/timingfiles/latest-tools/ClockBuilder-Pro-README.pdf>

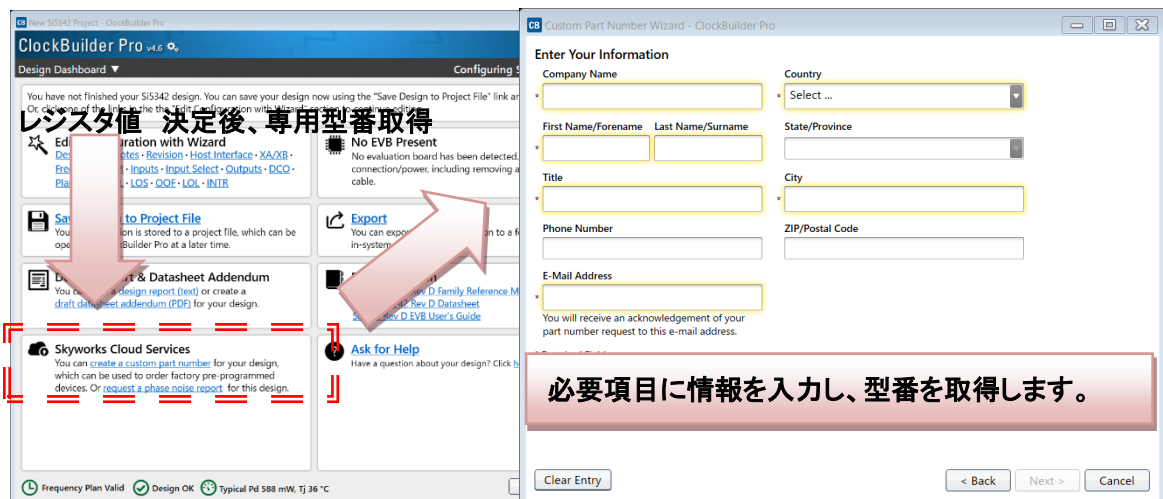
2 周波数の設定方法

Si5342/44/45 はプログラマブルなジッタアッテネータですので、レジスタ値を設定する必要があります。設定するレジスタ値については、専用のソフトウェア(ClockBuilderPro)を使用することによりレジスタ設定を容易に決定することができます。

Si5342/44/45 のプログラム方法については 3 種類用意しております。

- ① 工場出荷時、初期値を不揮発メモリに書込む
- ② ユーザー側にて初期値を不揮発メモリ書込む(シリアル経由で 2 回まで書込み可能)
- ③ ③シリアル通信経由でレジスタ値を設定(パワーオン後、毎回 設定する必要があります。)

① 工場出荷時、不揮発メモリへの書込みの場合、ClockBuilderPro で設定後、専用型番を取得します。



② ユーザー側での不揮発メモリ書込みについては、

Si5342/44/45 リファレンスマニュアル P15 4.3 NVM Programming 項を参照してください。

<https://www.skyworksinc.com/-/media/Skyworks/SL/documents/public/reference-manuals/Si5345-44-42-D-RM.pdf>

4.3 NVM Programming

Devices have two categories of non-volatile memory: user NVM and factory (Skyworks) NVM. Each type is segmented into NVM banks. There are three user NVM banks, one of which is used for factory programming (whether a base part or an Orderable Part Number). User NVM can be therefore be burned in the field up to two times. Factory NVM cannot be modified, and contains fixed configuration information for the device.

The ACTIVE_NVM_BANK device setting can be used to determine which user NVM bank is currently being used and therefore how many banks, if any, are available to burn. The following table describes possible values:

| Active NVM BANK Value (Decimal) | Number of User Banks Burned | Number of User Banks Available to Burn |
|---------------------------------|-----------------------------|--|
| 3 (factory state) | 1 | 2 |
| 15 | 2 | 1 |
| 63 | 3 | 0 |

Note: While polling DEVICE_READY during the procedure below, the following conditions must be met in order to ensure that the correct values are written into the NVM:

- VDD and VDDA power must both be stable throughout the process.
- No additional registers may be written or read during DEVICE_READY polling. This includes the PAGE register at address 0x01. DEVICE_READY is available on every register page, so no page change is needed to read it.
- Only the DEVICE_READY register (0xFE) should be read during this time.

The procedure for writing registers into NVM is as follows:

1. Write all registers as needed. Verify device operation before writing registers to NVM.
2. You may write to the user scratch space (Registers 0x026B to 0x0272 DESIGN_ID0-DESIGN_ID7) to identify the contents of the NVM bank.
3. Write 0xC7 to NVM_WRITE register.
4. Poll DEVICE_READY until DEVICE_READY=0x0F.
5. Set NVM_READ_BANK 0x00E4[0]=1. This will load the NVM contents into non-volatile memory.
6. Poll DEVICE_READY until DEVICE_READY=0x0F.
7. Read ACTIVE_NVM_BANK and verify that the value is the next highest value in the table above. For example, from the factory it will be a 3. After NVM_WRITE, the value will be 15.

Alternatively, steps 5 and 6 can be replaced with a Hard Reset, either by RSTb pin, HARD_RST register bit, or power cycling the device to generate a POR. All of these actions will load the new NVM contents back into the device registers.

③ パワーオン後、SPI または、I²C のシリアル通信経路でレジスタ値を書込みます。

3 開発用 GUI ツール ClockBuilder Pro の主な操作手順

入手先 URL: [Skyworks | Timing - Clockbuilder Pro Software \(skyworksinc.com\)](https://www.skyworksinc.com/timing-clocksolutions/clockbuilder-pro)

GUI 起動後の各設定画面についてご紹介します。

Jitter Attenuator Parts Table:

| Part | Num PLLs | Num Inputs | Num Outputs | Input Frequency | Output Frequency | Applications | Package |
|---------|----------|------------|-------------|------------------|---|--|---------------|
| Si5342 | 1 | 4 | 2 | 8 kHz to 750 MHz | 100 Hz to 720 MHz, 733.334 MHz to 800 MHz, 825 MHz to 1.028 GHz | • 10/40/100G OTN/Ethernet line cards • ITU G.8262 Synchronous Ethernet • IEEE1588 clock steering • SONET/SDH line cards • Broadcast video(Genlock) | 7x7 mm 44-QFN |
| Si5342H | 1 | 2 | 2 | 8 kHz to 750 MHz | 100 Hz to 2.75 GHz | • Coherent optical line cards and modules(100/400G) • High - speed data converter clocking | 7x7 mm 44-QFN |
| Si5344 | 1 | 4 | 4 | 8 kHz to 750 MHz | 100 Hz to 720 MHz, 733.334 MHz to 800 MHz, 825 MHz to 1.028 GHz | • 10/40/100G OTN/Ethernet line cards • ITU G.8262 Synchronous Ethernet • IEEE1588 clock steering • SONET/SDH line cards • Broadcast video(Genlock) | 7x7 mm 44-QFN |
| Si5344H | 1 | 2 | 4 | 8 kHz to 750 MHz | 100 Hz to 2.75 GHz | • Coherent optical line cards and modules(100/400G) • High - speed data converter clocking | 7x7 mm 44-QFN |
| Si5345 | 1 | 4 | 10 | 8 kHz to 750 MHz | 100 Hz to 720 MHz, 733.334 MHz to 800 MHz, 825 MHz to 1.028 GHz | • 10/40/100G OTN/Ethernet line cards • ITU G.8262 Synchronous Ethernet • IEEE1588 clock steering • SONET/SDH line cards • Broadcast video(Genlock) | 9x9 mm 64-QFN |
| Si5346 | 2 | 4 | 4 | 8 kHz to 750 MHz | 100 Hz to 720 MHz | • 10/40/100G OTN / Ethernet line cards • SONET / SDH line cards • Broadcast video(Genlock) | 7x7 mm 44-QFN |
| | | | | 8 kHz to 750 MHz | 100 Hz to 720 MHz | • 10/40/100G OTN / Ethernet line cards • SONET / SDH line cards • Broadcast video(Genlock) | 9x9 mm 64-QFN |

Design ID Configuration:

The device has 8 registers, DESIGN_ID0 through DESIGN_ID7, that can be used to store a design/configuration/revision identifier.

Design ID: (copy) (paste) (max 8 characters)

The string you enter here is stored as ASCII bytes in registers DESIGN_ID0 through DESIGN_ID7.

Padding Mode:

- NULL Padded ← 8文字に満たない場合、NULL(0x00)で埋めます
If you do not enter the full 8 characters, the remaining bytes of DESIGN_IDx will be padded with 0x00 bytes (aka NULL character).
- Space Padded ← 8文字に満たない場合、SPACE(0x20)で埋めます
If you do not enter the full 8 characters, the remaining bytes of DESIGN_IDx will be padded with 0x20 bytes (aka SPACE character).

Design Notes

Enter anything you want here. The text is stored in your project file and included in design reports and custom part number datasheet addendums. While the text is word wrapped in reports, you can use newlines to start a new paragraph.

【シリアル通信の設定画面】

I2C、SPI の選択は I2C_SEL ピンで行います

SPI モードを選択します

I2C アドレスを変更できます

ホスト I/O の電圧に合わせます

Configuration and operation of the Si5342 is controlled by reading and writing registers using the I2C or SPI interface. The I2C_SEL pin selects between I2C or SPI operation.

I²C
I2C_SEL pin = High

SPI 4-Wire
I2C_SEL pin = Low

SPI 3-Wire
I2C_SEL pin = Low

SPI Mode

- 4-Wire
4-wire SPI has separate serial data in and data out pins (SDI and SDO) which are unidirectional signals.
- 3-Wire
3-wire SPI has a single serial data SDIO pin which is bidirectional.

Base I2C Address
The upper 5-bits of the I2C address are configurable. The lower 2-bits are controlled using the A0 and A1 pins on the Si5342.

Address:
6 5
1 1

I/O Power Supply

- VDD (Core)
The serial interface pins are always 3.3V tolerant, even when the device's VDD pin is supplied from a 1.8V source. The status outputs will have a VOH of ~ 1.8V. The control inputs are 3.3V tolerant.
- VDDA (3.3V)
When the I2C or SPI host is operating at 3.3V and device at VDD=1.8V, this option must be selected. This will ensure that both the host and the serial interface are operating at the optimum voltage thresholds. The status outputs will have a VOH of ~ 3.3V and the control inputs support 3.3V CMOS levels.

Host interface registers defined by this page – IO_VDD_SEL, SPI_3WIRE, and I2C_ADDR – are not written to EVBs. They are included in exports and orderable part number non-volatile memory. See the Family Reference Manual for more information.

< Back Next > Finish Cancel

【Reference(XA/XB ピン)入力の設定画面】

DSPLL 駆動用に用いるため、この後で設定する入力クロック周波数によらず必要になります。

XO(発振器)を使用しなければならない理由が無い限りは、水晶振動子(XTAL) 48 MHz の設定にしてください。

※ 48~54 MHz で最もパフォーマンス(位相ノイズ特性)が良くなる旨がデータシートにも記載されております。

水晶振動子(XTAL)の推奨品は、Reference Manual もしくは以下のリストを御参照下さい。NDK 様等、日本国内メーカーの XTAL も含めてまとめられております。

[Recommended Crystal, XO, TCXO, and OCXO Reference Manual for High-Performance Jitter Attenuators and Clock Generators \(skyworksinc.com\)](#)

New Si5342 Project - ClockBuilder Pro

ClockBuilder Pro v4.6

Step 4 of 16 - Define External Reference (XA/XB) Configuring Si5342ABCD Rev D

External Reference Source Type

- XTAL
- XO

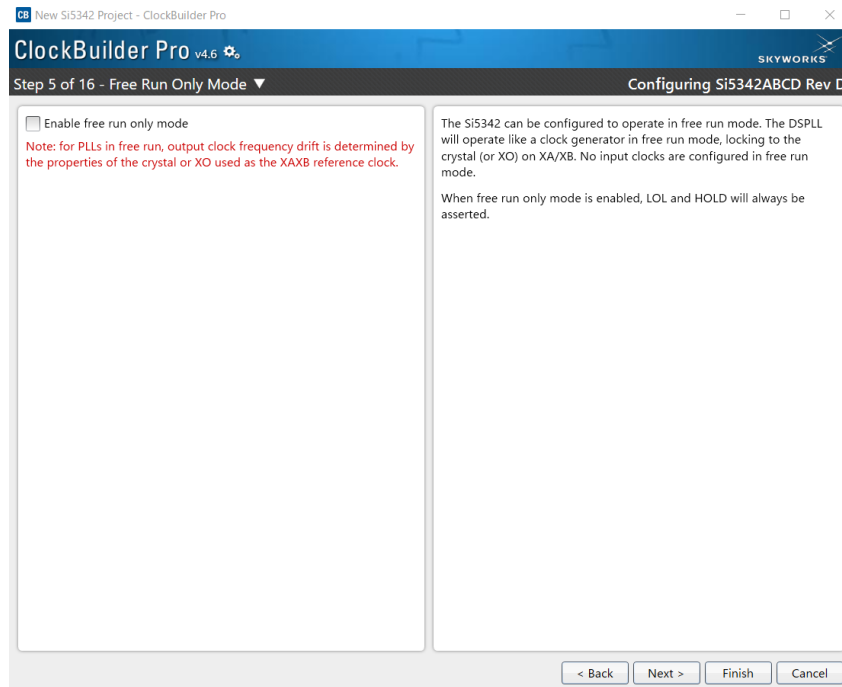
Reference Frequency
48 MHz

- An external crystal (XTAL) is used in combination with the internal oscillator (OSC) to produce a low jitter reference clock (RefClk) for the DSPLL and for providing a stable reference for the free-run and holdover modes. The Si538x/4x series includes internal XTAL loading capacitors which eliminates the need for external capacitors.
- The Si538x/4x series can also accommodate an external reference clock using a crystal oscillator (XO) for applications that require better frequency stability.
- † Note: jitter performance may be reduced when an XO is used as the reference.
- Refer to [Application Note 905](#) and your device Family Reference Manual for more information.

< Back Next > Finish Cancel

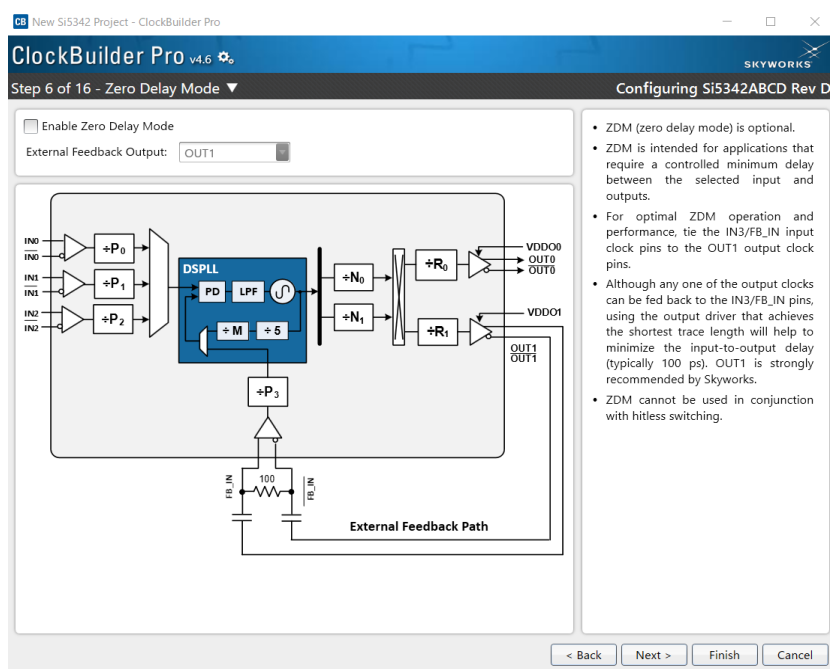
【Free Run Only Mode の設定画面】

XA/XB ピンに接続されている XTAL(or XO)を源振として動作する自走モードを Free Run Mode と呼んでいます。この動作モードのみで運用する場合は Enable free run only mode をチェックして下さい。



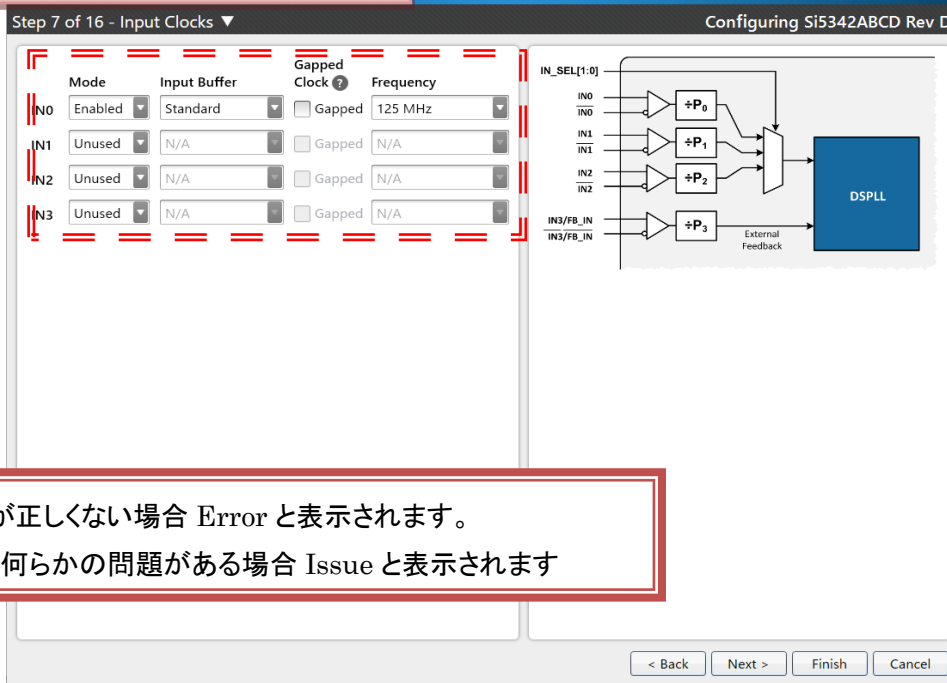
【Zero Delay Mode の設定画面】

出カクロックの 1ch を IN3(FB_IN)にフィードバックさせて Zero Delay Mode で使用する場合は、Enable Zero Delay Mode をチェックして下さい。



【入力クロックの設定画面】

入力クロック周波数を指定します

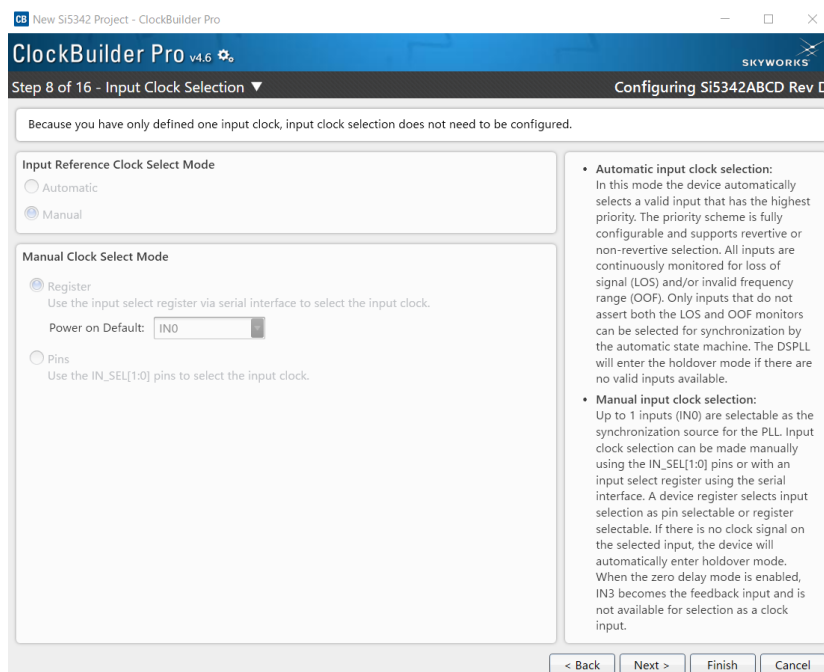


設定が正しくない場合 Error と表示されます。
また、何らかの問題がある場合 Issue と表示されます

【Input Clock Selection の設定画面】

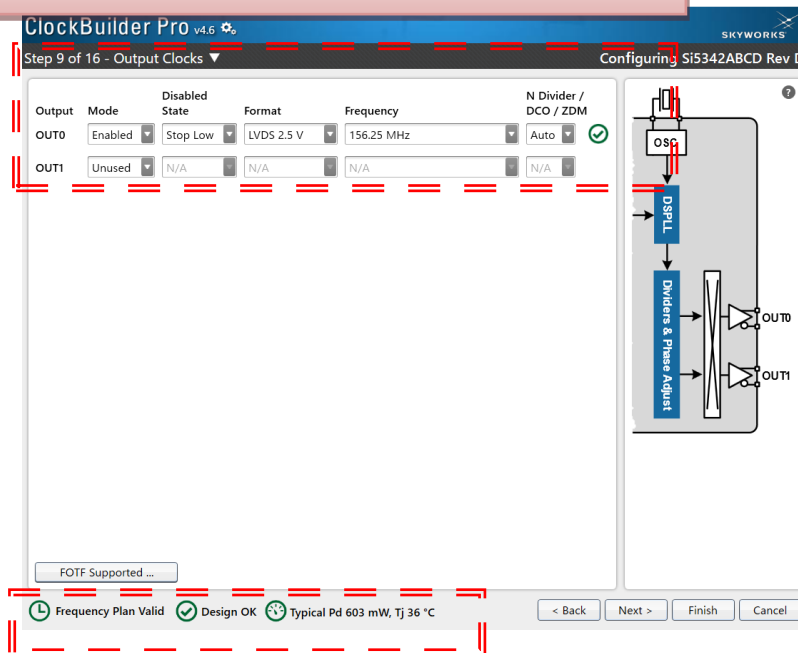
前画面(入力クロックの設定画面: Define Input Clocks)にて入力クロックチャンネル(IN0~IN3)を複数割り当てた場合、どのチャンネルを DSPLL に対する Reference Input として使用するか、また、選択した Reference Input が断状態になった場合に自動で切り替えるチャンネルをどのチャンネル(IN0~IN3)にするかを指定できます。

※ 入力クロックチャンネル数が 1ch のみで設定した場合は、以下画面のように特に設定は不要ですのでそのまま Next をクリックして下さい。



【出カクロックの設定画面】

出カクロックフォーマットや周波数を指定します

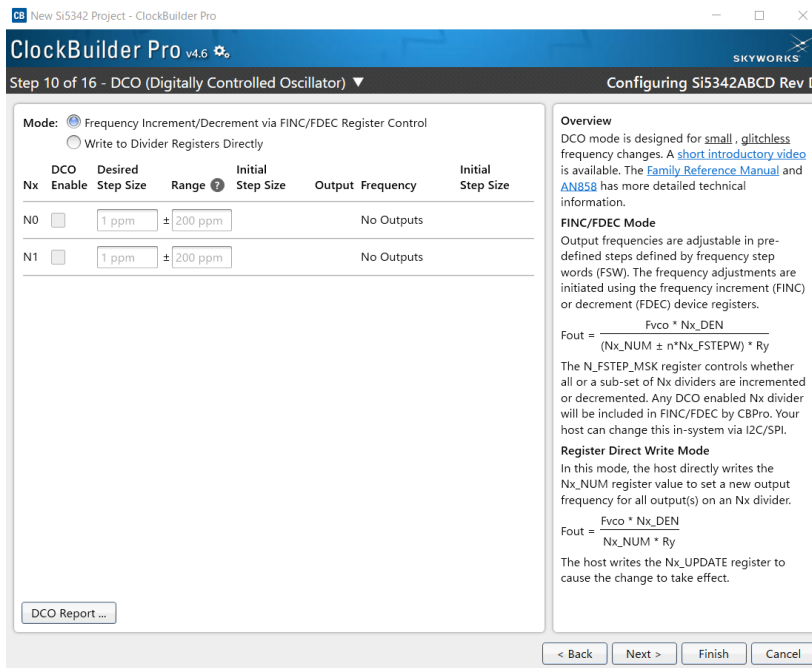


Frequency Plan Error 1 Error

周波数生成ができない場合 Error が表示されます。

【DCO(Digitally Controlled Oscillator Mode) の設定画面】

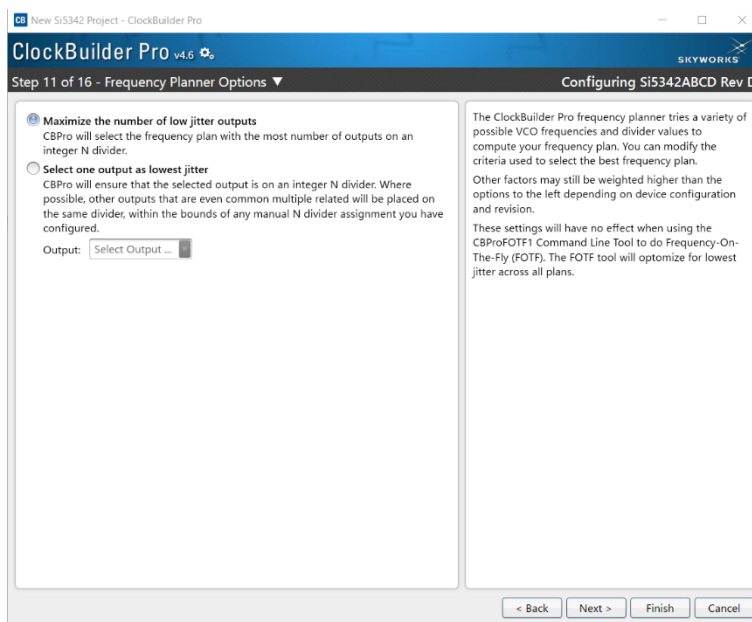
動作中に ppm オーダーで出力周波数を切り替える機能を DCO Mode と呼んでいます。機能の詳細については Reference Manual を御参照下さい。特に使用予定が無ければそのまま Next をクリックして下さい。



【Configure Frequency Planner 設定画面】

出カクロックチャンネルのうち、どのチャンネルを最もジッタを抑圧させるかの設定ができます。

クロック受信側 IC のジッタ規定にも依存しますが、1ch だけジッタ規定が厳しいという特定の要求が無い限りは、Default 設定である”Maximize the number of low jitter outputs”を選択したまま Next をクリックして下さい。

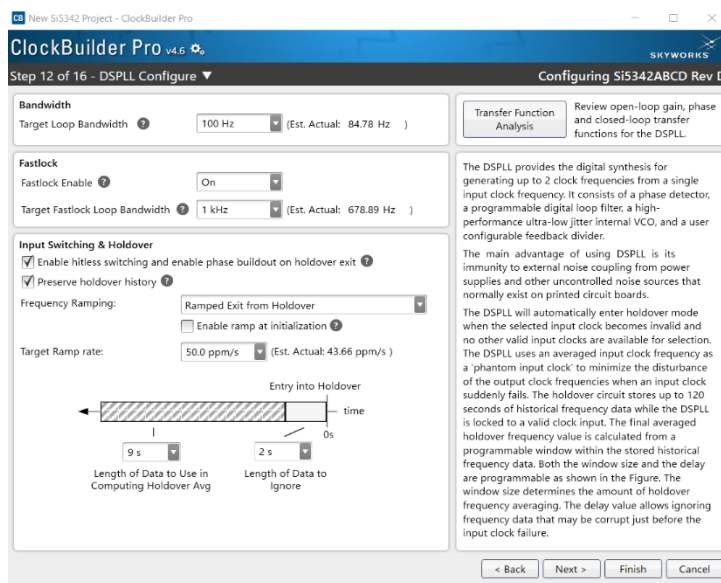


【DSPLL Configure 設定画面】

Bandwidth: DSPLL の Loop Bandwidth を設定できます。

Fastlock: Jitter Cleaner 内の DSPLL は 2 重ループ (Inner Loop, Outer Loop) 構造になっていますが、短時間で Lock させるように Fastlock 側の Loop Bandwidth を設定できます。お客様の要求仕様として何か指定が無い限りは、On にして Bandwidth の約 10 倍の値を指定して下さい。

Input Switching & Holdover: Hitless Switch や Holdover 時の動作に関する設定です。



【LOS(Loss of Signal)設定画面】

入力クロックが断状態になったか否かを DSPLL は入力クロックの立上りエッジをモニタして判断しますが、検出期間等の設定が出来ます。お客様の装置において、特定の入力クロック切替時の動作を LOS として検出させない等、特に調整する必要が無ければ、そのままの設定で Next をクリックして下さい。

LOS Detect
 Thresholds for assert and de-assert of LOS are specified in number of corresponding clock cycles at the input to the phase detector, which is the input clock divided by its P divider. This is translated to a time based on the frequency of the corresponding phase detector input clock.

| Input Clock | Assert Threshold | De-Assert Threshold | Validation Time | |
|-------------|------------------|---------------------|-----------------|--|
| IN0 | 2.000 | 2.000 | 100 ms | <input checked="" type="checkbox"/> Set for me |
| IN1 | N/A | N/A | N/A | <input checked="" type="checkbox"/> Set for me |
| IN2 | N/A | N/A | N/A | <input checked="" type="checkbox"/> Set for me |
| IN3 | N/A | N/A | N/A | <input checked="" type="checkbox"/> Set for me |

XA/XB Threshold and validation times are not configurable!
 LOS on XA/XB

The loss of signal monitor measures the period of each phase detector input clock cycle to detect phase irregularities or missing clock edges.
 Each of the input LOS circuits has its own programmable sensitivity which allows ignoring missing edges or intermittent errors.
 The LOS status for each of the monitors is accessible by reading a status register.

Diagram: **LOS** block with **en** input and **Live** output. The **Live** output is labeled as **Sticky**.

Frequency Plan Valid | Design OK | Typical Pd 588 mW, Tj 36 °C | < Back | Next > | Finish | Cancel

【OOF(Out-Of-Frequency)設定画面】

DSPLL は入力クロック周波数をモニタしており、閾値設定を超える(つまり CBPro 上で設定した、本来想定した入力クロックからずれた)クロック周波数が観測された場合に OOF アラームを挙げる機能です。

[Fast_OOF]

モニタする周波数精度は粗いですが、OOF 状態に陥ったか否かを早く検出することを意図した機能です。基板上のクロック入力ラインが何らかの理由により断線したケース等、急激な状態変化時になるべく早く検出することを意図しています。閾値設定が 4000ppm 等、大きな値になっているのはこのためです。

[Precision_OOF]

Fast OOF に比べて高い周波数精度で入力クロック周波数をモニタ可能です。本来想定した周波数から徐々に数百 ppm ずれていくようなクロックが入力されるケースでも、OOF 状態を検出可能です。

※ ユーザーが確認できる OOF のアラームはあくまで 1 種類であり、Precision or Fast のどちらの OOF が働いたかを判別することは出来ません。あくまで、入力クロック周波数が急峻に変化 or 緩やかに変化した場合のどちらにも対応できるよう、2 種類の OOF が用意されている、と認識下さい。

Step 14 of 16 - OOF (Out-Of-Frequency)

OOF Reference Clock
 "0 ppm" Reference Clock: XA/XB

Precision OOF
 For each input, select whether Precision OOF will contribute to final OOF status and configure when Precision OOF will be set and cleared.

| Input | Enable | Assertion Threshold | De-assertion Threshold |
|-------|---|---------------------|------------------------|
| IN0 | <input checked="" type="checkbox"/> Enabled | 100.0000 ppm | 100.0000 ppm |
| IN1 | <input type="checkbox"/> Enabled | 100.0000 ppm | 100.0000 ppm |
| IN2 | <input type="checkbox"/> Enabled | 100.0000 ppm | 100.0000 ppm |
| IN3 | <input type="checkbox"/> Enabled | 100.0000 ppm | 100.0000 ppm |

Fast OOF
 For each input, select whether Fast OOF will contribute to final OOF status and configure when Fast OOF will be set and cleared.

| Input | Enable | Assertion Threshold | De-assertion Threshold |
|-------|---|---------------------|------------------------|
| IN0 | <input checked="" type="checkbox"/> Enabled | 4,000 ppm | 4,000 ppm |
| IN1 | <input type="checkbox"/> Enabled | 4,000 ppm | 4,000 ppm |
| IN2 | <input type="checkbox"/> Enabled | 4,000 ppm | 4,000 ppm |
| IN3 | <input type="checkbox"/> Enabled | 4,000 ppm | 4,000 ppm |

Monitor Logic Diagram:
 A logic diagram showing two monitors, Precision and Fast, each with an 'en' input. Their outputs are connected to an AND gate. The output of the AND gate is connected to a 'Sticky' OOF signal block, which also has a 'Live' input.

Precision OOF Monitor
 The precision OOF monitor circuit measures the frequency of all input clocks to within ±0.0625 ppm accuracy with respect to the selected OOF frequency reference. A valid input clock frequency is one that remains within the OOF frequency range which is register configurable from ±0.0625 ppm to ±511.9375 ppm in steps of 0.0625 ppm. A configurable amount of hysteresis is also available to prevent the OOF status from toggling at the failure boundary.

Fast OOF Monitor
 Because the precision OOF monitor needs to provide 1 ppm of frequency measurement accuracy, it must measure the monitored input clock frequencies over a relatively long period of time. This may be too slow to detect an input clock that is quickly ramping in frequency. An additional level of OOF monitoring called the Fast OOF monitor runs in parallel with the precision OOF monitors to quickly detect a ramping input frequency. The Fast OOF monitor asserts OOF on an input clock frequency that has changed by greater than ±4000 ppm.

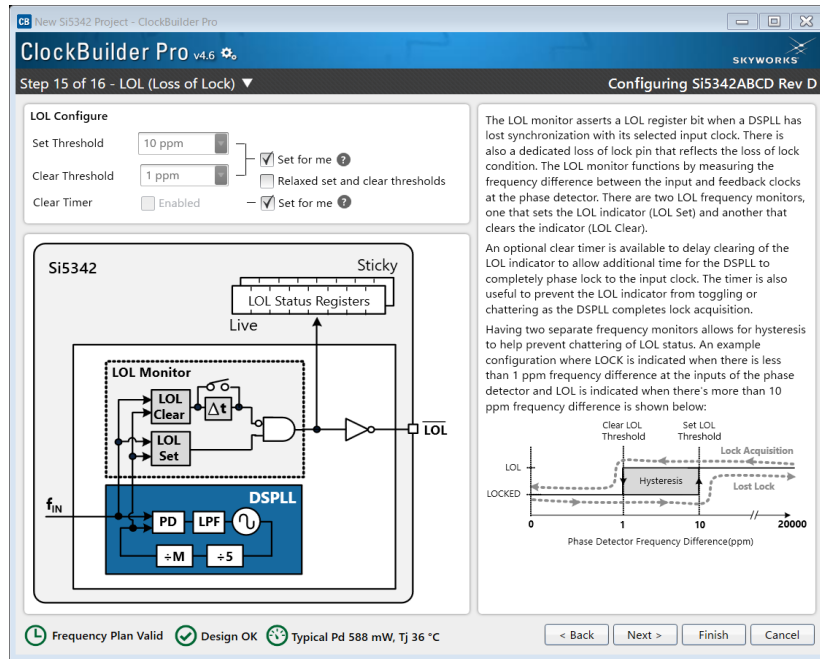
Frequency Plan Valid | Design OK | Typical Pd 588 mW, Tj 36 °C

< Back | Next > | Finish | Cancel

【LOL(Loss of Lock)設定画面】

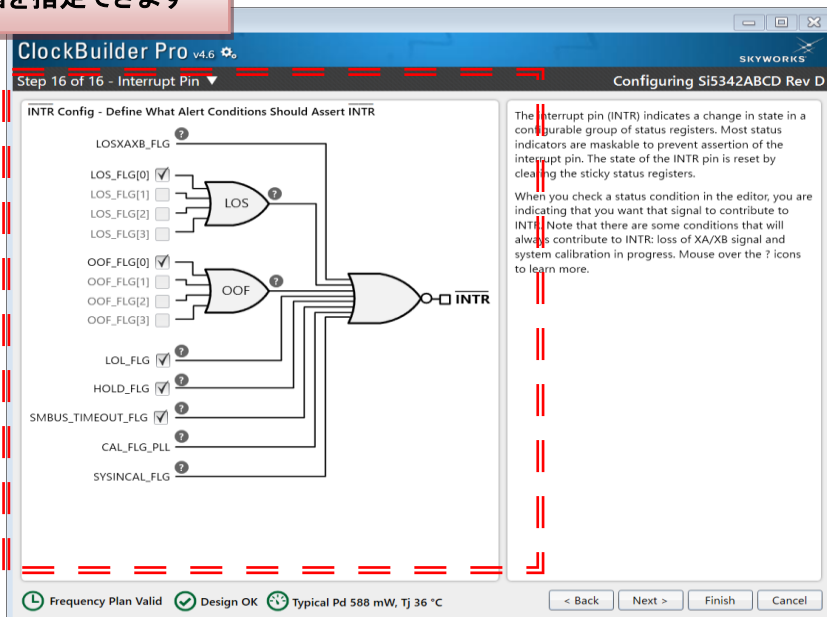
DSPLL は入力クロック周波数とフィードバックの周波数を位相比較器でモニタしていますが、Lock が外れる or Lock させる ppm 設定を調整できます。

特に調整する必要が無ければ、Default(Set for me)設定のまま Next をクリックして下さい。



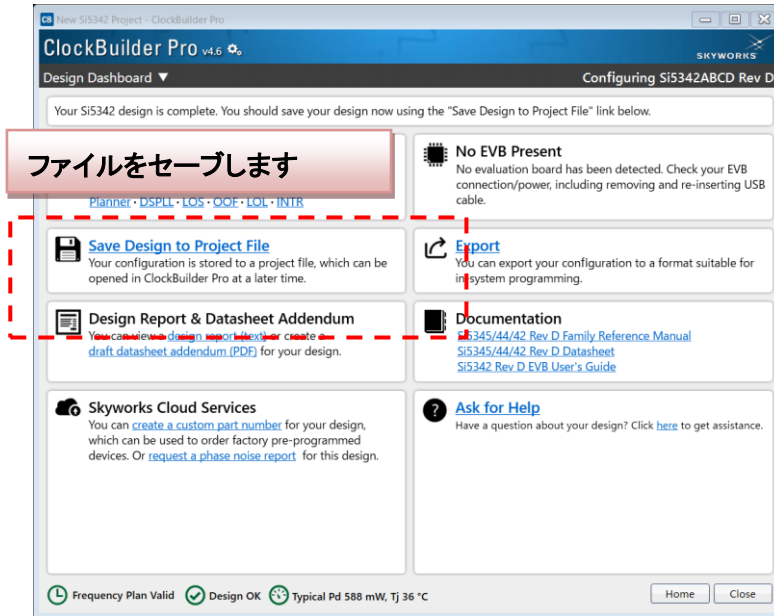
【/INTR の設定画面】

割込み要因を指定できます

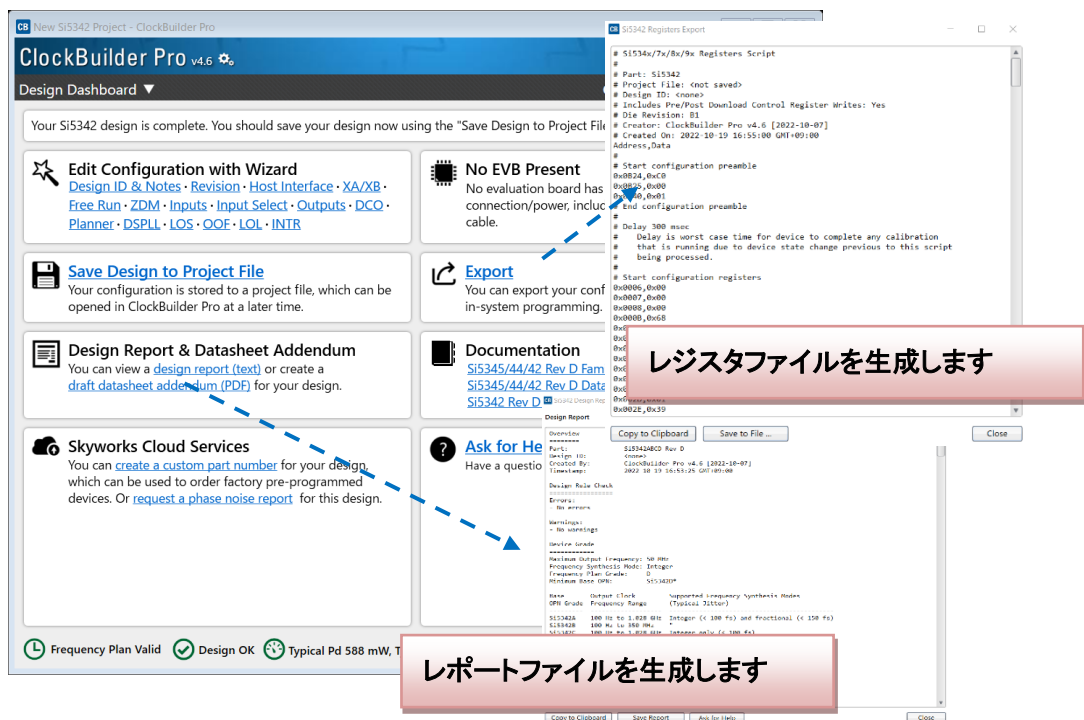


【各設定完了後の画面(Design Dashboard)】

/INTR ピンの設定が完了したら、プロジェクトファイルをセーブしてください。



デザインレポート(txt, pdf フォーマット)やレジスタファイルの生成も可能です。



改版履歴

| Version | 改定日 | 改定内容 |
|---------|----------|---|
| 1.0 | 2019年04月 | ・新規作成 |
| 1.1 | 2022年10月 | ・Silicon Labs 表記の変更(Silicon Labs⇒Skyworks) |
| 1.2 | 2022年11月 | ・「はじめに」項に Skyworks 社発行の CBPro Readme 資料の案内(URL)追記 |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |

参考文献

- Data sheet
- Reference Manual

免責、及び、ご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご利用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不審な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的なものとしてかかれたものです。製品をご使用になる場合は、メーカーリリースの資料もあわせてご利用ください。

本社

〒222-8561 横浜市港北区新横浜 1-6-3 TEL 045-470-9841 FAX 045-470-9844