

# Lattice iCE40UltraPlus ユーザーズガイド



- 本資料は、Lattice社iCE40UltraPlus(以下、iCE40UPと記載)使用時の注意事項をまとめたものです。
- 実際の動作等詳細、最終の確認は、別途データシート、テクニカルノートを参照頂きますようお願い申し上げます。
- Lattice社データシートと本資料との間に差異があった場合には、Lattice社データシートを正としてお取り扱い下さい。
- iCE40UPは'20年4月時点最新の開発ツール "Radiant" で設計可能です。本資料はRadiant使用を前提として作成しております。



	Page
<b>1. 電源ピンの処理</b>	
1-1. 電源ピン説明	5
1-2. 電源ピン注意事項	6-7
1-3. 電源シーケンス	8-10
<b>2. I/Oピンの処理</b>	
2-1. I/Oバンクの構成	12
2-2. サポートする入出力I/Fについて	13
2-3. ドライブ能力について	14
2-4. 未使用ピンの処理について	15
2-5. 内部プルアップ抵抗値について	16-17
2-6. クロック入力専用ピンについて	18
2-7. PLL入力専用ピンについて	19
2-8. RGBピンをユーザーIOとして使用する場合	20-21
<b>3. 各種アーキテクチャ</b>	
3-1. レジスタ初期値	23
3-2. PLB構造	24
3-3. EBRについて	25
3-4. I/Oレジスタの使用方法	26-28
3-5. SPRAM仕様について	29
3-6. SPRAM各ポートの説明	30
3-7. SPRAMインプリメント方法について	31
3-8. SPRAMアクセスの注意点とシミュレーション波形	32
3-9. Reveal用I/Oの確保について	33
<b>4. コンフィグレーション関連</b>	
4-1. コンフィグレーションモード	35
4-2. コンフィグ関連ピン説明	36
4-3. コンフィグレーションフローチャート	37
4-4. Warm Bootについて	38-39
4-5. コンフィグレーションデータ容量	40
4-6. コンフィグレーション時間について	41-42
4-7. CDONEピン外部プルアップ抵抗値について	43
4-8. SPI Flash書き込み & Master SPI Configuration	44
4-9. NVCM書き込み / Slave SPI Configuration	45
4-10. 統合接続回路例	46

# 1. 電源ピンの処理

## 1-1. 電源ピン説明

ピン名	電圧 (Min)	電圧 (Max)	備考
VCC	1.14V	1.26V	コア電源電圧
VPP_2V5 <sup>(2)</sup>	1.71V	3.46V	Slave SPI Configuration時の入力電圧
	2.30V	3.46V	Master SPI Configuration時の入力電圧
	2.30V	3.46V	NVCMからコンフィグレーションを行う場合の入力電圧
	2.30V	3.00V	NVCM書き込み時の入力電圧
VCCIO <sup>(1)</sup>	1.71V	3.46V	I/O用電源電圧 (VCCIO_0, SPI_VCCIO1, VCCIO_2)
VCCPLL <sup>(3)</sup>	1.14V	1.26V	PLL用電源電圧

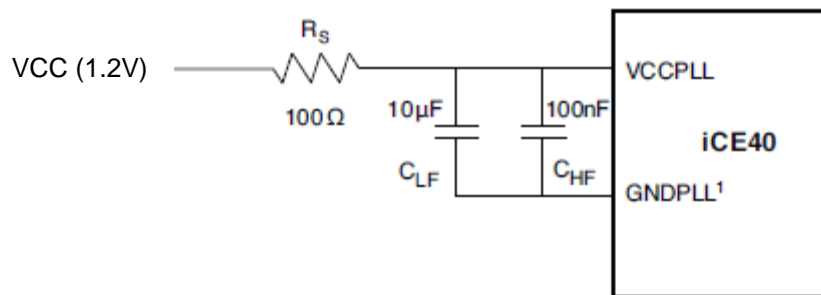
1. 未使用I/OバンクのVCCIOはVCCに接続してください
2. VPP2V5にはSlave SPI Configuration時、内部OSCとLEDドライバI/Oを使用しない場合のみ1.8V(±5%)も使用可能です。NVCM書き込み時は2.30V~3.00Vを使用してください。その他Slave SPI, Master SPI, NVCM Configuration時は3.3V(±5%)も使用可能です。
3. PLL未使用の場合、VCCPLLはVCCに接続してください。

引用 iCE40UP Data Sheet ver1.6  
Recommended Operating Conditions 項

## 1-2. 電源ピン注意事項

### ■ VCCPLLに関して

VCC (1.2V) に以下の参考回路のようにフィルタを構成してノイズ対策を実施して供給して下さい。また、GNDPLLはキャパシタを介して対になるVCCPLLとのみ接続し、ボード上のGNDには接続しないで下さい。



1. GNDPLL should not be connected to the board's ground

引用 TN1251 ver1.8  
Power Supply Filter for VCCPLL and GNDPLL 項

デカップリング・コンデンサに関する情報は下記URLから参照いただけます。

[https://www.latticesemi.com/-/media/LatticeSemi/Documents/ApplicationNotes/PT/PowerDecouplingandBypassFilteringforProgrammableDevices.ashx?document\\_id=8374](https://www.latticesemi.com/-/media/LatticeSemi/Documents/ApplicationNotes/PT/PowerDecouplingandBypassFilteringforProgrammableDevices.ashx?document_id=8374)

■ VCCIOに関して

未使用バンクについても1.71V~3.46Vを入力するようにして下さい。  
また、各スタンダードに応じて以下のように個別に入力電圧範囲が決まっていますので、この電源電圧範囲を守って下さい。

Standard	V <sub>CCIO</sub> (V)		
	Min	Typ	Max
LVC MOS 3.3	3.14	3.3	3.46
LVC MOS 2.5	2.37	2.5	2.62
LVC MOS 1.8	1.71	1.8	1.89

引用 iCE40UP Data Sheet ver1.6  
sysI/O Recommended Operating Conditions 項



iCE40UPは以下の電源が表中の規定電圧に達した際にPower On Reset (POR) が解除されます。

※別途ユーザーリセットは必要です

Symbol	Parameter		Min	Max	Unit
V <sub>PORUP</sub>	Power-On-Reset ramp up trip point (circuit monitoring V <sub>CC</sub> , SPI_V <sub>CCIO1</sub> , and V <sub>PP_2V5</sub> )	V <sub>CC</sub>	0.62	0.92	V
		SPI_V <sub>CCIO1</sub>	0.87	1.50	V
		V <sub>PP_2V5</sub>	0.90	1.53	V
V <sub>PORDN</sub>	Power-On-Reset ramp down trip point (circuit monitoring V <sub>CC</sub> , SPI_V <sub>CCIO1</sub> , and V <sub>PP_2V5</sub> )	V <sub>CC</sub>	—	0.79	V
		SPI_V <sub>CCIO1</sub>	—	1.50	V
		V <sub>PP_2V5</sub>	—	1.53	V

**Note:** These POR trip points are only provided for guidance. Device operation is only characterized for power supply voltages specified under recommended operating conditions.

引用 iCE40UP Data Sheet ver1.6  
Power-On-Reset Voltage Levels 項



電源のランプレートは以下の条件を満たす必要があります。

- ・全ての電源供給方式において、電源を立ち上げる場合  
⇒ 0.6 ~ 10 V/ms

### 4.3. Power Supply Ramp Rates

Table 4.3. Power Supply Ramp Rates

Symbol	Parameter	Min	Max	Unit
$t_{\text{RAMP}}$	Power supply ramp rates for all power supplies	0.6	10	V/ms

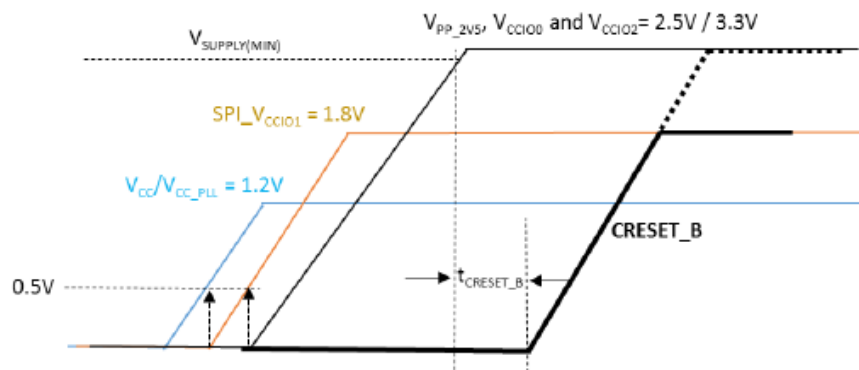
**Notes:**

1. Assumes monotonic ramp rates.
2. Power up sequence must be followed. See the Power-up Supply Sequence section below.

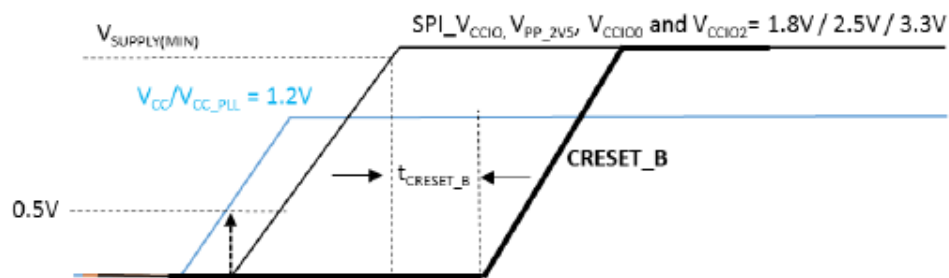
引用 iCE40UP Data Sheet ver1.6  
Power Supply Ramp Rates 項

## 1-3. 電源シーケンス

- VCCおよびVCCPLLは、最初に動作規定値に達する2つの電源である必要があります
- SPI\_VCCIO1はVCCおよびVCCPLLが0.5 V以上に達した後はいつでも立ち上げ可能です
- VPP\_2V5はVCC、VCCPLLおよびSPI\_VCCIO1が0.5 V以上に達した後はいつでも立ち上げ可能です
- VCCIO0およびVCCIO2はデバイスの電源投入に影響を与えません。初期電源(VCCおよびVCCPLL)が0.5 V以上に達した後はいつでも立ち上げ可能です。パワーダウンシーケンスは必要ありません



- SPI\_VCCIO1とVPP\_2V5が別電源の場合の電源シーケンス
- \*Slave SPI ConfigurationでSPI\_VCCIO1に1.8V使用時



- SPI\_VCCIO1とVPP\_2V5が共通電源の場合の電源シーケンス

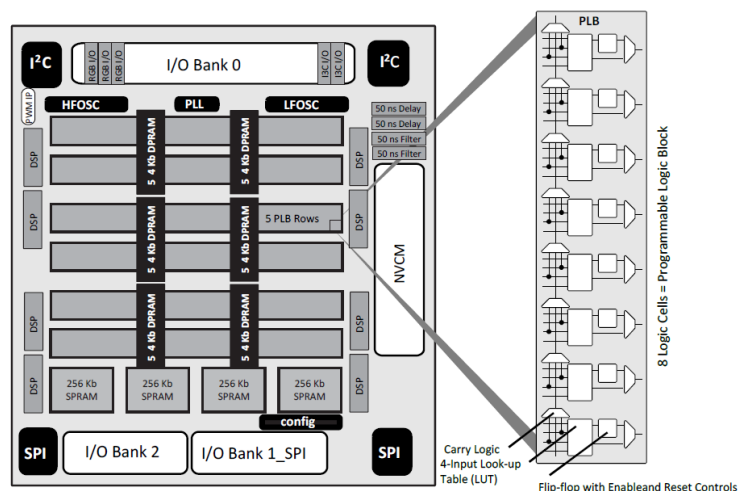
※全ての電源が動作規定値に達した後にCRESET\_BをLow→Highとトグルすることが必要

※tCRESET\_Bのmin値は200ns

引用：iCE40UP Data Sheet ver1.6 "Figure 4.2. Power Up Sequence with All Supplies Connected Together to 1.8 V"項

## 2. I/Oピンの処理

## 2-1. I/Oバンクの構成



- iCE40UPはBank 0～2の3Bankを持っており、各Bank毎に電源（VCCIO）が用意されています。
- 各バンクで使用するI/Oスタンダードに応じてバンク電源（VCCIO）に適切な電圧を入力して下さい（2-2項参照）。
- I/Oピンの差動ペア毎に差動コンパレータを有しております。  
※差動信号検討時は弊社FAEへお問い合わせください
- 各Input Portに対して内部プルアップが設定可能です。  
ツール設定で以下のプルアップの有効、無効が設定できます。  
100K (100kΩ), 10K (10kΩ), 6P8K (6.8kΩ), 3P3K (3.3kΩ), NA (Radiant2.0.0で確認)
- Output Portはツール上ではNAのみ選択可能です。  
不定出力信号をアサインした場合、Port出力が安定しない事が考えられますので明示的なRTL記述をお願い致します。
- iCE40UPの全てのI/Oは活栓挿抜に対応していません。  
電源OFF時に外部から信号を入力することはできませんので、ご注意ください。
- iCE40UPのI/Oはコンフィグレーション中はHi-zで内部プルアップが有効となっています。
- iCE40UPは3つのRGB LED output portを有し、LED DIODEから外部素子を必要とせず、最大24mAを引き込むことが可能です

### Input Standard

I/O Standard	V <sub>CCIO</sub> (Typical)		
	3.3 V	2.5 V	1.8 V
<b>Single-Ended Interfaces</b>			
LVC MOS33	Yes	—	—
LVC MOS25	—	Yes	—
LVC MOS18	—	—	Yes

### Output Standard

I/O Standard	V <sub>CCIO</sub> (Typical)
<b>Single-Ended Interfaces</b>	
LVC MOS33	3.3 V
LVC MOS25	2.5 V
LVC MOS18	1.8 V

引用 iCE40UP Data Sheet Ver1.6, sysIO Buffer項

iCE40UPはMulti Voltage Inputに対応しておりません。各入力スタンダードに応じたVCCIOを供給する必要があります。

例えば、3.3V LVC MOSインターフェースを取る際は該当バンクのVCCIOに3.3Vを供給する必要があり、またそのバンクに属するI/Oに3.3V以外（2.5V、1.8V等）の信号を入力することはできません。

Input/Output Standard	$V_{IL}$		$V_{IH}$		$V_{OL} \text{ Max (V)}$	$V_{OH} \text{ Min (V)}$	$I_{OL} \text{ (mA)}$	$I_{OH} \text{ Max (mA)}$
	Min (V)	Max (V)	Min (V)	Max (V)				
LVCMOS 3.3	-0.3	0.8	2.0	$V_{CCIO} + 0.2 \text{ V}$	0.4	$V_{CCIO} - 0.4$	8	-8
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 2.5	-0.3	0.7	1.7	$V_{CCIO} + 0.2 \text{ V}$	0.4	$V_{CCIO} - 0.4$	6	-6
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 1.8	-0.3	$0.35 V_{CCIO}$	$0.65 V_{CCIO}$	$V_{CCIO} + 0.2 \text{ V}$	0.4	$V_{CCIO} - 0.4$	4	-4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1

引用 iCE40UP Data Sheet Ver1.6, sysI/O Single-Ended DC Electrical Characteristics項

iCE40UPのドライブ電流は

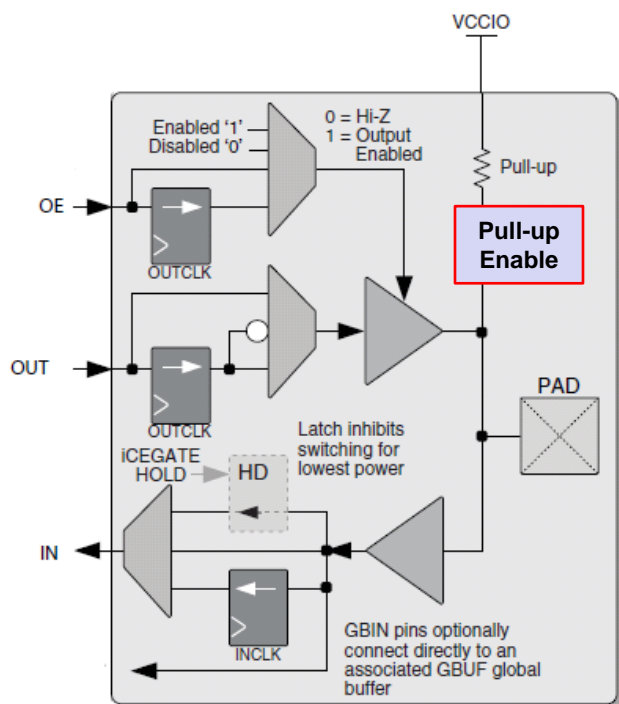
- LVCMOS 3.3 8mA (Max)
- LVCMOS 2.5 6mA (Max)
- LVCMOS 1.8 4mA (Max)

となっており、全て固定値でツールでの変更はできません。

(Radiant2.0.0で確認)

- ・ iCE40UPの未使用ピンは全てオープンで構いません。
- ・ 開発ツールRadiant上で未使用ピンは内部プルアップが有効となります。

(Radiant2.0.0のSignal Pad ReportでPull Upを確認)  
(iCE40UP Breakout Board 上で未使用ピンの電圧レベルを確認)



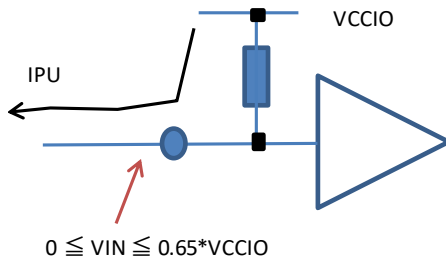


## 2-5. 内部プルアップ抵抗値について

- ・ iCE40UPの内部プルアップ抵抗値はプルアップ抵抗に流れるリーク電流と、Vccioの推奨電圧範囲から求められます。

Symbol	Parameter	Condition	Min.	Typ.	Max.	Units
I <sub>PU</sub> <sup>6,7</sup>	Internal PIO Pull-up Current	V <sub>CCIO</sub> = 1.8 V, 0=<V <sub>IN</sub> <=0.65 V <sub>CCIO</sub>	-3	—	-31	μA
		V <sub>CCIO</sub> = 2.5 V, 0=<V <sub>IN</sub> <=0.65 V <sub>CCIO</sub>	-8	—	-72	μA
		V <sub>CCIO</sub> = 3.3 V, 0=<V <sub>IN</sub> <=0.65 V <sub>CCIO</sub>	-11	—	-128	μA

引用 iCE40UP Data Sheet Ver1.6, DC Electrical Characteristics項



Standard	V <sub>CCIO</sub> (V)		
	Min.	Typ.	Max.
LVC MOS 3.3	3.14	3.3	3.46
LVC MOS 2.5	2.37	2.5	2.62
LVC MOS 1.8	1.71	1.8	1.89

引用 iCE40UP Data Sheet Ver1.6, sysI/O Recommended Operating Conditions項

I<sub>pu</sub>が最大になるのはVIN = 0Vとして、オームの法則より以下のプルアップ抵抗値が求められます。

	VCCIO[V]	IPU[μA]	R <sub>pu_eff</sub> [kΩ]
LVC MOS33	3.46	128	27.031
LVC MOS33	3.14	128	24.531
LVC MOS25	2.62	72	36.389
LVC MOS25	2.37	72	32.917
LVC MOS18	1.89	31	60.968
LVC MOS18	1.71	31	55.161

I<sub>pu</sub>が最小になるのはVIN = 0.65\*V<sub>ccio</sub>として、オームの法則より以下のプルアップ抵抗値が求められます。

	VCCIO[V]	V <sub>delta</sub> [V]	IPU[μA]	R <sub>pu_eff</sub> [kΩ]
LVC MOS33	3.46	1.211	11	110.091
LVC MOS33	3.14	1.099	11	99.909
LVC MOS25	2.62	0.917	8	114.625
LVC MOS25	2.37	0.8295	8	103.688
LVC MOS18	1.89	0.6615	3	220.500
LVC MOS18	1.71	0.5985	3	199.500

※V<sub>delta</sub> = 0.35\*VCCIO

以上から、内部プルアップ抵抗値は次のように算出されます。

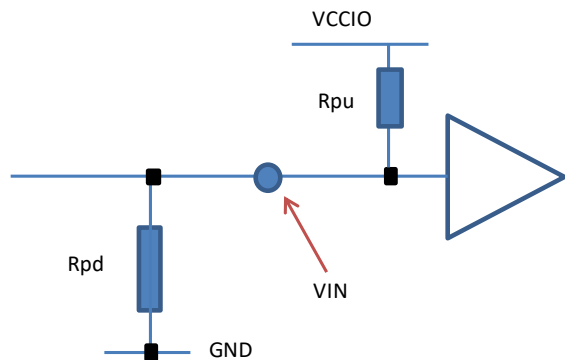
24.5KΩ ~ 110KΩ @ LVC MOS33

32.9KΩ ~ 115KΩ @ LVC MOS25

55.1KΩ ~ 221KΩ @ LVC MOS18

## 2-5. 内部プルアップ抵抗値について

- ・コンフィグレーション中など、内部プルアップON、出力Hi-zの時は内部プルアップによるHighが現れますが、これを外部プルダウンでLowに固定するには、内部プルアップ抵抗値が最小時に外部プルダウンでピンの電位をVIL(Max)以下となるようにプルダウン抵抗値を決定します。



抵抗分圧式  $VIN = VCCIO * Rpd / (Rpu + Rpd)$  より、  
内部プルアップON時にLowレベル確定するには、  
 $VCCIO * Rpd / (Rpu\_min + Rpd) < VILmax$   
 $Rpd < Rpu\_min * VILmax / (VCCIO - VILmax)$   
を満たす必要があり、以下のように算出されます。

	VCCIO	VILmax	Rpu_min	Rpd [kΩ]
LVC MOS33	3.14	0.8	24.531	8.387
LVC MOS25	2.37	0.7	32.917	13.798
LVC MOS18	1.71	0.5985	55.161	29.702

以上から、以下の抵抗値より小さいプルダウン抵抗で、プルアップONでもピンがLowに固定されます。

8.39KΩ @ LVC MOS33  
13.8KΩ @ LVC MOS25  
29.7KΩ @ LVC MOS18

※2.2K程度のプルダウン抵抗を用意すれば問題ありません。

※ユーザーモードでのIO設定をプルアップかつ外部プルダウン設置をご検討の際は、ツール上で内部プルアップ抵抗設定値を100K (100kΩ), 10K (10kΩ)として頂ければ上記の通りですが、6P8K (6.8kΩ), 3P3K (3.3kΩ)を設定の際は、本項Rpu\_minに6.8/3.3を代入する事で外部プルダウン抵抗値をご検討お願い致します。

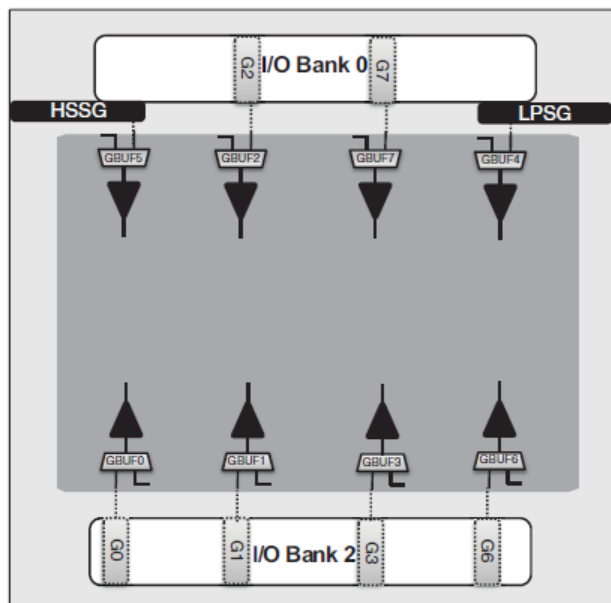
※前ページより、内部プルアップ抵抗値(Min)は以下の通り  
24.5KΩ @ LVC MOS33  
32.9KΩ @ LVC MOS25  
55.2KΩ @ LVC MOS18

※VIL (Max) は以下の通り

Input/ Output Standard	V <sub>IL</sub>	
	Min. (V)	Max. (V)
LVC MOS 3.3	-0.3	0.8
LVC MOS 2.5	-0.3	0.7
LVC MOS 1.8	-0.3	0.35V <sub>CCIO</sub>

引用 iCE40UP Data Sheet Ver1.6,  
sysI/O Single-Ended DC Electrical Characteristics項

## 2-6. クロック入力専用ピンについて

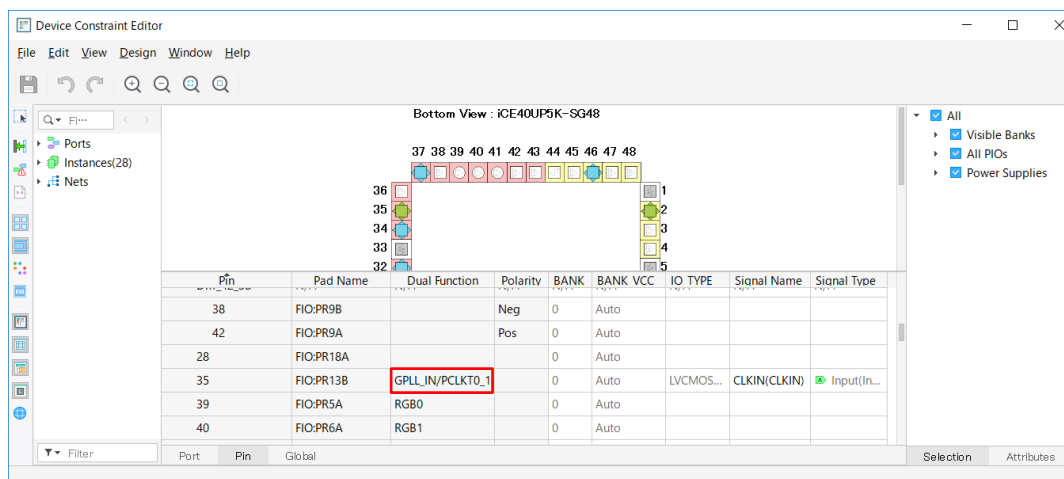


- iCE40UPには6本のクロック入力専用ピンG[7:6, 3:0]が用意されています。
- これら専用入力ピンは、同時にグローバルリセットライン、グローバルクロックイネーブルラインへの専用入力ピンも兼ねています。
- これらの専用入力ピンから入力された信号は、自動でグローバルバッファGBUF[7:6, 3:0]を経由して配線スキューの少ないグローバルラインに最短で配線されます。
- GBUF4/GBUF5はそれぞれオンチップオシレータLFOSC/HFOSCに接続されており、入力ピンからの接続はありません。
- GBUF[7:0]はその他RTL上でGBUFプリミティブ記述を使用してグローバルラインに接続することは可能ですが、一般配線からGBUFまでの遅延は生じます。
- GBUF[7:0]の接続可能なグローバルラインは下記表のとおりとなります  
※グローバルクロックラインにはどのGBUFからでも接続されます。

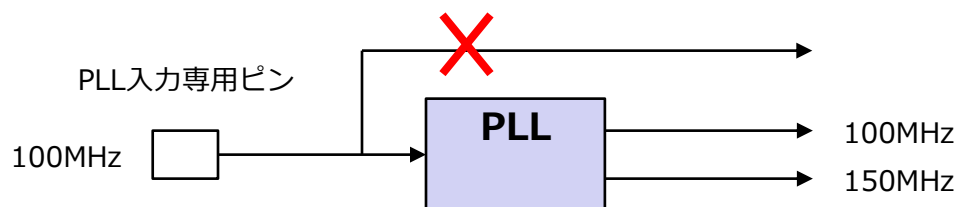
Global Buffer	LUT Inputs	Clock	Reset	Clock Enable
GBUF0	Yes, any 4 of 8 GBUF Inputs	✓	✓	—
GBUF1		✓	—	✓
GBUF2		✓	✓	—
GBUF3		✓	—	✓
GBUF4		✓	✓	—
GBUF5		✓	—	✓
GBUF6		✓	✓	—
GBUF7		✓	—	✓

引用 iCE40UP Data Sheet Ver1.6, Clock/Control Distribution Network項

PLLの入カピンとして、GPLL\_INピンの使用を推奨致します。GPLL\_INを使用する事で入力PADからPLL入力までのNET DELAYが最短となります。Radiant内サブツールDevice Constraint Editor上でGPLL\_INピンを参照してください。(Radiant2.0.0で確認)



Dedicated Clock Padからクロックを入力するタイプのPLLの場合、アーキテクチャ上、入力クロックを分岐して他のロジックで使うことができません。そのため別ロジックでPLL入力クロックと同じ周波数のクロックを使用する場合、PLL出力ポートのうち1つを入力クロックスルー出力に設定する必要がありますので、生成したいPLLのタイプによって専用ピンを使用するかどうか予め検討する必要があります。



入力クロックの分岐はできず、同じ周波数のクロックを使用する場合はスルー出力を用意します。

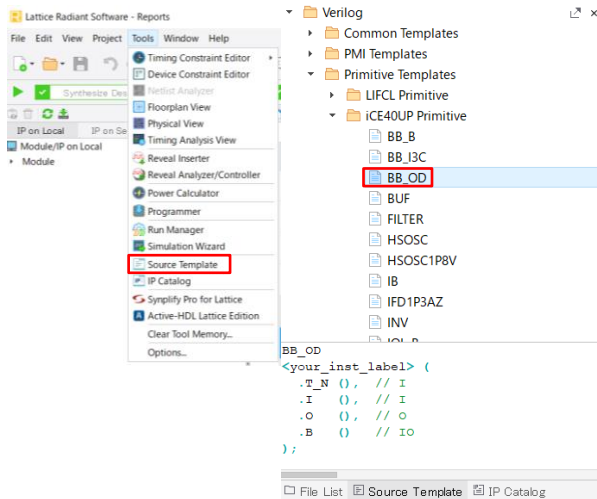
## 2-8. RGBピンをユーザーIOとして使用する場合

- Bank0に3つのLEDドライバ用RGBピンがあります (RGB0, RGB1, RGB2)
- このピンはopen-drain IOとして通常のユーザーロジックと接続可能です
- その際、BB\_ODプリミティブのインスタンスが必要です
- BB\_ODプリミティブはRadiantのTools => Source Templateよりテンプレートコードを参照頂けます

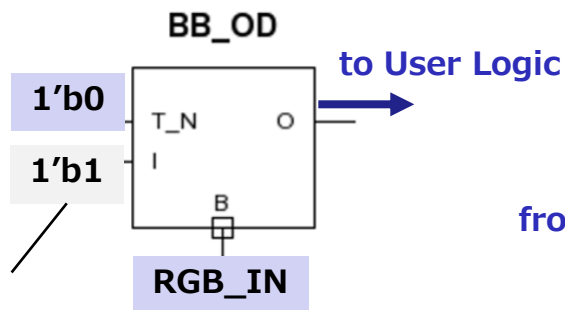
BB\_OD入出力一覧 ※Radiant 2.0 Helpより転記

I (INPUT) Data to Pad	T_N (INPUT) Tri-state control	O (OUTPUTS) Data from pad	B (BIDIRECTIONAL) Connection to Pad
X	0	U	Z
X	0	1	1
X	0	0	0
0	1	0	0
1	1	Z	Z

X = Don't care, U = Unknown

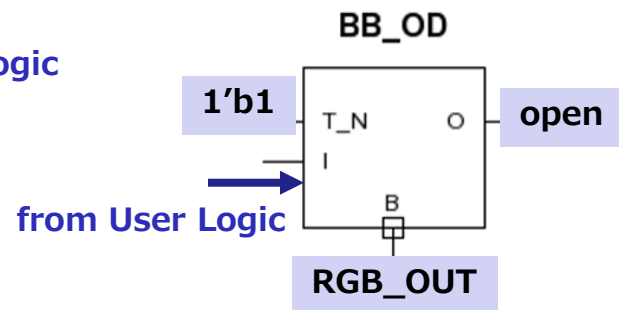


■ RGBピンをInputピンとして使用する場合



Iの入力はDon't Careですが、1'b1入力で動作を確認済です

■ RGBピンをOutputとして使用する場合



(Radiant2.0.0及びiCE40UP Breakout Board 上でinput/outputの動作確認済)

- RGBピンは汎用I/Oに比べて負荷容量が大きくなっております
- 速度の速い信号は汎用I/Oを使用して頂く事を推奨致します

Symbol	Parameter	Condition	Min	Typ	Max	Unit
C <sub>1</sub>	I/O Capacitance, excluding LED Drivers <sup>2</sup>	V <sub>CCIO</sub> = 3.3 V, 2.5 V, 1.8 V V <sub>CC</sub> = Typ, V <sub>IO</sub> = 0 to V <sub>CCIO</sub> + 0.2 V	—	6	—	pf
C <sub>2</sub>	Global Input Buffer Capacitance <sup>2</sup>	V <sub>CCIO</sub> = 3.3 V, 2.5 V, 1.8 V V <sub>CC</sub> = Typ, V <sub>IO</sub> = 0 to V <sub>CCIO</sub> + 0.2 V	—	6	—	pf
C <sub>3</sub>	RGB Pin Capacitance <sup>2</sup>	V <sub>CC</sub> = Typ, V <sub>IO</sub> = 0 to 3.5 V	—	15	—	pf

引用 iCE40UP Data Sheet Ver1.6, DC Electrical Characteristics項

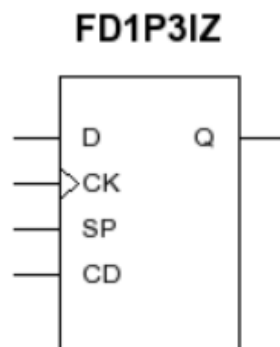


### 3. 各種アーキテクチャ



## 3-1. レジスタ初期値

iCE40UPのレジスタ出力は電源起動後のPower On Reset、及びCRESET\_B = LowによるSRAM領域のデータ消去後は0にリセットされます。下図はリセット有りD-FlipFlopの真理値表ですが、他のタイプのレジスタも全て初期値は0にリセットされます。



Inputs				Output
D	SP	CK	CD	Q
X	0	X	0	Q
X	1	↑	1	0
0	1	↑	0	0
1	1	↑	0	1

引用： Lattice RADIANT Software Help Primitive Library - iCE40 UltraPlus 項

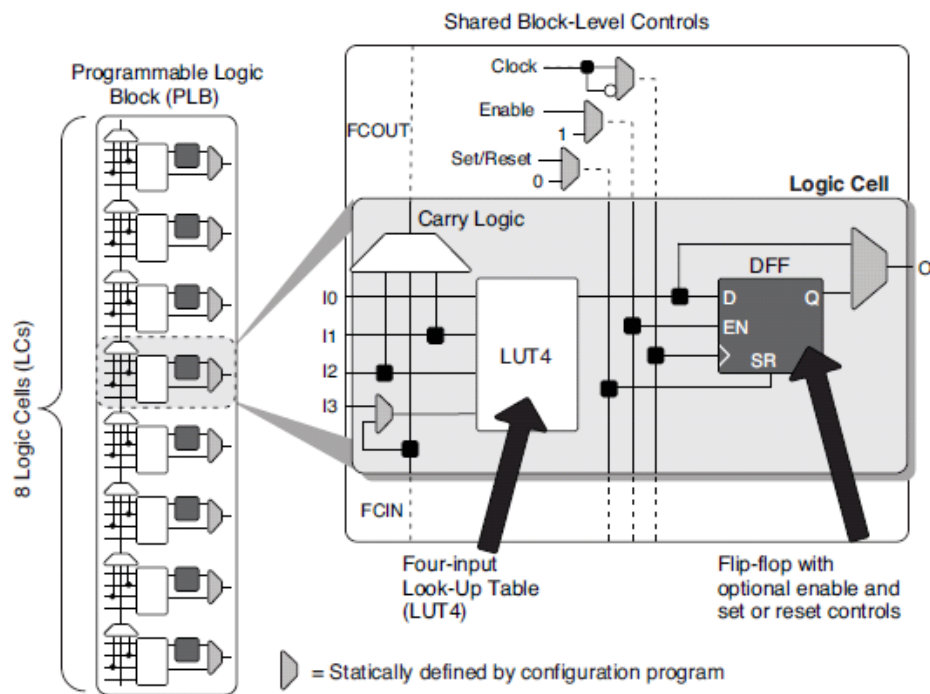
## 3-2. PLB構造

iCE40UPは、LUT、DFF、Carry LogicがセットになったLogic Cellという構造を持っており、Logic Cell 8個でPLB (Programmable Logic Block)を構成しています。

下図のように、1つのPLBでClock、Enable、Set/Reset信号を共用しています。

そのため、Clock、Enable、Set/Resetの系統数が多い設計の場合、使用しないLogic Cellを残したまま他のPLBを使用するケースが増えるため、フィッティング効率が悪くなることがあります。

なるべくClock、Enable、Set/Resetの系統数を少なくする設計により、効率的なフィッティングが可能になります。



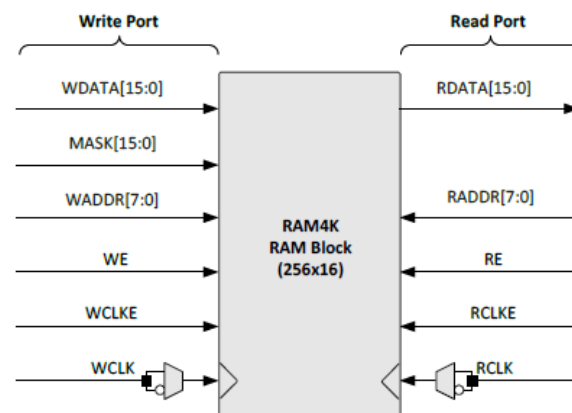
引用 : DS-02008-1.6 sysMEM Block Configurations 項

Part Number	ICE40UP3K	ICE40UP5K
Logic Cells (LUT + Flip-Flop)	2800	5280
EBR Memory Blocks	20	30
EBR Memory Bits (Kbits)	80	120
SPRAM Memory Blocks	4	4
SPRAM Memory Bits (Kbits)	1024	1024

引用 : DS-02008-1.6 sysMEM Block Configurations

ICE40UPはSPRAMとは別にメモリ専用ブロックEmbedded Block Memory(EBR)を保有しています。1ブロック4Kbitで5Kデバイスで最大30Block(120Kbit)のメモリを構成できます。プリミティブ記述で生成できるメモリ (RAM) は以下の一覧の通りです。詳細はTN1250 "Memory Usage Guide for ICE40 Devices" ICE40 sysMEM Embedded Block RAM Memory Primitives 項をご参照下さい。

Block RAM Configuration	Block RAM Configuration and Size	WADDR Port Size (Bits)	WDATA Port Size (Bits)	RADDR Port Size (Bits)	RDATA Port Size (Bits)	MASK Port Size (Bits)
SB_RAM256x16 SB_RAM256x16NR SB_RAM256x16NW SB_RAM256x16NRNW	256x16 (4 k)	8 [7:0]	16 [15:0]	8 [7:0]	16 [15:0]	16 [15:0]
SB_RAM512x8 SB_RAM512x8NR SB_RAM512x8NW SB_RAM512x8NRNW	512x8 (4 k)	9 [8:0]	8 [7:0]	9 [8:0]	8 [7:0]	No Mask Port
SB_RAM1024x4 SB_RAM1024x4NR SB_RAM1024x4NW SB_RAM1024x4NRNW	1024x4 (4 k)	10 [9:0]	4 [3:0]	10 [9:0]	4 [3:0]	No Mask Port
SB_RAM2048x2 SB_RAM2048x2NR SB_RAM2048x2NW SB_RAM2048x2NRNW	2048x2 (4 k)	11 [10:0]	2 [1:0]	11 [10:0]	2 [1:0]	No Mask Port



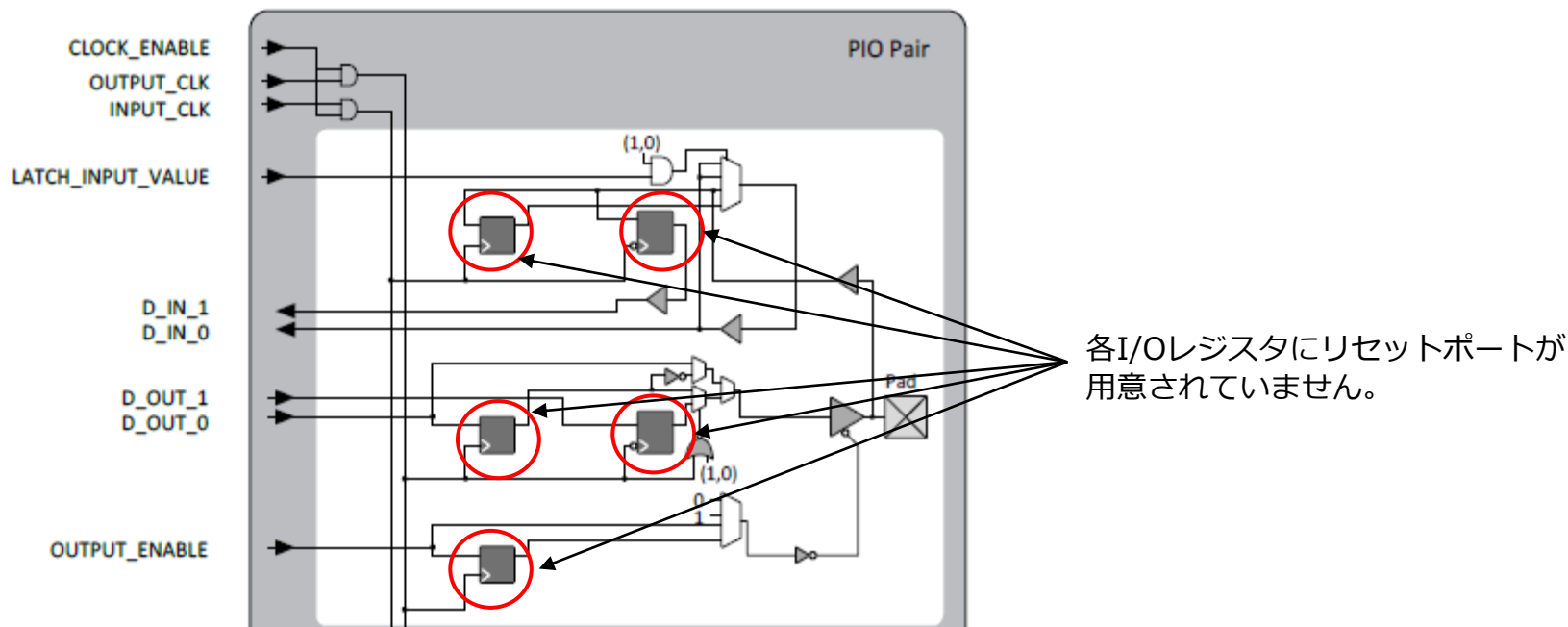
引用 : DS-02008-1.6 sysMEM Block Configurations 項

## 3-4. I/Oレジスタの使用方法

iCE40UPにはI/Oセル内にレジスタが用意されており、これを使用することで入力データと出力データの遅延最小化が可能になります。また、出力データバスをI/Oレジスタにアサインすることで、出力データ間スキューを最小に抑えることができます。

**設計ツールRADIANTで何も意識せずにコンパイルを通すと、初段レジスタ/最終段レジスタがI/Oレジスタにアサインされません。** I/Oレジスタにアサインするには以下の3つの条件を満たす必要があります。

- Inputレジスタにアサインするレジスタの前、Outputレジスタにアサインするレジスタの後ろに論理を組まない。
- レジスタにSet/Resetの記述をしない（I/OレジスタがSet/Reset入力を持っていないため \*下図参照）。
- アトリビュート記述にてレジスタ毎にI/Oレジスタにアサインする設定を行う。



RADIANTでのI/Oレジスタへのアサインは以下の手順で行います。

I/Oレジスタにアサインしたいレジスタに対して、下記の様にアトリビュート記述をRTL上に記載

```

module top
(
  data_in,
  data_out,
  rst,
  clk
);

input rst;
input clk;
input data_in;
output data_out;

reg input_reg/*synthesis syn_useioff = 1*/;
reg output_reg/*synthesis syn useioff = 1*/;
reg buffer;

always@(posedge clk)begin
  input_reg <= data_in;

```

### アトリビュート記述の詳細について

**/\*synthesis syn\_useioff = 0\*/**

⇒I/Oレジスタにアサインされない

**/\*synthesis syn\_useioff = 1\*/**

⇒I/Oレジスタにアサインされる

## 3-4. I/Oレジスタの使用方法

設定が正しく反映されていれば、以下のようにI/OレジスタにアサインされていることがRADIANTのMap Report上で確認できます。

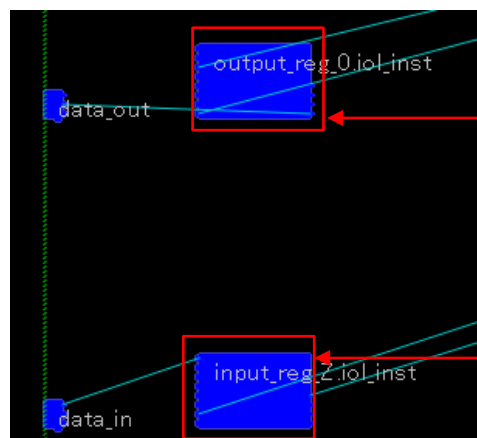
### IO (PIO) Attributes

IO Name	Direction	Levelmode	IO REG	IO DDR	Special IO Buffer
		IO_TYPE			
data_in	INPUT	LVC MOS33	I		
clk	INPUT	LVC MOS33			
data_out	OUTPUT	LVC MOS33	O		

Inputレジスタにアサイン

Outputレジスタにアサイン

Place & Route Design(配置配線)プロセス後であれば、Physical Viewにて正しくアサインされているかどうかを確認する事も可能です。



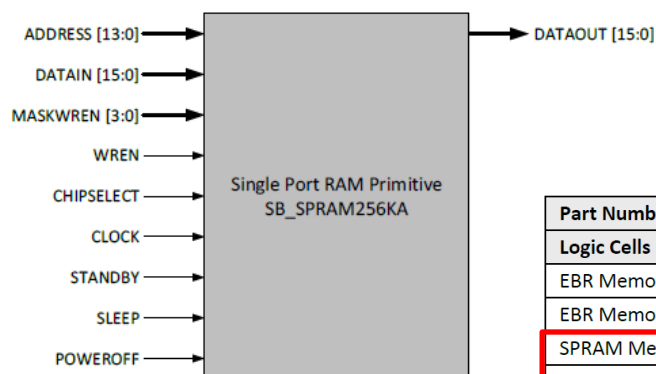
Outputレジスタにアサイン

Inputレジスタにアサイン



## 3-5. SPRAM仕様について

ice40UPにはEBRとは別に、1024KbitのSPRAMが内蔵されております。  
 SPRAMは、Address深さ14bit、Data幅16bitで構成された256Kbitのメモリブロックで構成されており、ice40UPにはSPRAMが4つ内蔵されている為、最大1024kbitのメモリを構成することが可能です。



Part Number	iCE40UP3K	iCE40UP5K
<b>Logic Cells (LUT + Flip-Flop)</b>	<b>2800</b>	<b>5280</b>
EBR Memory Blocks	20	30
EBR Memory Bits (Kbits)	80	120
SPRAM Memory Blocks	4	4
SPRAM Memory Bits (Kbits)	1024	1024
NVCM	Yes	Yes
PLL	1	1
DSP Blocks (MULT16 with 32-bit Accumulator)	4	8
Hardened I <sup>2</sup> C, SPI	2, 2	2, 2
HF Oscillator (48 MHz)	1	1
LF Oscillator (10 KHz)	1	1
24 mA LED Sink	3	3
PWM IP Block	Yes	Yes
<b>Packages, ball pitch, dimension</b>	<b>Total User I/O Count</b>	
30-ball WLCSF, 0.4 mm, 2.15 mm x 2.55 mm	21	21
48-ball QFN, 0.5 mm, 7.0 mm x 7.0 mm	-	39

引用 : TN1314 Version 1.0 iCE40 UltraPlus Family Selection Guide 項



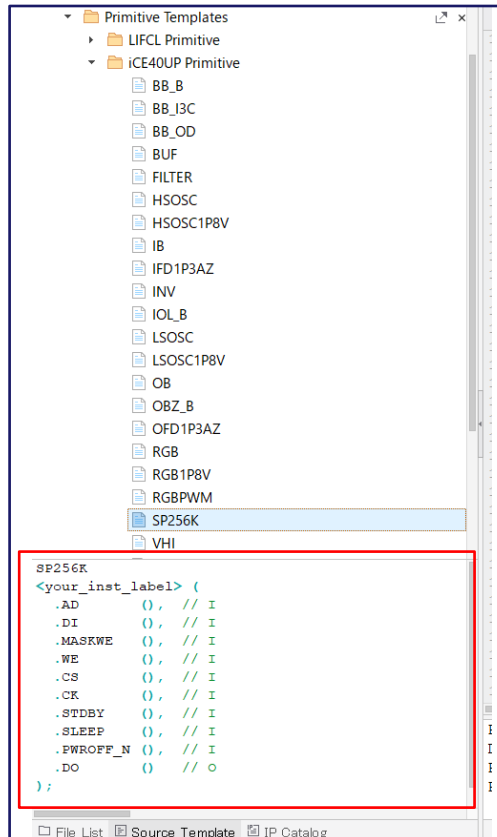
## 3-6. SPRAM各ポートの説明

ピン名(ドキュメント記載)	ピン名(ソースファイル記述)	ピン方向	説明
ADDRESS[13:0]	AD	入力	アドレス深さ14bitのWrite/Read時のアドレス入力用ポートとなります。
DATAIN[15:0]	DI	入力	16bitのWrite Data入力ポートとなります。
MASKWREN[3:0]	MASKWE	入力	SPRAMの16bit Data入力ポートのWriteデータを4bit単位でWrite動作をマスクする為の制御ポートとなります。Lowで該当の4bit Data入力のWrite動作をマスクします。
WREN	WE	入力	Writeイネーブル信号になります。HighでWrite動作、LowでRead動作に切り替わります。
CHIPSELECT	CS	入力	チップセレクト信号となります。HighでWrite/Read動作が有効になり、Lowで無効になります。Write途中でCSをLowにすると、Writeデータを受け付けなくなり、Read途中でCSをLowにすると、最後にReadされた値を保持します。
CLOCK	CK	入力	Write/Read時の動作クロックになります。
STANDBY	STDBY	入力	Highでスタンバイモードに移行し、消費電力を低減します。スタンバイモード時ではWrite/Read動作を受け付けませんが、スタンバイモードに移行してもメモリ内部のデータは保持され、出力状態は最後にReadされた値を保持します。
SLEEP	SLEEP	入力	Highでスリープモードに移行します。スタンバイモードよりも消費電力を下げるのが可能ですが、スリープモードでの出力状態は、Low固定となります。
POWEROFF	PWOROFF_N	入力	Lowでメモリコアへの電源が遮断されるため、スリープモードよりも消費電力を低く抑えることが可能ですが、メモリ内部のデータも消失し、出力状態も不定となります。
DATAOUT[15:0]	DO	出力	Readデータの出力ポートになります。

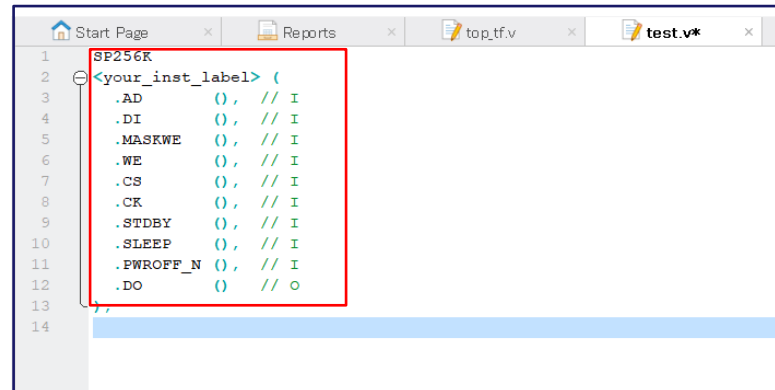
引用 : TN1314 Version 1.0 SB\_SPRAM256KA RAM Port Definitions 項

SPRAMのインプリメント方法を下記に紹介します。

1. Radiant>Source Template>iCE40UP Primitiveから“SP256K”をクリックします。



2. 表示されるテンプレートをEditorにドラッグ&ドロップします。

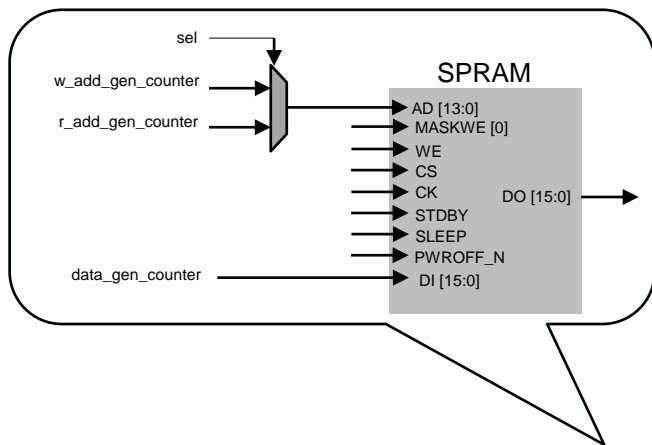


インプリした後、Radiant>Map Reportにて、SPRAMの使用率を確認することが可能です。

Number of RGB PWM:	0 out of 1 (0%)
Number of RGB Drivers:	0 out of 1 (0%)
Number of SCL FILTERs:	0 out of 2 (0%)
Number of SRAMs:	1 out of 4 (25%)
Number of WARMBOOTs:	0 out of 1 (0%)
Number of SPIs:	0 out of 2 (0%)
Number of EBRs:	0 out of 30 (0%)

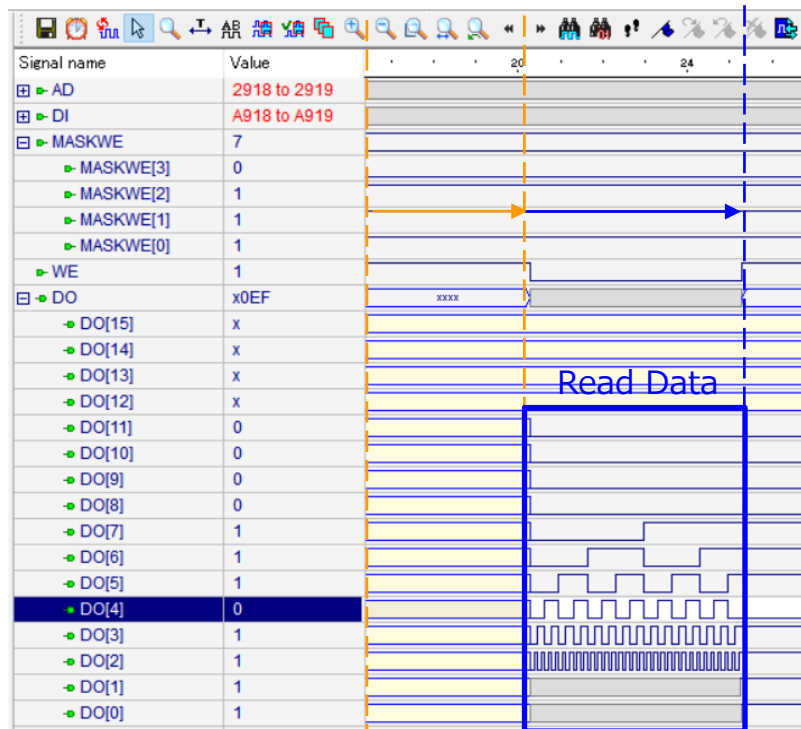
## 3-8. SPRAMアクセスの注意点とシミュレーション波形

下図はSPRAM1つをインプリメントした回路の構成とシミュレーション波形になります。



“MASKWEN”に“4'b0111”を  
入力した状態でWrite。  
Write時は“WE”にHighを入力

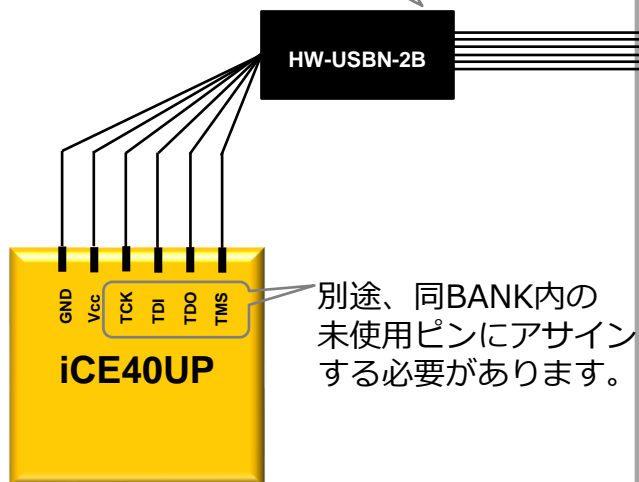
Read時は“WE”にLow入力。  
Read Dataは、DO[11:0]から出力  
され、[15:12]は不定値が出力



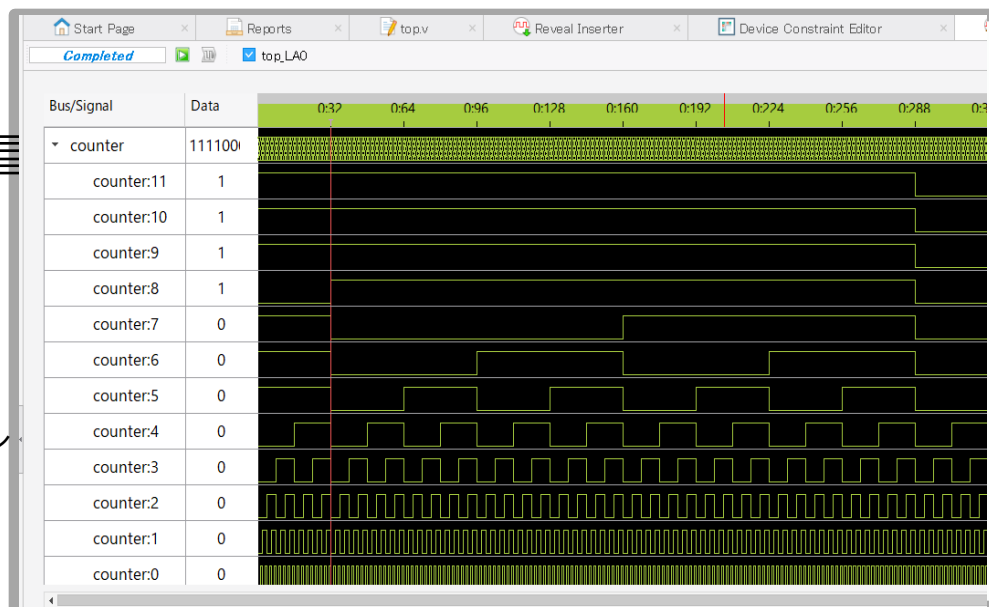
上図のケースでは、Write時に“MASKWEN”を“4'b0111”としている為、DI[15:12]はWrite動作がマスクされ、DI[11:0]データのみWriteされます。その為、Read時にはDO[15:12]から不定値が出力され、DO[11:0]からWriteされたデータがReadされます。

## 3-9. Reveal用I/Oの確保について

別途、HW-USBN-2B  
ケーブルが必要となります。



### Radiant Reveal Analyzer GUI



iCE40UPとPCをDownload Cable(HW-USBN-2B)で接続し、動作中に内部波形の観測を行うことができます。内部波形観測にはRevealというJTAG I/Fのツールを使用しますが、iCE40UPはJTAG I/Fを持っていないため、JTAG回路をエミュレートした回路を埋め込み、汎用I/OをJTAGピンに見立ててRevealを動作させます。JTAG I/FとしてTDO、TDI、TMS、TCKの4本が必要になります。

**iCE40UPはMulti voltage Inputに対応していないため、これら4本の信号をアサインするI/OのBank Vccioは同じにするよう回路図設計時から注意して下さい。** Revealの使用方法については別途弊社FAEにお問い合わせ下さい。

# コンフィグレーション関連

### コンフィグレーションモード

iCE40UPでは、以下のコンフィグレーションモードが用意されています

Mode	Analogy	Configuration Data Source
NVCM*	ASIC	Internal, lowest-cost, secure, one-time programmable NVCM.
Master SPI	Microprocessor	External, low-cost, commodity, SPI serial Flash PROM.
Slave SPI	Processor Peripheral	Configured by external device, such as a processor, microcontroller, or DSP using practically any data source, such as system Flash, a disk image, or over a network connection.

引用：FPGA-TN-02001-3.1 "Table 2.1. Single-Ended I/O Standards"項

**Master SPIモード**：電源起動時に、専用ポートに接続されたSPI Flashにあらかじめ書き込まれていたコンフィギュレーションデータにより自動的に起動するモード。

**Slave SPIモード**：電源起動後、外部に接続されたMCUやFPGAから専用のポートにSPI I/F経由でコンフィギュレーションデータを書き込み起動するモード

**NVCMモード**※：電源起動時に、内蔵のNVCMに書き込まれたコンフィギュレーションデータを自動的に展開し起動するモード。設定は不可逆の為試作時や少数の製造には推奨しておりません。

コンフィグレーションモードは、起動時のiCE40UPのコンフィグ関連ピンのSPI\_SSピンの処理と、内部レジスタの設定により決定されます。詳細は、以降のピン設定や、フローチャート、Latticeのドキュメントを参照してください。

※NVCMコンフィグレーションモードには供給の条件や解析時の対応などに制約がありますので検討の際には代理店にご相談ください



## 4-2. コンフィグ関連ピン説明

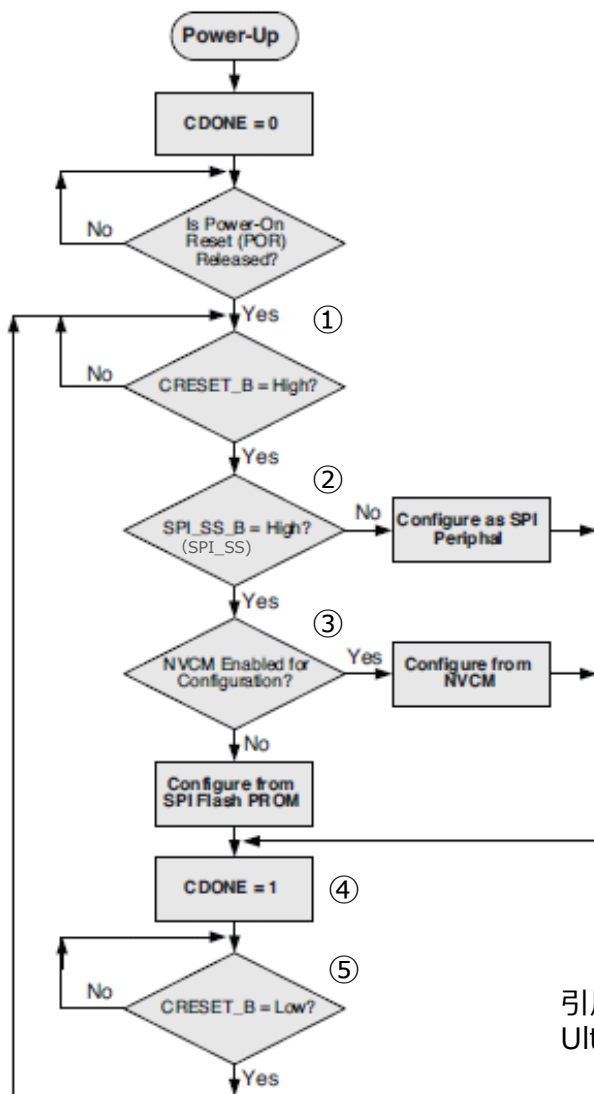
ピン名	使用モード	ピン方向	専用/兼用	説明
CRESET_B	全て	入力	専用	アクティブLowコンフィグレーションリセット信号。 Low -> Highトグルで再コンフィグレーションを実施。 CRESET_BのLow期間は200ns以上確保する必要があります。
CDONE	全て	出力	兼用	コンフィグ完了を示すOpenDrain出力ピン。コンフィグ完了でHi-z出力。
SPI_SS	全て	双方向	兼用	Power On Reset解除時、またはCRESET_BのLow-> High変化時にサンプリングされる。LowであればSlave SPIコンフィグ、HighであればNVCM ot Master SPIコンフィグとなる。デバイス内部のNVCMイネーブルビットが立っていないければLowを出力し、Master SPIコンフィグモードになる。
SPI_SI	Master/Slave SPI	入力	兼用	Master/Slave SPIコンフィグレーションデータ入力ピン。
SPI_SO	Master/Slave SPI	出力	兼用	Master/Slave SPIコンフィグレーションデータ出力ピン。
SPI_SCK	Master/Slave SPI	双方向	兼用	Master SPIモード時SPIクロック出力。Slave SPIモード時SPIクロック入力。

引用：FPGA-DS-02008-1.6 “Configuration Pins”項

※SPI\_SS\_B、SPI\_SI、SPI\_SO、SPI\_SCK、CDONEはコンフィグレーション完了後汎用I/Oとして使用可能ですが、コンフィグレーションの妨げとなるような信号のアサインを防ぐため、なるべく使用されないことを推奨します。



## 4-3. コンフィグレーションフローチャート



- ①POR解除時、CRESET\_BがLow -> Highと変化したタイミングで SPI\_SSをサンプリングします。  
※POR解除まで、CRESET\_BはLowに保持しPOR解除後にHighにしてください。  
POR条件は電源シーケンスの項目を参照してください
- ②SPI\_SSがLowの場合、Slave SPIコンフィグレーションモードになります。
- ③SPI\_SSがHighの場合、デバイス内部のNVCMイネーブルビットをチェックし、イネーブルであればNVCMコンフィグレーションモード、ディセーブルであればMaster SPIコンフィグレーションモードになります。
- ④コンフィグレーション完了後、CDONEがLow -> Hi-z出力になります。
- ⑤CRESET\_BをLowにすることでSRAM領域のデータが消去されます。  
Low -> Highと変化時に再度コンフィグレーションが開始されます。

引用：FPGA-TN-02001-3.1 “Mode Selection for iCE40 LP/HX, iCE40 Ultra, iCE40 UltraLite and iCE40 UltraPlus Devices”項

## 4-4. Warm Bootについて

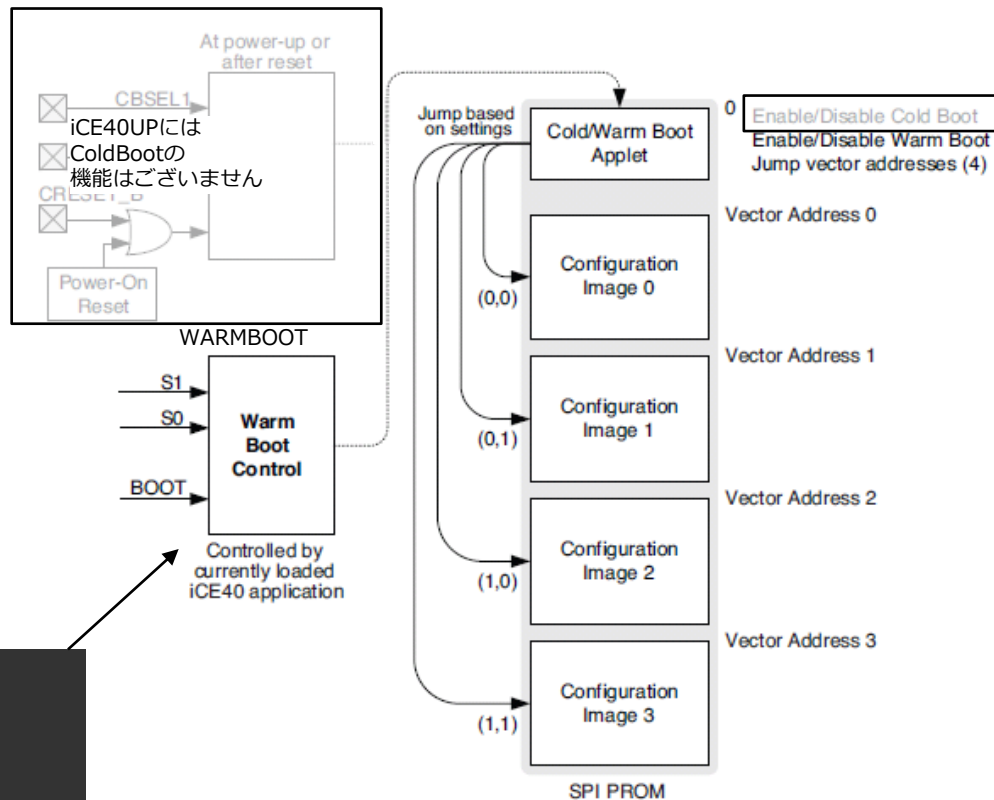
### Warm Boot機能について

iCE40UPをMaster SPIコンフィグレーションモードで使用する場合、外部に接続したSPI Flashに4つまでコンフィグデータを格納し、選択してコンフィグレーションすることが可能です。

この機能では、WARMBOOT Primitive(モジュール) を使用しBOOTポートをトグルした際のS0/S1の状態によりにコンフィグデータを切り替えることができます

```
WARMBOOT u_WARMBOOT (
    .S1 (bt_sw1),
    .S0 (bt_sw0),
    .BOOT (bt_trg)
);
```

ソースコードでモジュールを呼び出す

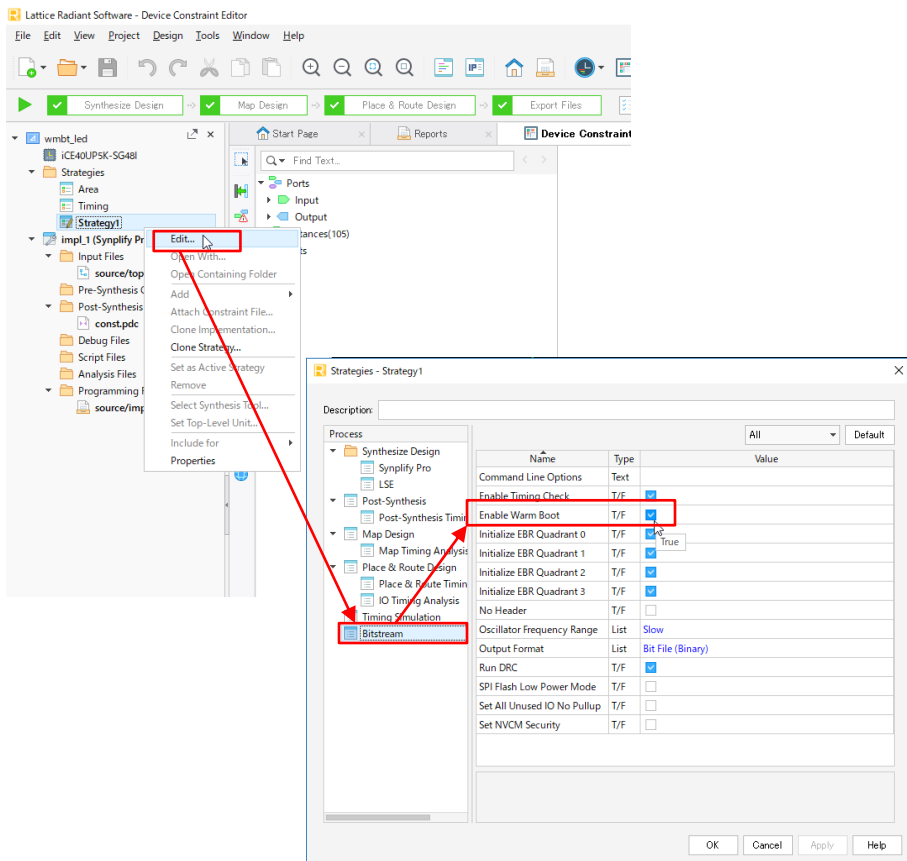


引用 : FPGA-TN-02001-3.1  
 “Mode Selection for iCE40 LP/HX, iCE40 Ultra, iCE40 UltraLite and iCE40 UltraPlus Devices”項

Warm Boot機能を有効にするには、開発ツールRadiantの設定と、SPI Flashに書き込むイメージの作成も必要になります

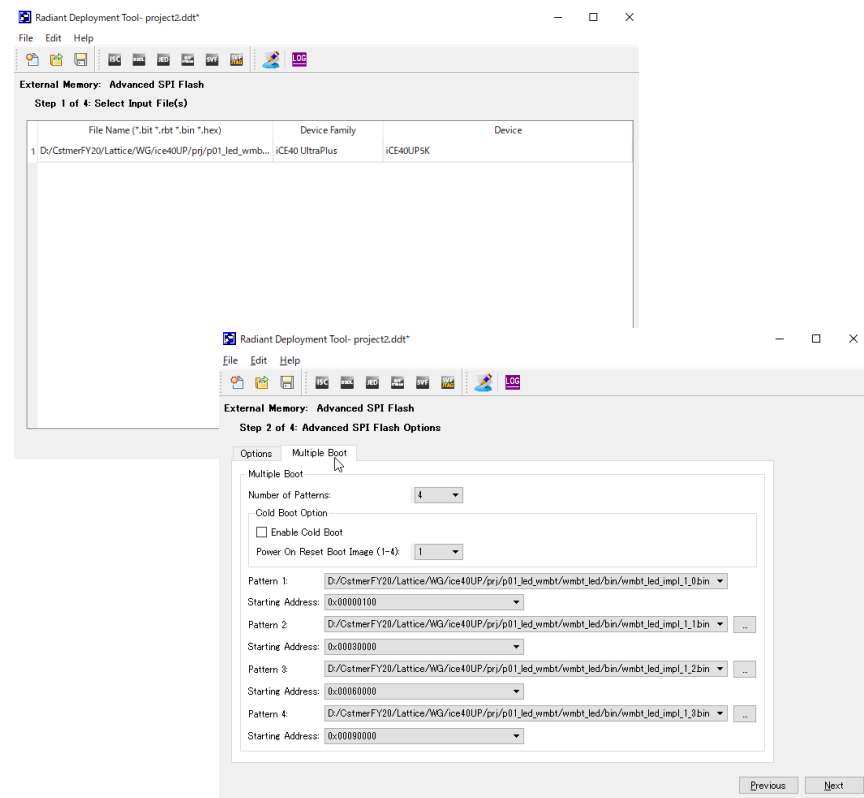
## Radiantの設定

Strategiesの設定 Bitstreamの項目で “Enable Warm Boot”にチェックを入れる



## SPI Flash書き込みイメージ作成

Deployment Toolで、SPI Flashに書き込むデータの作成方法  
Newから“External Memory”で Output File Type を“Advance SPI Flash”で作成  
Step2の、Advanced SPI Flash Optionsにて、Multiple Bootのタブで複数のbitファイルを設定する



参照 : Lattice Support Answer Database  
How can I generate the merged .mcs file used for cold and warm boot feature of iCE40?

Master SPIコンフィグレーションで外部SPI Flashに格納するコンフィグデータ容量、及びSlave SPI コンフィグレーション時にHostのROM領域に格納するコンフィグデータ容量は以下の通りです。

### Bitstream Sizes for Different iCE40 FPGA Densities Used to Select a SPI Flash

Device	Bytes	Bits
iCE40UP 3K	104,161	833,288
iCE40UP 5K	104,161	833,288

引用 : FPGA-TN-02001-3.1 “Bitstream Sizes for Different iCE40 FPGA Densities Used to Select a SPI Flash”項

Master SPIコンフィグレーション及びNVCMコンフィグレーションの場合、iCE40 UP内蔵のオシレータにてコンフィグレーションを行います。POR解除やCRESET\_BのLow -> Highトグルが行われてから、以下の時間でコンフィグレーション完了（ユーザーI/Oアクティブ）いたします。  
Master SPIコンフィグレーションに使用する内蔵オシレータの周波数は設計ツール“Radiant”のStrategyのBitstreamの設定にてLow、Medium、Highを選択可能です。

NVCMコンフィグレーションを行う場合、NVCMの最大動作周波数がLow(Default)設定にしか対応していませんので、Medium / High Frequencyの設定にしないよう注意して下さい。

### SPI Master or NVCM Configuration Time

Symbol	Parameter	Conditions	Max	Unit
t <sub>CONFIG</sub>	POR/CRESET_B to Device I/O Active	All devices – Low Frequency (Default)	140	ms
		All devices – Medium frequency	50	ms
		All devices – High frequency	26	ms

引用：FPGA-DS-02008-1.6 “sysCONFIG Port Timing Specifications”項

### sysCONFIG Port Timing Specifications

Master SPI <sup>3</sup>		Min	Typ	Max	Unit	
f <sub>MCLK</sub>	MCLK clock frequency	Low Frequency	7.0	12.0	17.0	MHz
		Medium Frequency <sup>2</sup>	21.0	33.0	45.0	MHz
		High Frequency <sup>2</sup>	33.0	53.0	71.0	MHz

引用：FPGA-DS-02008-1.6 “sysCONFIG Port Timing Specifications”項

## 4-6. コンフィグレーション時間について

Master SPIコンフィグレーション及びNVCMコンフィグレーションの場合、iCE40 UP内蔵のオシレータにてコンフィグレーションを行います。POR解除やCRESET\_BのLow -> Highトグルが行われてから、以下の時間でコンフィグレーション完了（ユーザーI/Oアクティブ）いたします。

Master SPI / NVCMコンフィグレーションに使用する内蔵オシレータの周波数は設計ツール“Radiant”のStrategyのBitstreamの設定にてLow / Mediumを選択可能です。

High (Fast) Frequencyは ツールで設定ができてても実機で正常に動作しません。High (Fast) Frequencyの設定にしないよう注意して下さい。

### SPI Master or NVCM Configuration Time

Symbol	Parameter	Conditions	Max	Unit
$t_{\text{CONFIG}}$	POR/CRESET_B to Device I/O Active	All devices – Low Frequency (Default)	140	ms
		All devices – Medium frequency	50	ms
		All devices – High frequency	26	ms

引用：FPGA-DS-02008-1.6 “SPI Master or NVCM Configuration Time”項

### sysCONFIG Port Timing Specifications

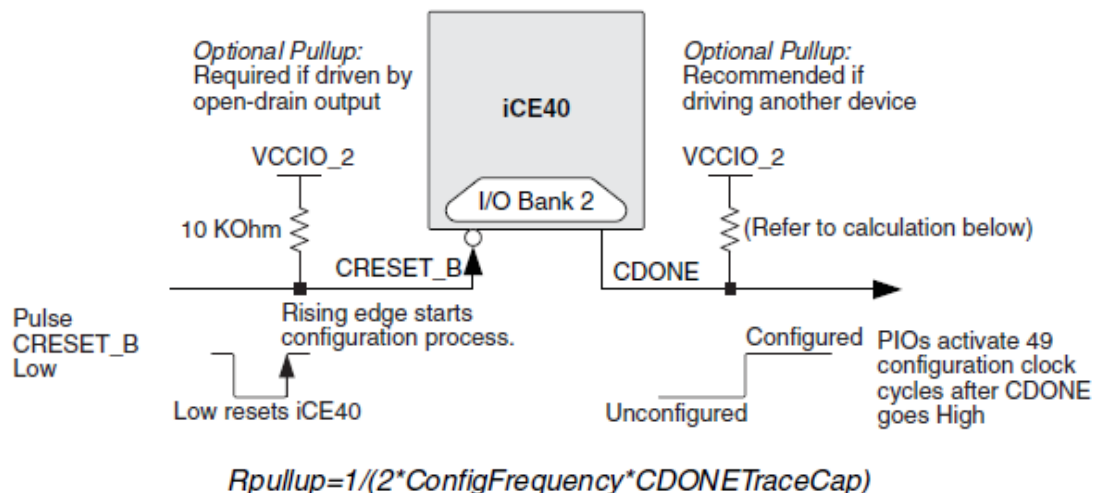
Master SPI <sup>3</sup>		Min	Typ	Max	Unit	
$f_{\text{MCLK}}$	MCLK clock frequency	Low Frequency	7.0	12.0	17.0	MHz
		Medium Frequency <sup>2</sup>	21.0	33.0	45.0	MHz
		High Frequency <sup>2</sup>	33.0	53.0	71.0	MHz

引用：FPGA-DS-02008-1.6 “sysCONFIG Port Timing Specifications”項



## 4-7. CDONEピン外部プルアップ抵抗値について

CDONEピンは以下の図のように外部プルアップが必要です。また、そのプルアップ抵抗値はボード環境に応じて計算により求める必要があります。



引用：FPGA-TN-02001-3.1 “Configuration Control Signals”項

具体的には、以下の計算式で抵抗値を求めます。

**CDONE Pullup抵抗値 =  $1 / (2 * \text{コンフィグクロック周波数} * \text{CDONEラインの負荷容量})$**

コンフィグクロック周波数は、Master SPI Configuration及びNVCM Configuration時は iCE40UP内部のコンフィグ用オシレータの周波数（MCLK周波数）となり、Slave SPI Configuration時は CPUからSPI\_SCKピンに供給されるCCLK周波数となります。

また、CDONEラインの負荷容量にはCDONEピン内部の負荷容量3.3pF(Max)も加算して下さい。



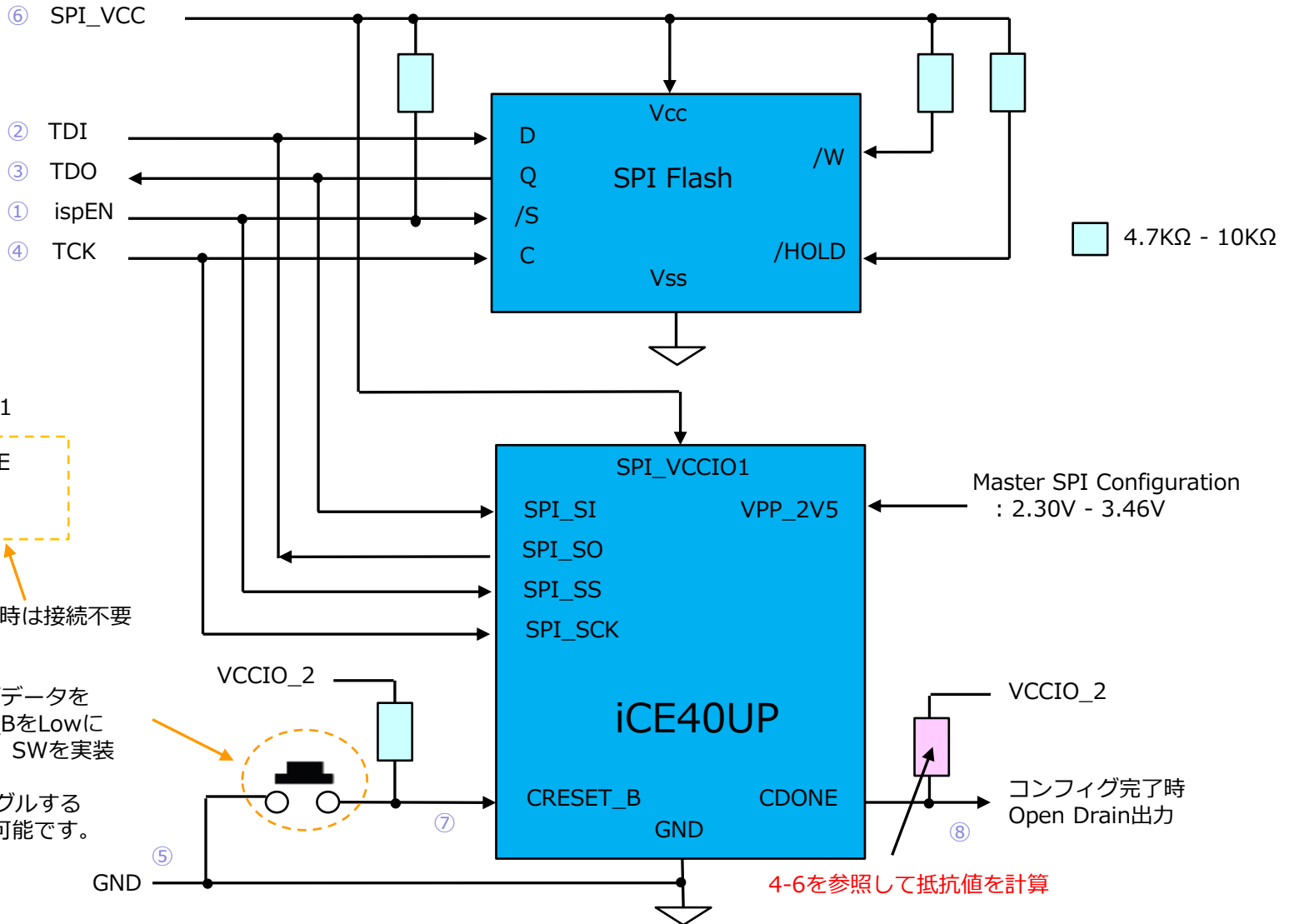
# 4-8. SPI Flash書き込み&Master SPI Configuration

6-pin Male Header

- ①  ispEN
- ②  TDI
- ③  TDO
- ④  TCK
- ⑤  GND
- ⑥  SPI\_VCCIO1
- ⑦  TRST/DONE
- ⑧  INITN

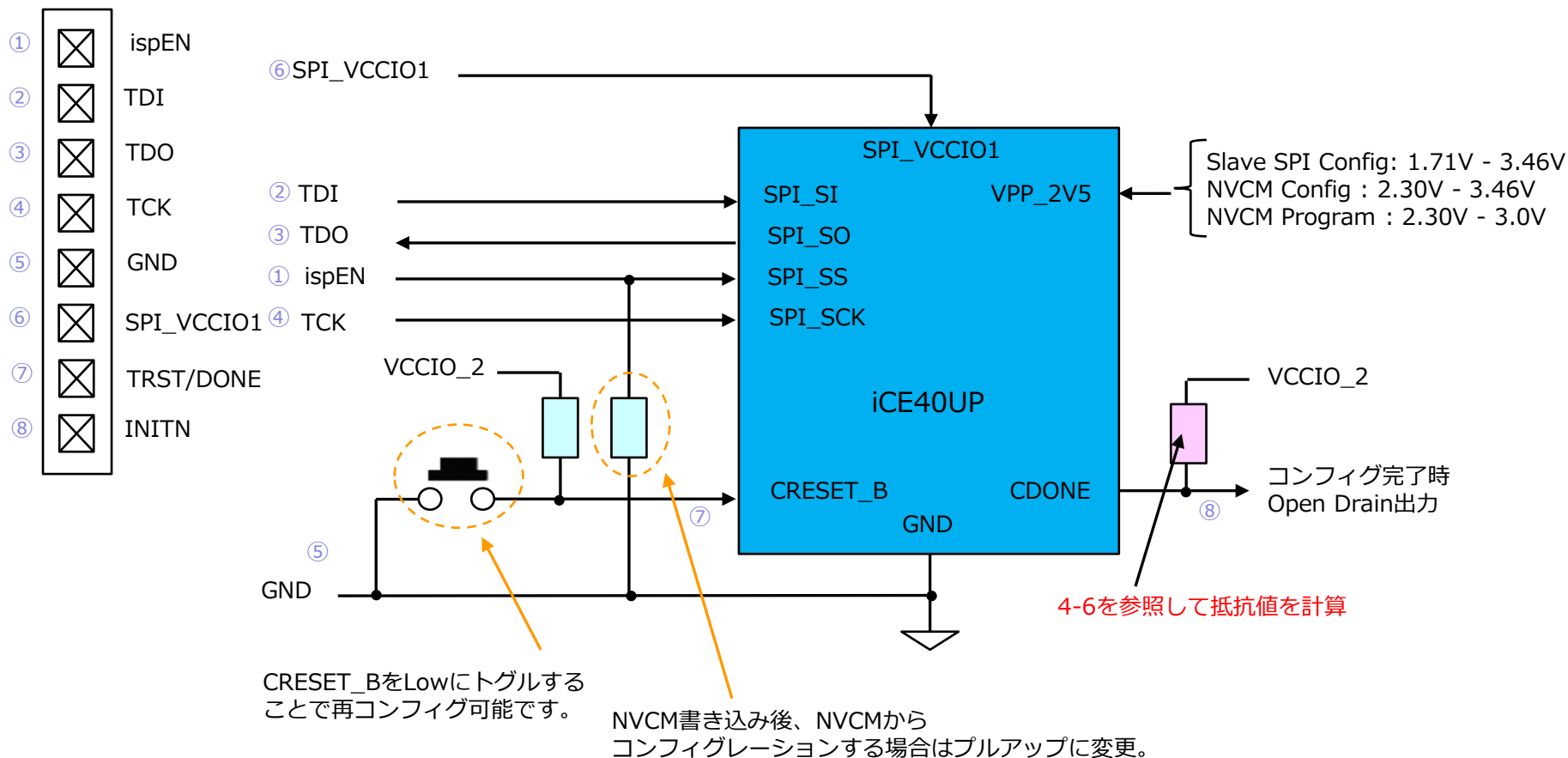
SPI Flashへの書き込み時は接続不要

SPI Flashにコンフィグデータを書き込むにはCRESET\_BをLowに落とす必要があります。SWを実装しておく便利です。CRESET\_BをLowにトグルすることで再コンフィグも可能です。



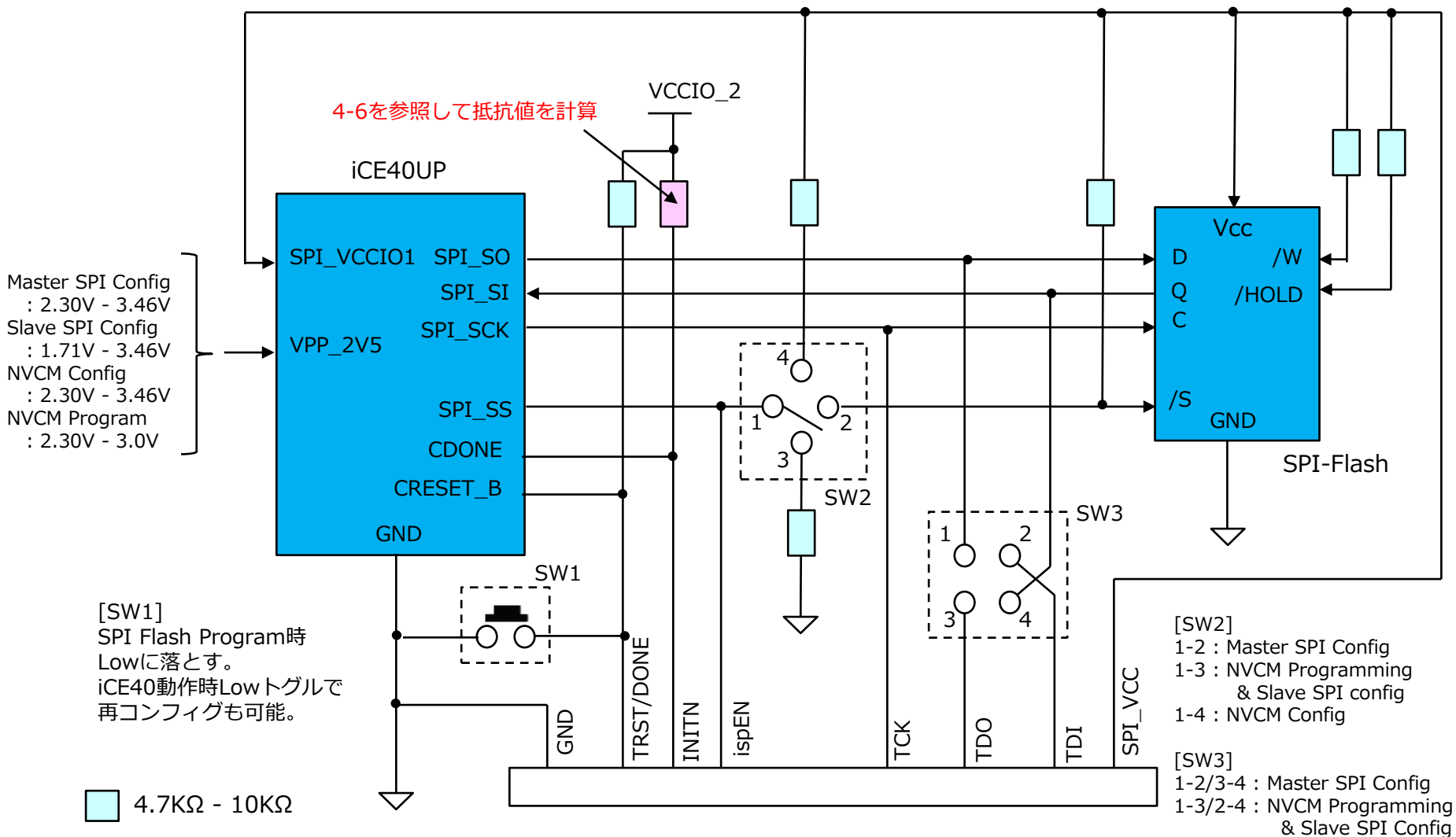
8-pin Male Header

4.7KΩ - 10KΩ



※NVCMコンフィグレーションモードには供給の条件や解析時の対応などに制約がありますので検討の際には代理店にご相談ください

## 4-10. 統合接続回路例



Revision:	Date:	Author:	Modify or Add:
1.0	2020/04/16	Ishigaki	Initial