

# Lattice-ECP5基板設計時資料



- ・ 本資料は、Lattice社 ECP5の基板設計時の注意事項、使用時の注意事項をまとめた資料です。実際の動作等の詳細、最終の確認は、別途データシート、及びテクニカルノートを参照頂けますようお願い申し上げます。
- ・ Lattice社データシート、及びテクニカルノートと本資料との間に差異があった場合には、Lattice社の資料を正としあ取り扱い下さい。



1. 電源ピンの処理について	
1-1) 電源ピンの説明	6
1-2) パワーオンリセット	7
1-2) 電源シーケンス、及びランプレート	8
1-4) SERDES用電源ピンに関する注意事項	9
2. I/Oピンの処理について	
2-1. 各bsysIOピンの概要	11
2-2. PCLK、GPLLピンの補足	14
2-3. 内部Pull-up/doen 抵抗値	16
2-4. 電源起動時のI/Oの挙動	17
2-5. sysI/O Bank構成	19
2-6. Mixed Voltage	20
2-7. Bank毎のStandard IOサポート	21
2-8. On Chip Termination	22
2-9.LVDS入力	23
2-10.LVDS出力	24
2-11.Emulated LVDS	25

<b>3. コンフィグレーションについて</b>	
3-1. コンフィグレーション開始の電源条件	27
3-2. コンフィグレーションモード	28
3-3. コンフィグレーションモード選択	29
3-4. Global Preferenceの設定	31
3-5. コンフィグレーションフロー	34
3-6. Master SPI Serial 回路例	36
3-7. Master SPI Dual 回路例	37
3-8. Master SPI Quad 回路例	38
3-9. Slave SPI Mode 詳細	39
3-10. Slave Serial Mode 詳細	41
3-11. JTAG Mode 詳細	43
3-12. Serial Daisy Chaining(1Flash+2FPGAの場合)	44
3-13. コンフィグレーションデータ Bit Size	45
3-14. Master SPI 動作時の注意事項	46
3-15. Dual/Quad SPI 動作時の注意事項	47
<b>4. Diamond Programmerを使用した書き込みについて</b>	
4-1. JTAGによるSRAM領域への書き込み	49
4-2. JTAG-ECP5経由でのSPI FLASH書き込	50
4-3. Dual Boot	52

# 1. 電源ピンの処理について

## 1-1. 電源ピンの説明

電源		推奨電圧(V)	記述
$V_{CC}$	ECP5	1.1V±5%	FPGAコア用電源
	ECP5-5G	1.2V±5%	
$V_{CCAUX}$		2.5V±5%	補助電源
$V_{CCIO}$		(3.3V, 2.5V, 1.8V, 1.5V, 1.2V)±5%	各I/Oバンク毎の電源
$V_{REF}$		0.5V~1.0V	リファレンス電圧
SERDES部			
$V_{CCA}$	ECP5UM	1.1V±5%	SERDES用電源
	ECP5-5G	1.2V±3%	
$V_{CCAUXA}$		2.5V±5%	SERDES用補助電源
$V_{CCHRX}$	ECP5UM	0.30~1.155V	SERDES用入力終端用電源
	ECP5-5G	0.30~1.26	
$V_{CCHTX}$	ECP5UM	1.1V±5%	SERDES用出力終端用電源
	ECP5-5G	1.2V±5%	

### ■注意事項

- ・有効動作電圧の範囲内で動作させて下さい。
- ・ $V_{CCA}$ 以外の同じ電源電圧同士のものは、全て電源を接続して下さい。
- ・0~3Vに増加する際、 $V_{CCAUX}$ ランプ・レートは、30 mV/  $\mu$ sを超えないで下さい
- ・SERDES用電源についての詳細についてはTN1261をご参照下さい

### ■パワーオンリセット

電源が立ち上がり時に以下の3つの条件をすべて満たした後、パワーオンリセットが解除され、コンフィグレーションを開始します(VPORUP)

$$V_{cc} > 0.9V \sim 1.00V$$

$$V_{ccio8} > 0.95V \sim 1.06V$$

$$V_{ccAUX} > 2.0V \sim 2.20V$$

電源が立下り時に以下の2つの条件をすべて満たした後、パワーオンリセットがかかり、初期化されます(VPORDN)

$$V_{cc} < 0.77 \sim 0.87V$$

$$V_{ccAUX} < 1.80 \sim 2.0V$$

## ■電源シーケンス

ECP5を外部SPIフラッシュよりコンフィグレーションさせる場合、2つの電源(VccまたはVccAUX)の少なくとも1つがVPORUP電圧レベルに達するより前に、Vccio8へ外部SPIフラッシュのVIHより高い電圧を入力する必要があります。

このパワーアップシーケンス要件を満たせない場合、Vccio8が外部SPIフラッシュのVIHに達するまでPROGRAMNピンまたはINITNピンをLOWに保ち、コンフィグレーション開始を遅らせる必要があります。

ECP5UM, ECP5-5Gでは電源立ち上げ時にVCCAUXよりもVCCAを先に立ち上げることを推奨します。

## ■電源のランプレート

各電源ピンへの電圧供給は以下のランプレートを守らなければなりません。

VccAUX 30 mV/us以下 それ以外 0.01 – 10 V/ms

### ■注意事項

- ・VCCAはSERDESを使用する場合は必ず、推奨電圧レンジを守らなければなりません。  
SERDES未使用時はVCCに供給される電源と接続して下さい。
- ・未使用チャンネルのVCCHRX, VCCTX, HDINP/N, HDOUTP/N , REF-CLKP/N は  
フローティングにする必要があります。
- ・未使用チャンネルの出力ピンは、内部プルダウン有効のトライステート状態となります。
- ・各チャンネルにおいて、Rx only,Tx onlyの場合でもVCCHRX,VCCTX両方に電源供給する必要が  
あります。
- ・VCCAはクリーン且つ独立した電源でなければなりません。
- ・VCCAはリニアレギュレータでリップルを除去していただく事を推奨します。

## 2. I/Oピンの処理について

## 2-1 各sysIOピンの概要 (1/3)

ピン名	入出力	説明
<b>汎用ピン</b>		
PIO [L/R] _ [A/B, C/D]	I/O	<p>USER IOピン。            LはLEFT、RはRIGHT Bankを示し、A/BとC/Dはそれぞれ差動のペアを示します。            True LVDSの出力はA/Bペアのみ、入力はA/B、C/Dのペアでサポート可能です。            Emulated LVDSはA/B、C/Dのペアでサポート可能です。</p>
PIO [T/B] _ [A/B]	I/O	<p>USER IOピン。            TはTOP、BはBOTTOM Bankを示し、A/Bは差動のペアを示します。            TOP、BOTTOMではTrue LVDSをサポートしておりません。            Emulated LVDSはA/Bのペアでサポート可能です。</p>
GSRN	I	<p>Global RESETピン。            全ての汎用I/OはGlobal RESETとして使用可能です。            (GSRNは基本的に論理合成時に自動で割り当てられます。)</p>
NC	-	未接続ピン。
RESERVED	-	このピンは必ずOpenにします。
VREF1	-	リファレンス電圧が必要なインターフェース(HSTL等)を使用する場合に使用します。 VREFとして使用しない場合、汎用I/Oとして使用可能です。
<b>Clock入力ピン</b>		
PCLK [T/C] (兼用ピン)	I/O	<p>Globalクロック入力ピン。            T(True)、C(Complement)は差動のP/Nで、シングルエンド入力で使用する場合にはT側を使用します。            その際C側は汎用IOとして使用可能です。            また、クロックピンとして使用しない場合、汎用I/Oとして使用可能です。</p>
GR_PCLK (兼用ピン)	I/O	<p>Globalクロック入力予備ピン。            一般配線からCIBを経由しプライマリクロックラインにアクセス可能です。            PCLKピンを使い切った際に使用いたします。            DDR I/FにはGR_PCLKピンは使用できません。            また、クロックピンとして使用しない場合、汎用I/Oとして使用可能です。</p>
GPLL [T/C] (兼用ピン)	I	<p>PLLのクロック入力ピン。            T(True)、C(Complement)は差動のP/Nで、シングルエンド入力で使用する場合にはT側を使用します。            その際C側は汎用IOとして使用可能です。            また、PLL未使用時は汎用I/Oとして使用可能です。</p>
[L/R] DQS (兼用ピン)	I/O	DQS入出力ピン。 また、DQSとして使用しない場合、汎用I/Oとして使用可能です。
[L/R] DQ (兼用ピン)	I/O	DQ入出力ピン。 また、DQとして使用しない場合、汎用I/Oとして使用可能です。

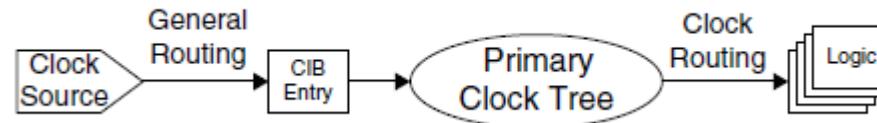
## 2-1 各sysIOピンの概要 (2/3)

ピン名	入出力	説明	外部処理
<b>Configurationピン</b>			
CFG[2:0] (専用ピン)	I	Configuration Mode選択ピン。 CFG[2:0] = [001] → Slave SPIモード CFG[2:0] = [101] → Slave Serialモード CFG[2:0] = [111] → Slave Parallelモード CFG[2:0] = [010] → Master SPIモード(Serial, Dual, Quad)	1 kΩ～10 kΩ pull-up to VCCIO8 0 = GND
PROGRAMN (専用ピン)	I	コンフィグ専用ピン。 Lowにアサートされるとコンフィグレーションが開始する。	4.7 kΩ pull-up to VCCIO8
INITN (専用ピン)	I/O	コンフィグ専用の双方向オーブンドレインピン。 コンフィグレーション可能な状態を示す。	4.7 kΩ pull-up to VCCIO8
DONE (専用ピン)	I/O	コンフィグ専用のオーブンドレインピン。 コンフィグレーションの完了を示す。	
MCLK/CCLK (専用ピン)	I/O	コンフィグレーションするためのクロック入出力ピン。 Slaveモード時はInputでMasterモード時はOutput。	1 kΩ pull-up to VCCIO8
D0/MOSI/IO0 (兼用ピン)	I/O	D0 : Slave Parallelモード時のデータ入出力ピン。 MOSI : Slave SPIモード時のデータ入力ピン。 Master SPIモード時のデータ出力ピン。 IO0 : Master SPIモードのDual, Quadを使用する際に使用。	D0 : 10 kΩ pull-up to VCCIO8 MOSI : 10 kΩ pull-up to VCCIO8
D1/MISO/IO1 (兼用ピン)	I/O	D1 : Slave Parallelモード時のデータ入出力ピン。 MISO : Slave SPIモード時のデータ出力ピン。 Master SPIモード時のデータ入力ピン。 IO1 : Master SPIモードのDual, Quadを使用する際に使用。	D1 : 10 kΩ pull-up to VCCIO8 MISO : 10 kΩ pull-up to VCCIO8
D2/IO2 (兼用ピン)	I/O	D2 : Slave Parallelモード時のデータ入出力ピン。 IO2 : Master SPIモードのDual, Quadを使用する際に使用。	D2/IO2 : 10 kΩ pull-up to VCCIO8
D3/IO3 (兼用ピン)	I/O	D3 : Slave Parallelモード時のデータ入出力ピン。 IO3 : Master SPIモードのDual, Quadを使用する際に使用。	D3/IO3 : 10 kΩ pull-up to VCCIO8
D[4:7] (兼用ピン)	I/O	Slave Parallelモード時のデータ入出力ピン。	D[4:7] : 10 kΩ pull-up to VCCIO8
CSN/SN (兼用ピン)	I/O	CSN : Slave Parallelモード時のチップセレクトピン。 SN : Slave SPIモード時のチップセレクトピン。	SN : 4.7 kΩ pull-up to VCCIO8
CS1N (兼用ピン)	I	Slave Parallelモード時のチップセレクトピン。 CSNまたはCS1NがHighの時、D[0:7]ピンとBUSYピンはトライステートになります。 CSNとCS1Nが共にHighの時、デバイスはバイパスを終了します。 バイパスを使用しない場合、CSNとCS1Nどちらか片方のみ使用します。	
WRITEN (兼用ピン)	I	Slave Parallelモード時のWrite Enableピン。 ※Master SPIモード時、WRITENにLが入力されると、Flashへの通信開始時、MOSIからRead Command [03h] の前にダミーコマンド [FFh] が発行されるようになります。ダミーコマンド[FFh] の発行が必要なFlashをお使いの場合はL入力、その他の場合はH入力するようにして下さい。	Master SPI モード時 ダミーコマンド[FFh]が不要な場合 →H入力 (High Drive or pull up) ダミーコマンド[FFh]が必要な場合 →L入力 (Low Drive or pull down)

## 2-1 各sysIOピンの概要 (3/3)

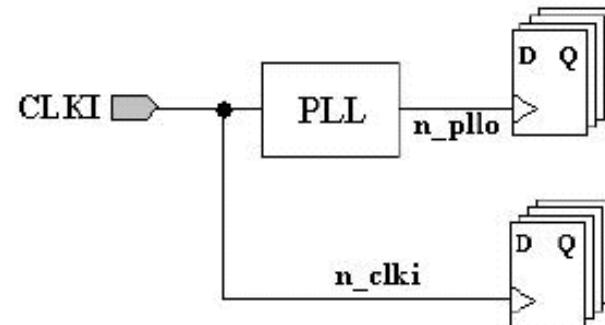
ピン名	入出力	説明	外部処理
<b>Configurationピン(つづき)</b>			
HOLDN/DI/BUSY/ CSSPIN/CEN (兼用ピン)	I/O	HOLDN : Slave SPIモード時の制御ピン。 DI : Slave Serialモード時のデータ入力ピン。 BUSY : Slave Parallelモード時の制御ピン。 CSSPI : Master SPIモード時のチップセレクトピン。	CSSPI : 4.7 kΩ～10 kΩ pull-up to VCCIO8 ※Master SPIモードでDual or Quadをご使用頂く場合は1 kΩ pull-up to VCCIO8として下さい
DOUT/CS0N (兼用ピン)	O	DOUT : Slave Serial/Parallelモード時でバイパスする際のデータ出力ピン。 ※このピンは汎用I/Oとして使用する場合も含め、power-up時からHを出力します。汎用I/Oとしてご使用の場合はOutputとしてご使用頂く事を推奨します。	
<b>Programmingピン</b>			
TMS (専用ピン)	I	JTAG(Test Mode Select)ピン。	4.7 kΩ pull-up to VCCIO8
TCK (専用ピン)	I	JTAG(Test Clock)ピン。	4.7 kΩ pull-down to GND
TDI (専用ピン)	I	JTAG(Test Data In)ピン。	4.7 kΩ pull-up to VCCIO8
TDO (専用ピン)	O	JTAG(Test Data Out)ピン。	4.7 kΩ pull-up to VCCIO8

- ・クロック信号は必ずクロックピン(PCLK pin)に入力するようにしてください。  
I/Oから入力も可能ですが、内部専用クロックラインに乗せるまでの遅延が生じます。  
(クロックピンから内部専用クロックラインまでのパスは最小遅延になります)
- ・GR\_PCLKピンを使用した場合、Primaryクロックラインにアサインする事が可能ですが、  
GR\_PCLKピンからCIBまでは一般配線にて配置配線を実施する為、PCLKピンを使用した  
場合と比較するとクロック遅延が大きくなります。



※CIB : 一般配線領域からグローバルクロックラインを接続するためのブロックとなります。

- ・基板設計時、PLLを使用するかどうか判断に迷った場合には、PLL専用ピン、クロックピン両方にクロック信号を供給しておくことを推奨します。  
(使わない方のピンはパターンがつながっていても特に問題はありません)
  - ・下記のようなデザインの場合、”n\_clk”を内部専用クロック配線に乗せることができなくなります。ツール上では”n\_clk”を内部専用クロック配線に乗せてもエラーにはなりませんが、一度中央の内部専用クロック配線を経由してからPLLに”n\_clk”が入る形になるため、その分遅延が生じてしまいます。
- また、一般配線からPLLへ接続する際には”PLLREFCS”プリミティブを使用することで接続可能です。もし、T<sub>CO</sub>改善のため、このようなデザインを考えた場合には上記の様にPLL入力までの遅延がかさむ為、逆にT<sub>CO</sub>が遅くなってしまうことが考えられます。このような場合には、CLKIをPLL専用ピンとクロック専用ピンの両方に入力して頂くことで回避することができます。



## 2-3 内部Pull up/downの抵抗値

ECP5の内部Pull Up/Downの抵抗値はそれぞれに流れるリーク電流とV<sub>CCIO</sub>の推奨電圧範囲から算出することが可能です。

I <sub>PU</sub>	I/O Active Pull-up Current, sustaining logic HIGH state	0.7 V <sub>CCIO</sub> ≤ V <sub>IN</sub> ≤ V <sub>CCIO</sub>	-30	-	-	μA
	I/O Active Pull-up Current, pulling down from logic HIGH state	0 ≤ V <sub>IN</sub> ≤ 0.7 V <sub>CCIO</sub>	-	-	-150	μA
I <sub>PD</sub>	I/O Active Pull-down Current, sustaining logic LOW state	0 ≤ V <sub>IN</sub> ≤ V <sub>IL</sub> (MAX)	30	-	-	μA
	I/O Active Pull-down Current, pulling up from logic LOW state	0 ≤ V <sub>IN</sub> ≤ V <sub>CCIO</sub>	-	-	150	μA

Standard	Min	V <sub>CCIO</sub> Typ	Max
LVCMOS33 <sup>1</sup>	3.135	3.3	3.465
LVCMOS33D <sup>3</sup> Output	3.135	3.3	3.465
LVCMOS25 <sup>1</sup>	2.375	2.5	2.625
LVCMOS18	1.71	1.8	1.89
LVCMOS15	1.425	1.5	1.575
LVCMOS12 <sup>1</sup>	1.14	1.2	1.26

Input/Output Standard	Min (V)	V <sub>IL</sub> Max (V)
LVCMOS33	-0.3	0.8
LVCMOS25	-0.3	0.7
LVCMOS18	-0.3	0.35 V <sub>CCIO</sub>
LVCMOS15	-0.3	0.35 V <sub>CCIO</sub>
LVCMOS12	-0.3	0.35 V <sub>CCIO</sub>

※Data Sheet Ver1.9より抜粋

### 計算例) LVCMOS33の場合

I<sub>PU</sub>が最大になるのはV<sub>IN</sub>=0Vの際

	V	I <sub>pu</sub> (uA)	R <sub>pu</sub> (KΩ)
LVCMOS33_max	3.465	150	23.1
LVCMOS33_min	3.135	150	20.9

I<sub>PU</sub>が最少になるのはV<sub>IN</sub>=0.7xV<sub>CCIO</sub>の際

	V	I <sub>pu</sub> (uA)	R <sub>pu</sub> (KΩ)
LVCMOS33_max	1.0395	30	34.65
LVCMOS33_min	0.9405	30	31.35

I<sub>PD</sub>が最大になるのはV<sub>IN</sub>=V<sub>CCIO</sub>の際

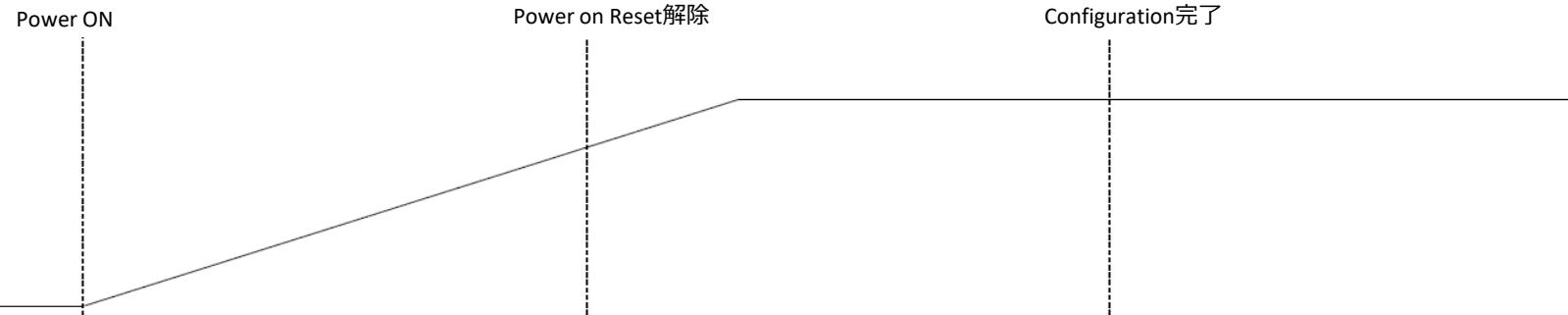
	V	I <sub>pd</sub> (uA)	R <sub>pu</sub> (KΩ)
LVCMOS33_max	3.465	150	23.1
LVCMOS33_min	3.135	150	20.9

I<sub>PD</sub>が最少になるのはV<sub>IN</sub>=V<sub>IL</sub>(Max)の際

	V	I <sub>pd</sub> (uA)	R <sub>pu</sub> (KΩ)
LVCMOS33_max	0.8	30	26.66666667
LVCMOS33_min	0.8	30	26.66666667

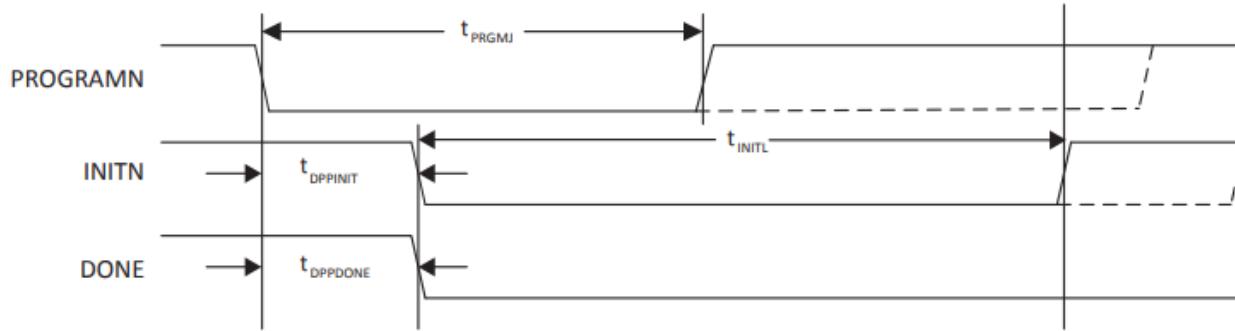
内部Pull Up/Downの抵抗値のMax/Min値は赤文字が該当します

## 2-4 電源起動時のI/Oの挙動 (1/2)



Pin Name	Power up (Default State)	Initialization & Configuration	Wake up & User Mode
汎用IO	Tristate	Internal pull down	開発ツールDiamondで設定している状態
TMS	Active Low	Internal pull up	専用ピン
TCK	Active Low	Internal NONE	専用ピン
TDI	Active Low	Internal pull up	専用ピン
TDO	Tristate	Internal pull up	専用ピン
CFG[2:0]	Tristate	Internal pull up	専用ピン
PROGRAMN	Active Low	次のページ参照	専用ピン
INITN	Tristate	次のページ参照	専用ピン
DONE	Tristate	次のページ参照	専用ピン
MCLK/CCLK	Tristate	Internal pull up	専用ピン
D0/MOSI/IO0	Tristate	Internal NONE	開発ツールDiamondで設定している状態
D1/MISO/IO1	Tristate	Internal NONE	開発ツールDiamondで設定している状態
D2/IO2	Tristate	Internal NONE	開発ツールDiamondで設定している状態
D3/IO3	Tristate	Internal NONE	開発ツールDiamondで設定している状態
D[4:7]	Tristate	Internal NONE	開発ツールDiamondで設定している状態
CSN/SN	Tristate	Internal pull up	開発ツールDiamondで設定している状態
CS1N	Tristate	Internal pull up	開発ツールDiamondで設定している状態
WRITEN	Tristate	Internal pull up	開発ツールDiamondで設定している状態
HOLDN/DI/BUSY/CSSPIN/CEN	Tristate	Internal pull up	開発ツールDiamondで設定している状態
DOUT/CSQN	Driven to H	Driven to H	開発ツールDiamondで設定している状態

## ■PROGRAMN, INITN, DONEピンの挙動

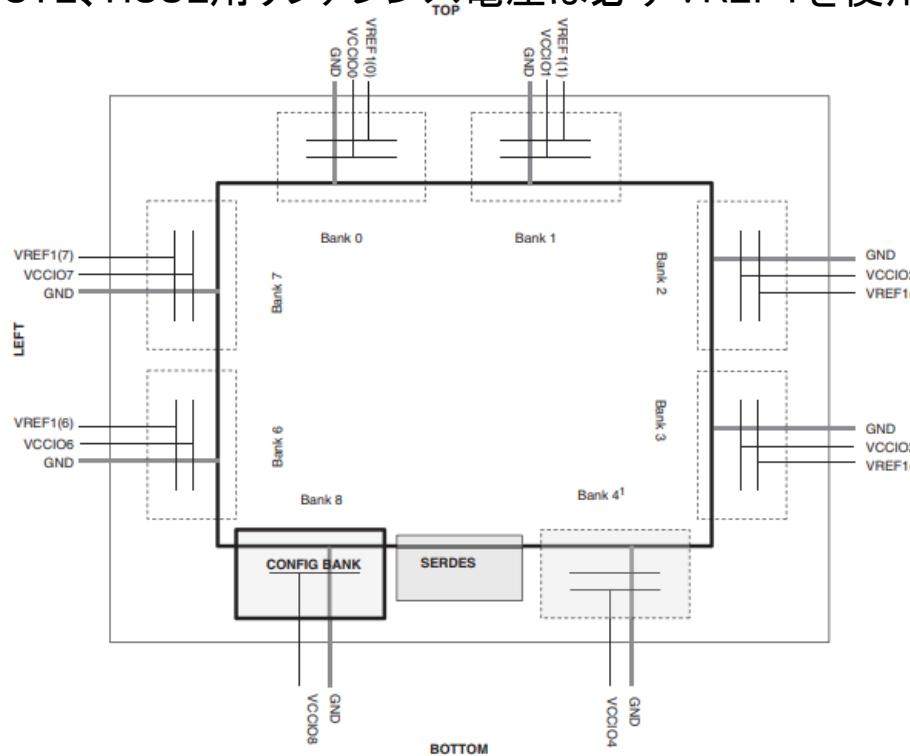


$t_{PRGM}$	PROGRAMN LOW pulse accepted	—	110	—	ns
$t_{PRGMRJ}$	PROGRAMN LOW pulse rejected	—	—	50	ns
$t_{INITL}$	INITN LOW time	—	—	55	ns
$t_{DPPINT}$	PROGRAMN LOW to INITN LOW	—	—	70	ns
$t_{DPPDONE}$	PROGRAMN LOW to DONE LOW	—	—	80	ns
$t_{IODISS}$	PROGRAMN LOW to I/O Disabled	—	—	150	ns

※Data Sheet Ver1.9より抜粋

## 2-5 sysIO Bankの構成

- 7つのsysIO BANKでデバイスを構成しています(※但し、LFE5-85のみBANK4を含む8BANK構成)
- Bank0, Bank1, Bank2, Bank3, Bank6, Bank7はそれぞれVREFを保有しています
- Bank 8 はsysCONFIG専用 Bankです
- SERDESはBottom Bankに配置されています
- DDRメモリを使う場合、SSTL、HSUL用リファレンス電圧は必ずVREF1を使用してください



※TN1262 Ver1.1より抜粋

## 2-6 Mixed Voltage

For TOP/BOTTOM BANKS										
V <sub>CCIO</sub> (V)	Input SysIO Standards					Output SysIO Standards				
	1.2 V	1.5 V	1.8 V	2.5 V	3.3 V	1.2 V	1.5 V	1.8 V	2.5 V	3.3 V
1.2 V	Yes			Yes	Yes	Yes				
1.35 V	Yes			Yes	Yes					
1.5 V	Yes	Yes		Yes	Yes		Yes			
1.8 V	Yes		Yes	Yes	Yes			Yes		
2.5 V	Yes			Yes	Yes				Yes	
3.3 V	Yes			Yes	Yes					Yes
For LEFT/RIGHT BANKS										
V <sub>CCIO</sub> (V)	Input Signal					Output SysIO Standards				
	1.2 V	1.5 V	1.8 V	2.5 V	3.3 V	1.2 V	1.5 V	1.8 V	2.5 V	3.3 V
1.2 V	Yes					Yes				
1.35 V	Yes									
1.5 V	Yes	Yes					Yes			
1.8 V	Yes		Yes					Yes		
2.5 V	Yes			Yes					Yes	
3.3 V	Yes			Yes	Yes					Yes

※TN1262 Ver1.1より抜粋

	VREF	Vccio	INPUT	OUTPUT	Bi-Directional
<b>Single-Ended I/O Standards</b>					
LVTTL33	-	3.3V	ALL BANK	ALL BANK	ALL BANK
LVCMOS33	-	3.3V	ALL BANK	ALL BANK	ALL BANK
LVCMOS25	-	2.5V	ALL BANK	ALL BANK	ALL BANK
LVCMOS18	-	1.8V	ALL BANK	ALL BANK	ALL BANK
LVCMOS15	-	1.5V	ALL BANK	ALL BANK	ALL BANK
LVCMOS12	-	1.2V	ALL BANK	ALL BANK	ALL BANK
SSTL18 _ Class I , II	0.9V	-	LEFT or RIGHT	ALL BANK	LEFT or RIGHT
SSTL15 _ Class I , II	0.75V	-	LEFT or RIGHT	ALL BANK	LEFT or RIGHT
SSTL135 _ Class I , II	0.675V	-	LEFT or RIGHT	ALL BANK	LEFT or RIGHT
HSUL12	0.6V	-	LEFT or RIGHT	ALL BANK	LEFT or RIGHT
<b>Differential I/O Standards</b>					
SSTL18D _ Class I , II	-	-			
SSTL15D _ Class I , II	-	-			
SSTL135D _ Class I , II	-	-			
HSUL12D	-	-			
LVCMOS33D	-	-			
LVCMOS25D	-	-			
LVCMOS18D	-	-			
LVDS	-	-	ALL BANK	A/Bペア	ALL BANK
LVDS25E	-	-	-	ALL BANK	-
BLVDS25	-	-	ALL BANK	-	-
BLVDS25E	-	-	-	ALL BANK	ALL BANK
MLVDS25	-	-	ALL BANK	-	-
MLVDS25E	-	-	-	ALL BANK	ALL BANK
LVPECL33	-	-	ALL BANK	-	-
LVPECL33E	-	-	-	ALL BANK	-
SLVS	-	-	ALL BANK	-	-
SUBLVDS	-	-	ALL BANK	-	-
MIPI D-PHY HS MODE	-	-	C/Dペア	-	-

**■LEFT/RIGHT Bankの全てのペア間にターミネーションが入っております。**

- Differential Inputの場合、LVDS用に終端抵抗(100Ω)が内蔵されております。  
(内蔵終端抵抗誤差+/-20%)
- Single Ended Inputの場合、SSTL,HSUL用に終端抵抗(50, 75, 150Ω)が内蔵されております。  
(内蔵終端抵抗誤差+/-20%)
- 内部終端抵抗は「Diamond > Spreadsheet View > Global Preference > Port Assignments」の  
DIFFRESISTORの項目にて設定が可能です。

IO_TYPE	Terminate to V <sub>CCIO</sub> /2*	Differential Termination Resistor*
LVDS25	—	100
BLVDS25	—	100
MLVDS	—	100
LVPECL33	—	100
subLVDS	—	100
SLVS	—	100
HSUL12	50, 75, 150	—
HSUL12D	—	100
SSTL135_I / II	50, 75, 150	—
SSTL135D_I / II	—	100
SSTL15_I / II	50, 75, 150	—
SSTL15D_I / II	—	100
SSTL18_I / II	50, 75, 150	—
SSTL18D_I / II	—	100

※Data Sheet Ver1.9より抜粋

## ■LVDS入力の注意事項

- ・入力の場合は全てのBankで入力可能です
- ・使用するIOは必ず差動ペアにして下さい。T側がTrue, C側がComplementaryです
- ・LEFT/RIGHT BankはOn Chip Terminationを保有しているため外付け抵抗なしで入力可能です
- ・差動LVDS入力として扱った場合、内部Pull-upが有効になりません  
その為、転送用ケーブルが外れるようなアプリケーションの場合にはFloating防止の為、  
外部での処理が必要です。
- ・フェイルセーフ保護としてVthdがデバイス内に設けられておりますが、ノイズの多い環境での  
使用や取り外されたケーブルからVthdを超えるような差動ノイズを拾うと、レシーバはスイッチング  
したり発振し、デバイス内で問題を引き起こす可能性があります。
- ・VCCIOには2.5V、若しくは3.3Vを印加する必要があります  
※Bankは必然的に2.5V、若しくは3.3Vのインターフェイスでしか使用出来なくなりますのでご注意  
下さい

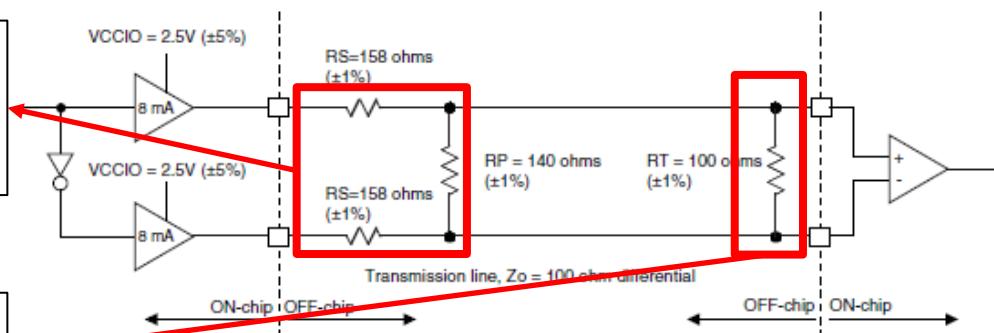
### ■LVDS出力の注意事項

- ・TRUE LVDSのペアを使用します
- ・ピンリストに記載されているA/Bペア(Comp\_OF\_\*\*\*A,/Comp\_OF\_\*\*\*B)がTRUE LVDSに対応したI/Oです
- ・LEFT/RIGHT Bankで対応しています
- ・開発ツール「Diamond」のSpreadsheet viewで設定するI/O Typeを”LVDS”に設定してください
- ・TRUE LVDS出力では外付け抵抗は必要ありません
- ・TRUE LVDSで使用する場合、VCCIOには2.5Vを印加する必要があります  
※Bankは必然的に2.5Vのインターフェイスでしか使用出来なくなりますのでご注意下さい

## ■Emulated LVDS出力の注意事項

- ・全てのBANKでEmulated LVDS出力が可能です
- ・ピンリストに記載されているC/Dペア(Comp\_OF\_\*\*\*C,/Comp\_OF\_\*\*\*D)がEmulated LVDSに対応したI/Oです
- ・Emulated LVDSで使用する場合、VCCIOには2.5Vを印加する必要があります  
※Emulated LVDSを使用するBankは必然的に2.5Vインターフェイスでしか使用出来なくなりますのでご注意ください
- ・開発ツール「Diamond」のSpreadsheet viewで設定するI/O Typeを“LVDS25E”に設定してください  
ドライブ電流は8mAにしてください
- ・Emulated LVDS出力では外付け抵抗が必要です

この外付け抵抗はEmulated LVDSのときのみ必要となります。True LVDSの時には必要ありません。



この終端抵抗はTrue LVDSでも、Emulated LVDSでも必要になります。

### 3. コンフィグレーションについて

### ■コンフィグレーション開始

- ・電源が以下3つの条件を満たすとき、コンフィグレーションが開始されます

- $V_{cc} > 0.9V - 1.0V$
- $V_{ccio8} > 0.95V - 1.06V$
- $V_{ccAUX} > 2.0V - 2.2V$

### ■コンフィグレーション専用のBank

- ・Bank8は基本的にコンフィグレーション専用のBankです

(コンフィグレーション完了後、Parallel ConfigurationポートやSPI ポートの一部は汎用I/Oとしてもお使い頂けますが、ピンに余りがある場合にはなるべく通常のI/Oを優先してお使い頂くことを推奨します)

## ■コンフィグレーションモード

### Slave SPI (SSPI)

スレーブSPI コンフィグレーション

### Master SPI Serial

SPI I/Fを保有しているFlashメモリと直接接続し、コンフィグレーションを行います。

### Master SPI Dual

Dual SPI (Data Bus 2bit)のFlashメモリと直接接続し、コンフィグレーションを行います。

### Master SPI Quad

Quad SPI (Data Bus 4bit)のFlashメモリと直接接続し、コンフィグレーションを行います。

### Master SPI Dual-Boot

SPIフラッシュメモリの記憶領域を2つに分け、デュアルブート機能を用いたコンフィグレーションを行います。

### Master SPI Multi-Boot

SPIフラッシュメモリの記憶領域を最大5個に分け、マルチブート機能を用いたコンフィグレーションを行います。

### Slave Serial (SCM)

FPGAがスレーブ(クロックCCLKから入力)となり、外部シリアルROM、或いはCPUからのデータを読み込みコンフィグレーションを行うモードです。

### Slave Parallel (SPCM)

FPGAがスレーブ(クロックCCLKから入力)となり、外部シリアルROM、或いはCPUからのデータを読み込みコンフィグレーションを行うモードです。

### ispJTAGモード (JTAG)

ispJTAGポートを介してコンフィグレーションを行うモードです。

## 3-3. コンフィグレーションモード選択

## ■コンフィグレーションモード選択ピン

CFGMDN[2:0]ピンの状態に応じ、各種コンフィグレーションモードが決定されます。

Mode	Options	Bus size [ bit ]	CFGMDN2	CFGMDN1	CFGMDN0	Clock Pin	備考
SSPI	-	1	0	0	1	CCLK	(Diamond > Spreadsheet View>Global Preferences) SLAVE_SPI_PORTをENABLEに設定
MSPI	Serial	1	0	1	0	MCLK	(Diamond > Spreadsheet View>Global Preferences) MASTER_SPI_PORTをENABLEに設定 CONFIG_MODEでSerial/Dual/Quadの設定も併せて必要
	Dual	2					
	Quad	4					
	Dual-Boot	1,2,4					詳細は <a href="#">TN1216</a> を参照
	Multi-Boot	1,2,4					
SCM	-	1	1	0	1	CCLK	
SPCM	-	8	1	1	1	CCLK	
JTAG	-	1	x	x	x	TCK	CFGMDN[2:0]の設定によらず、常に有効

通常動作中にコンフィグレーションSRAMにアクセスするにはPERSISTENT設定が必要です  
(Page31 参照)

Instruction/Address  
(Dummy)

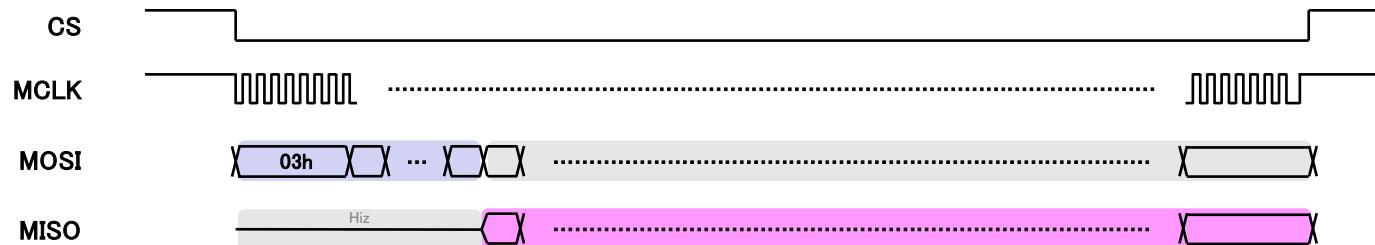
Configuration Data

Don't Care

## ■ Serialの場合

Serial Read [03h] のみでコンフィグレーションが完了する

\*要注意 (Page46)

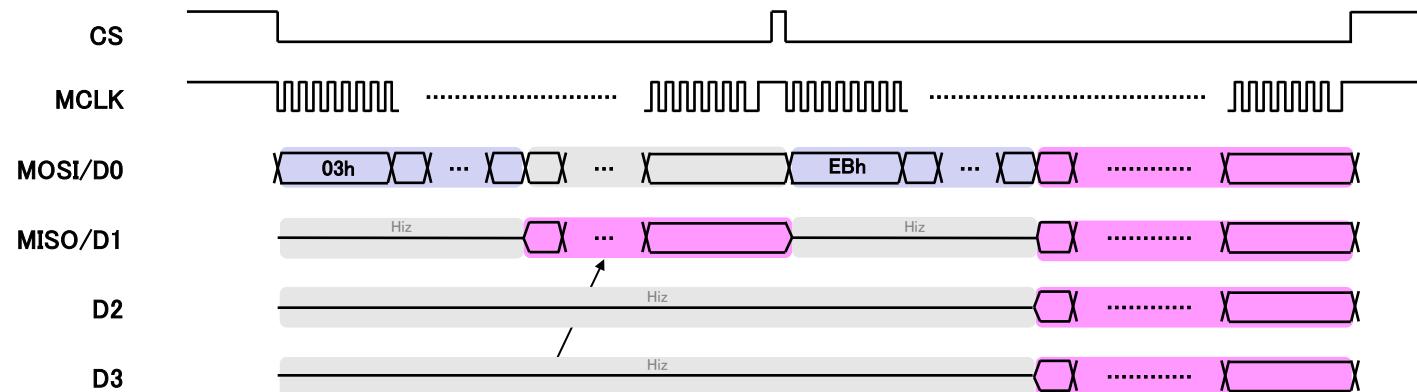


## ■ Dual/Quadの場合

Serial Read [03h] で開始し、途中からDual/Quad Read [BBh/EBh] に切り替わる

\*要注意 (Page47)

\*要注意 (Page46)



Spreadsheet View > Global Preferenceの  
CONFIG\_MODE設定などが含まれます

-本データは、独自の実機検証に基づいて確認したものであり、Lattice社から正式に提示されたデータではありません  
-『Dual/Quadの場合』のチャートイメージは、Quadの例で記載しております

## 3-4. Global Preferenceの設定 (1/3)

## ■PERSISTNT設定

PERSISTENT設定とは、Dual Purposeピンをコンフィグレーション機能ピンとして使用するか、汎用I/Oとして使用するか判断するための制御bitの設定です

PERSISTENTアトリビュートはDiamond Spreadsheet ViewのGlobal Preferenceで設定します。

Preference Name	Preference Value
<b>sysConfig</b>	
SLAVE_SPI_PORT	DISABLE
MASTER_SPI_PORT	DISABLE
SLAVE_PARALLEL_PORT	DISABLE
DONE_EX	OFF
DONE_OD	ON
DONE_PULL	ON
MCCLK_FREQ	2.4
TRANSFR	OFF
CONFIG_IOVOLTAGE	2.5
CONFIG_SECURE	OFF
WAKE_UP	21
COMPRESS_CONFIG	OFF
CONFIG_MODE	JTAG

## ■PERSISTENT設定で有効になるピン

Table 4.7. sysCONFIG Pins Global Preferences

Port Setting	Pins Affected	Details
SLAVE_PARALLEL_PORT	D[0:7], CSN, CS1N, WRITEN, BUSY	If enabled, persisted for configuration purpose.
SLAVE_SPI_PORT	MOSI, MISO, SN	If enabled, persisted for configuration purpose.
MASTER_SPI_PORT	MOSI, MISO, CSSPIN	If enabled, persisted for configuration purpose.

## 3-4. Global Preferenceの設定 (2/3)

sysConfig	設定項目	内容
SLAVE_SPI_PORT	DISABLE( Default ) ENABLE	外部SLAVE_SPIポートを利用して、プログラムまたはリードする際に有効にします。
MASTER_SPI_PORT	DISABLE( Default ) ENABLE	外部MASTER_SPIポートを利用して、プログラムまたはリードする際に有効にします。
SLAVE_PARALLEL_PORT	DISABLE( Default ) ENABLE	外部SLAVE_PARALLEL_SPIポートを利用して、プログラムまたはリードする際に有効にします。
DONE_EX	OFF(Default) ON	デイジーチェーン接続でDONEピンを使用する場合に設定します。
DONE_OD	ON(Default) OFF	DONEピンをオープンドレイン出力の設定にします。
DONE_PULL	ON(Default) OFF	DONEピンの内蔵プルアップの有無を設定します。
MCCLK_FREQ	2.4(Default) ~62	マスタクロックの周波数を設定できます。Default2.08MHzとなっております。 設定周波数詳細は下記を参照下さい。
TRANSFR	OFF(Default) ON	TRANSFR機能の利用を選択します。

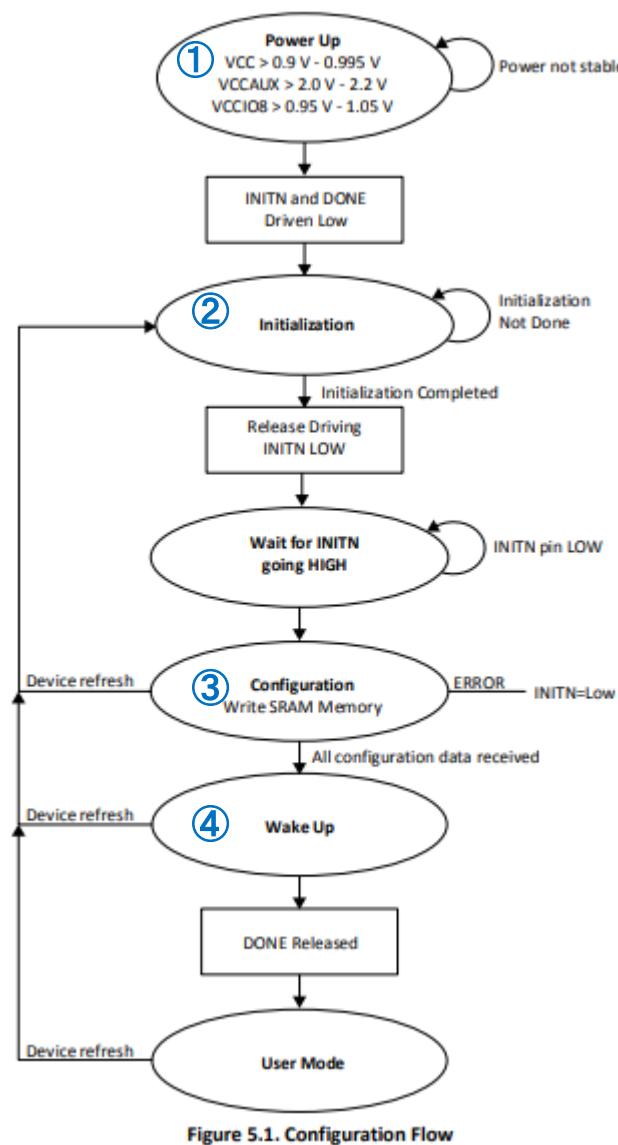
Table 2.16. Selectable Master Clock (MCLK) Frequencies during Configuration (Nominal)

MCLK Frequency (MHz)
2.4
4.8
9.7
19.4
38.8
62

## 3-4. Global Preferenceの設定 (3/3)

sysConfig	設定項目	内容
CONFIG_IOVOLTAGE	2.5(Default) 1.2/1.5/1.8/2.5/3.3	sysCONFIG bankの電圧を設定します
CONFIG_SECURE	OFF(Default) ON	ONの場合、sysCONFIGやJTAGポート等からのリードバックを防ぎます。 尚、この場合においてもUSERCODEエリアはリード可能です。 OFFの場合、リードバックが可能となります。
WAKE_UP	21(Default) 4	WakeUPシーケンスの遅延時間を設定します。DONE_EX=OFF(Default)の場合には'21'、DONE_EX(ON)の場合には'4'がDefaultで設定されます。
COMPRESS_CONFIG	OFF(Default) ON	ONの場合、Bitstream ファイルを圧縮します。ソフトウェアは、圧縮したBitstreamファイルを生成します。
CONFIG_MODE	JTAG(Default) SSPI,SSPI_SERIAL, SPI_DUAL,SPI_QUAD, SLAVE_PARALLEL, SLAVE_SERIAL	コンフィグレーション方法を左記の種類から選択します。

### 3-5. コンフィグレーションフロー (1/2)



#### ①Power Up

電源が以下条件を満たすとき、Power On Resetがかかります

- VCC  $> 0.9V - 0.995V$
- VCCIO8  $> 0.95 V - 1.05 V$
- VCCAUX  $> 2.0 V - 2.2 V$

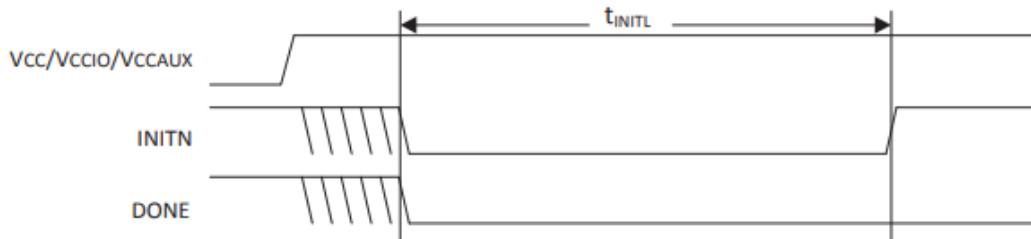


Figure 5.2. Configuration from Power-On-Reset Timing

#### ②Initialization

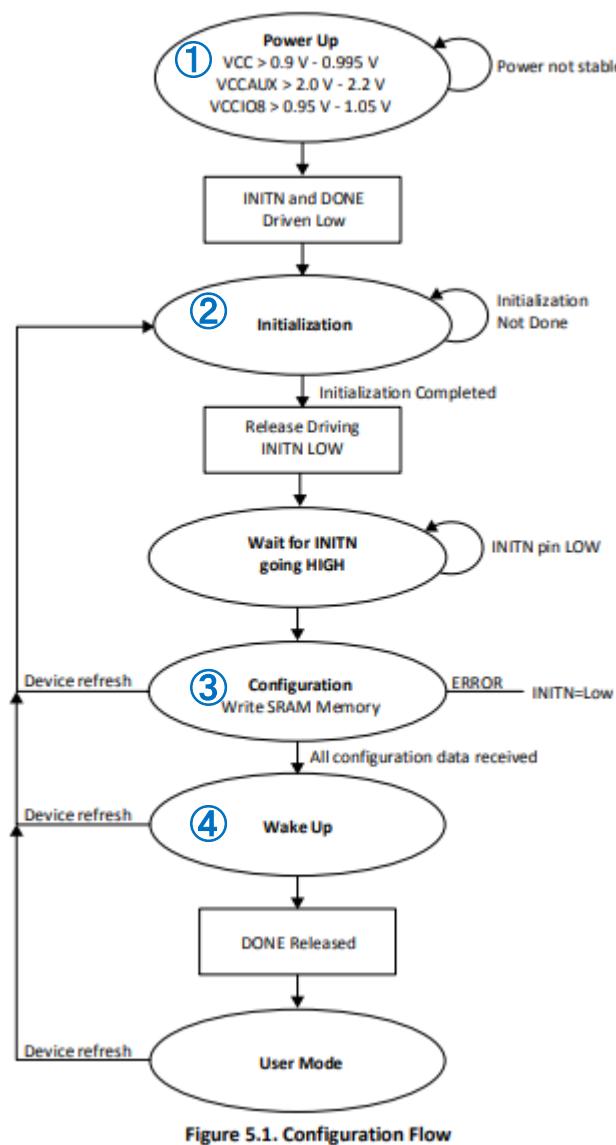
Power On Reset回路によりINITNとDONEがLowにドライブされた後、ECP5はInitializationステートに入りFPGA内の全てのSRAM領域が初期化されます。

ECP5は以下条件全てが満たされるまで初期化状態のままでです。

- tINITL時間が経過
- PROGRAMNピンがDEASSERT
- INITNピンが外部MasterによりASSERTされていない

tINITLの期間、ECP5はSRAM領域をクリアします。初期化が完了するとINITN(Active Low, Open Drain)をリリースし、外付け抵抗でHighに吊り上げられます。

### 3-5. コンフィグレーションフロー (2/2)



#### ③Configuration

INITNがHighになると、Configurationが開始します。INITNはコンフィグレーションのErrorを知らせる機能があり、Highの場合にはコンフィグレーションが正しく進行しており、LowにAssertされるとErrorを表します。

#### ④Wake Up

ConfigurationモードからUserモードへの移行ステートです。全てのコンフィグレーションデータが受信されると、内部のDONEステータスビットをアサートされ、以下4つの制御を実行します

- Global Set/Reset (GSR)
- Global Output Enable (GOE)
- Global Write Disable (GWDIS)
- External DONE

##### Global Set/Reset (GSR):

アサートされると、全てのI/O FF、LUT、FF、分散RAM、EBR、がSet/Resetされます。(言語記述に依存)

##### Global Output Enable (GOE) :

アサートされると、I/OのHi-z状態を終了し、プログラムされたI/Oの状態となります。

##### Global Write Disable (GWDIS):

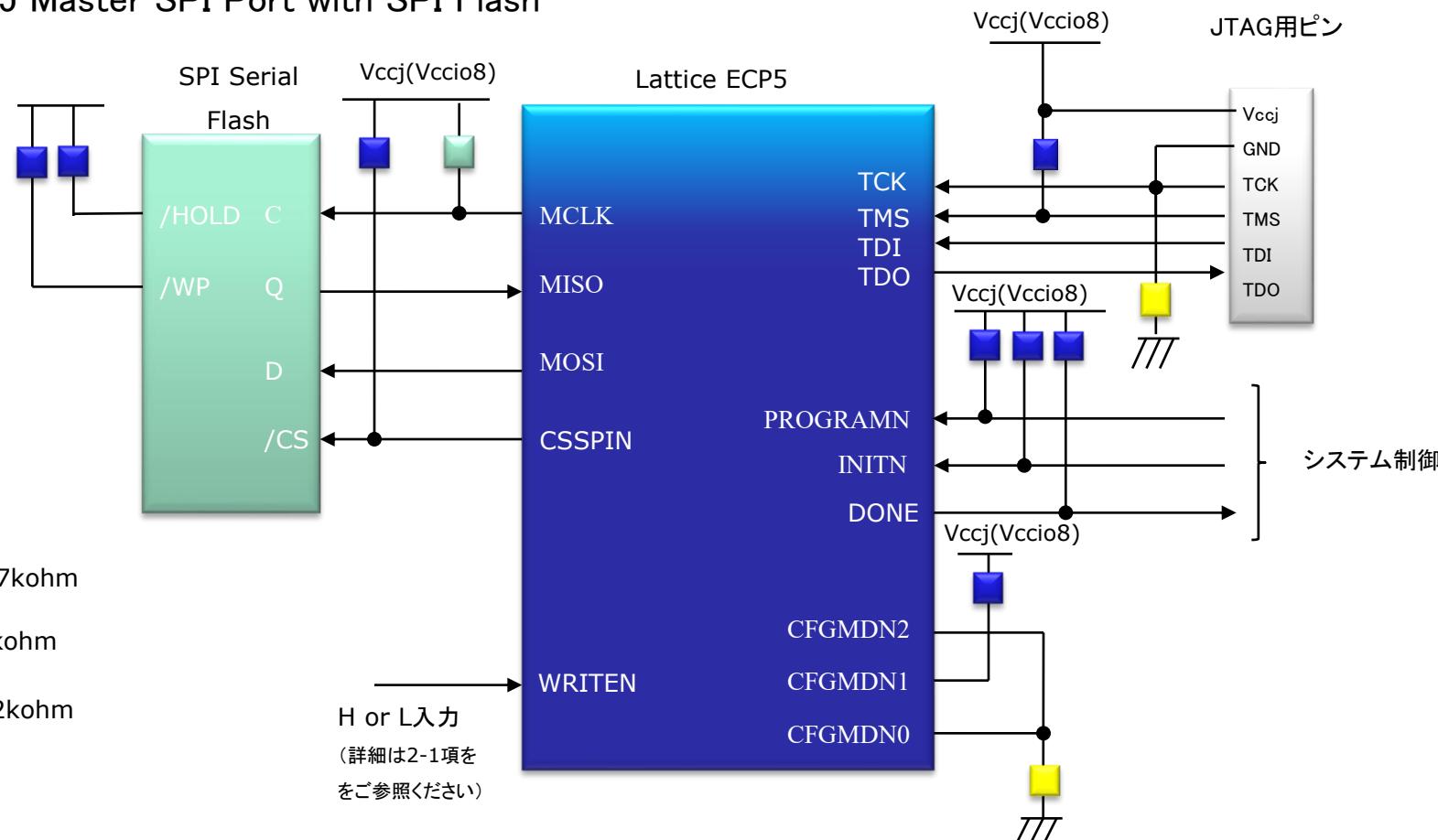
アサートされると、RAMロジックのWrite Enableを無効にし、RAMリソースの破損を防ぎます。

##### External DONE:

DONEをリリースすることで、コンフィグレーションの完了を示します。

## 3-6. Master SPI Serial 回路例

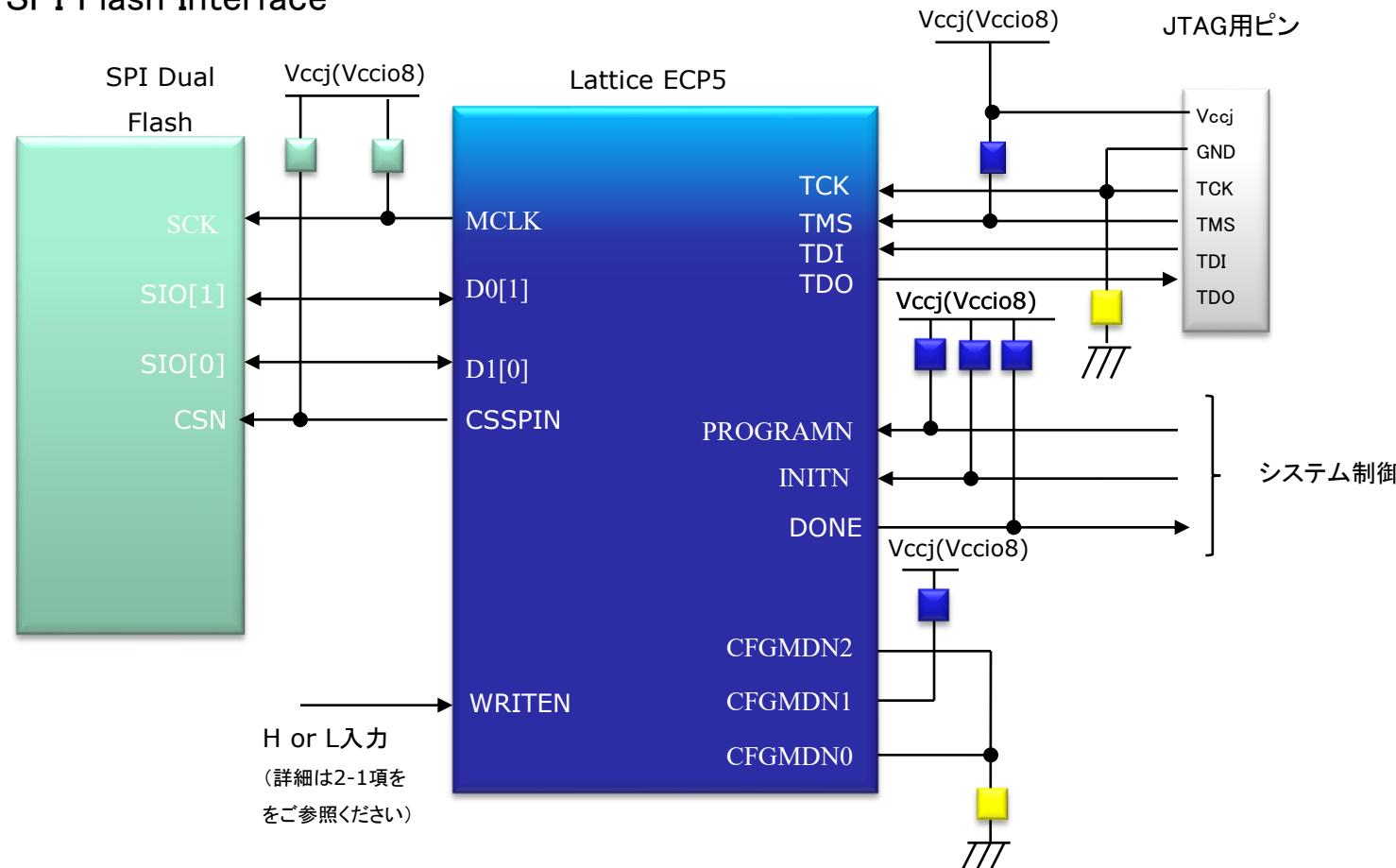
## ■ECP5 Master SPI Port with SPI Flash



PROGRAMNはコンフィグ失敗時や、コンフィグレーションシーケンスから抜け出せないようなイレギュラーな現象が起った場合にトグルすることでFPGAを初期化し、再コンフィグレーションを行なうことが可能です。CPUに接続し、制御できるように構成頂く事を推奨します。DONE,INITNに関してはコンフィグレーションの状態を確認することができます。LEDを接続しておくことでデバック時に有効です。

## 3-7. Master SPI Dual 回路例

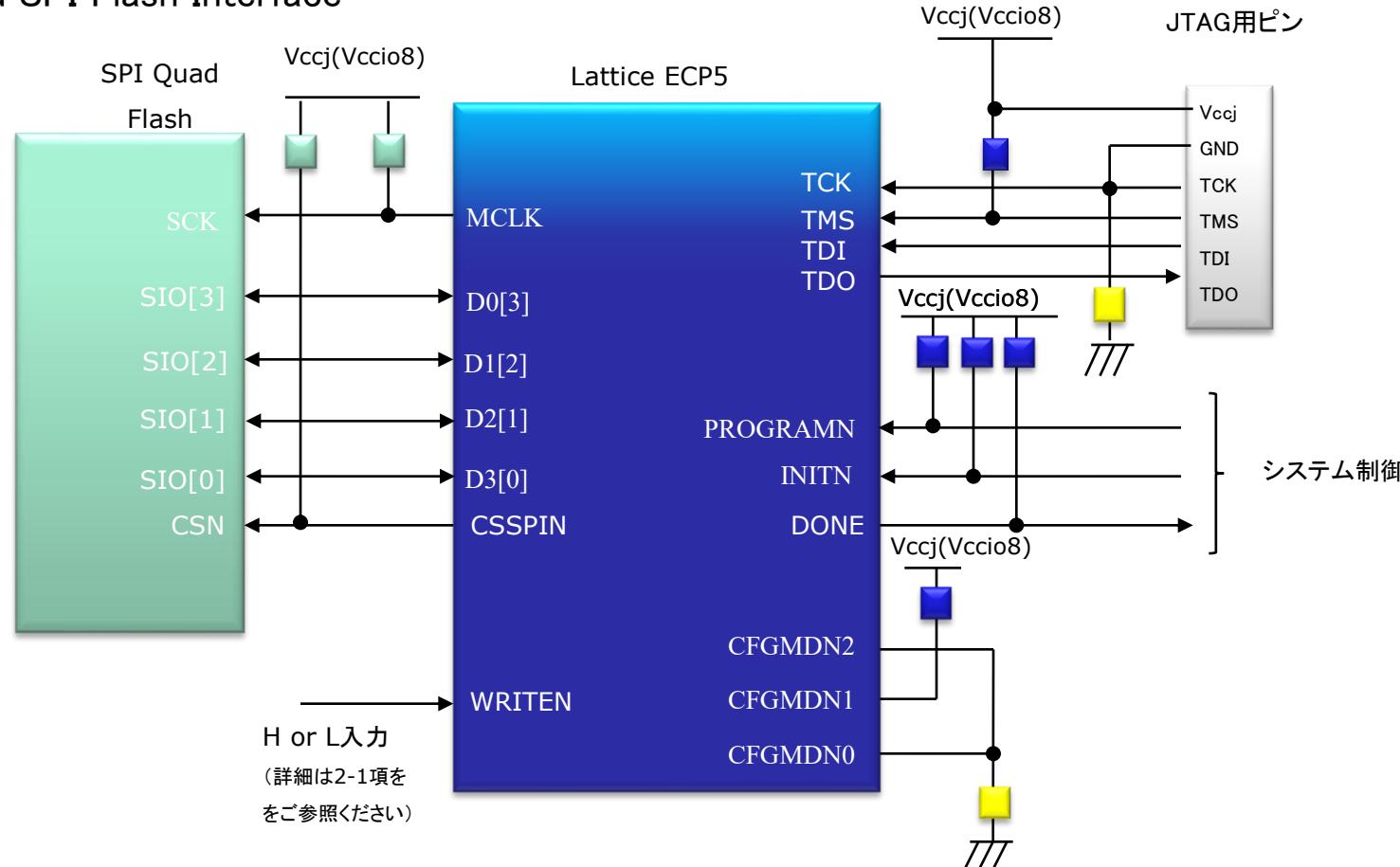
## ■ One Dual SPI Flash Interface



PROGRAMNはコンフィグ失敗時や、コンフィグレーションシーケンスから抜け出せないようなイレギュラーな現象が起った場合にトグルすることでFPGAを初期化し、再コンフィグレーションを行なうことが可能です。CPUに接続し、制御できるように構成頂く事を推奨します。DONE,INITNに関してはコンフィグレーションの状態を確認することができます。LEDを接続しておくことでデバック時に有効です。

## 3-8. Master SPI Quad 回路例

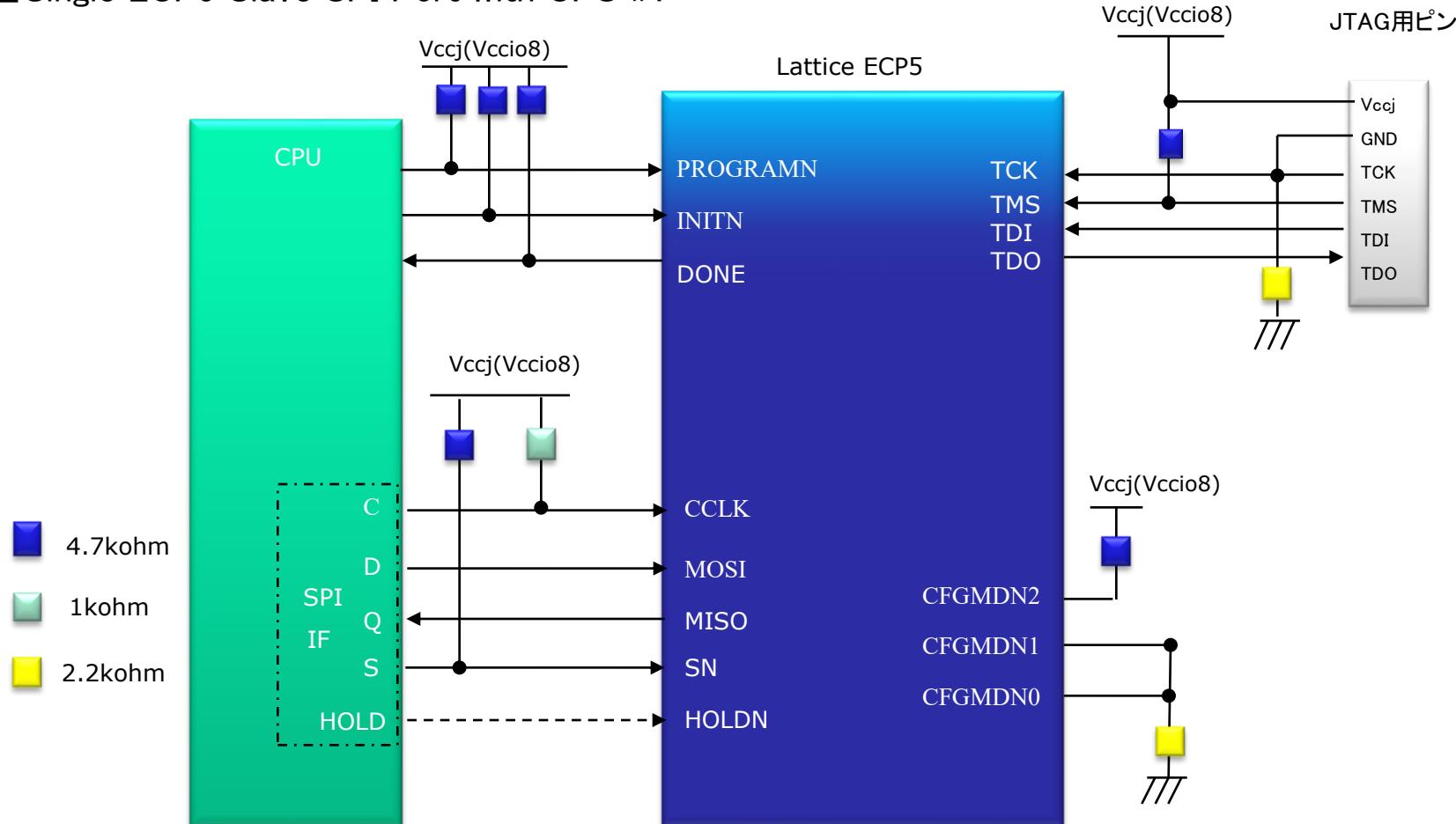
### ■ One Quad SPI Flash Interface



PROGRAMNはコンフィグ失敗時や、コンフィグレーションシーケンスから抜け出せないようなイレギュラーな現象が起った場合にトグルすることでFPGAを初期化し、再コンフィグレーションを行なうことが可能です。CPUに接続し、制御できるように構成頂く事を推奨します。DONE,INITNに関してはコンフィグレーションの状態を確認することができます。LEDを接続しておくことでデバック時に有効です。

## 3-9.Slave SPI Mode 詳細 (1/2)

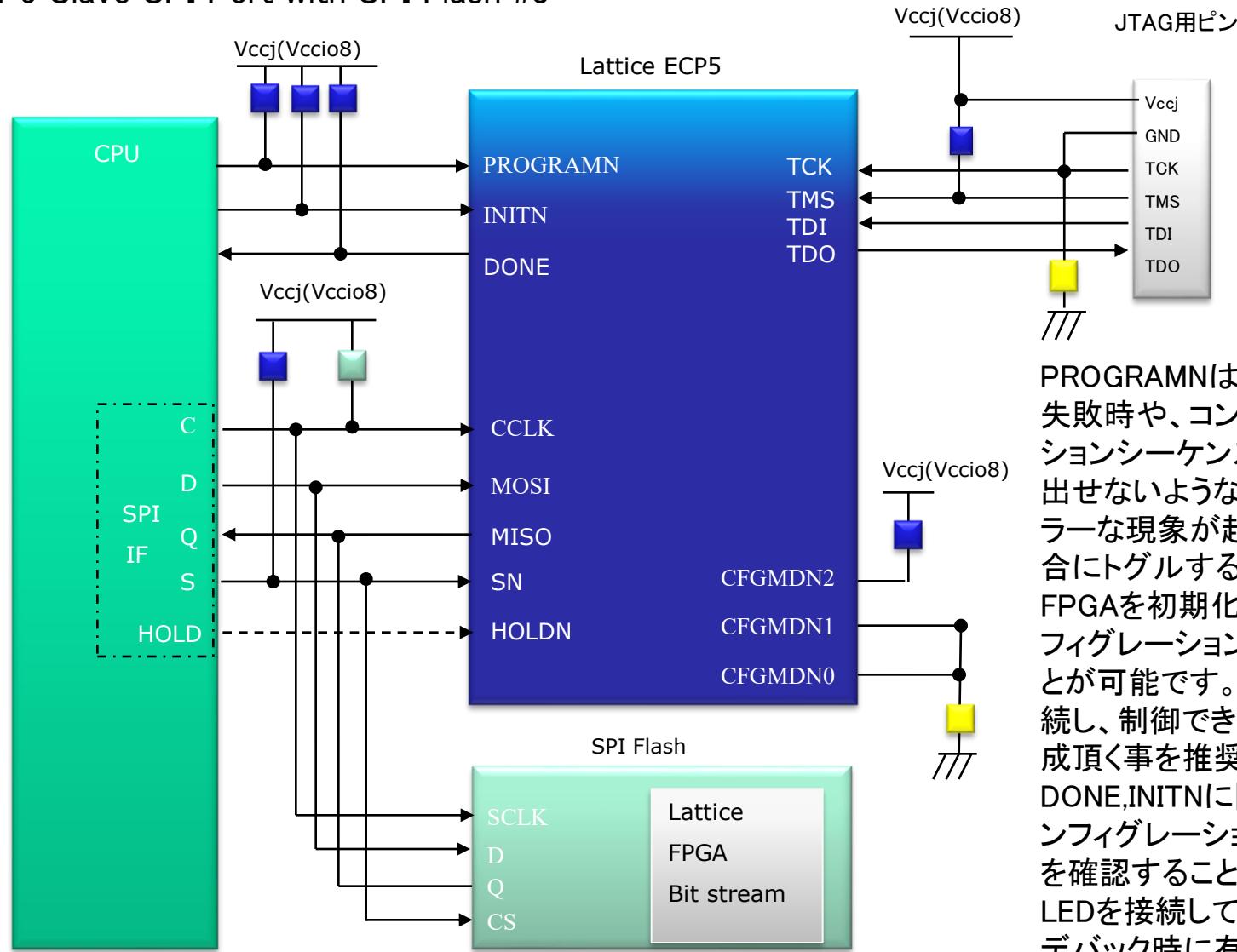
## ■ Single ECP5 Slave SPI Port with CPU #1



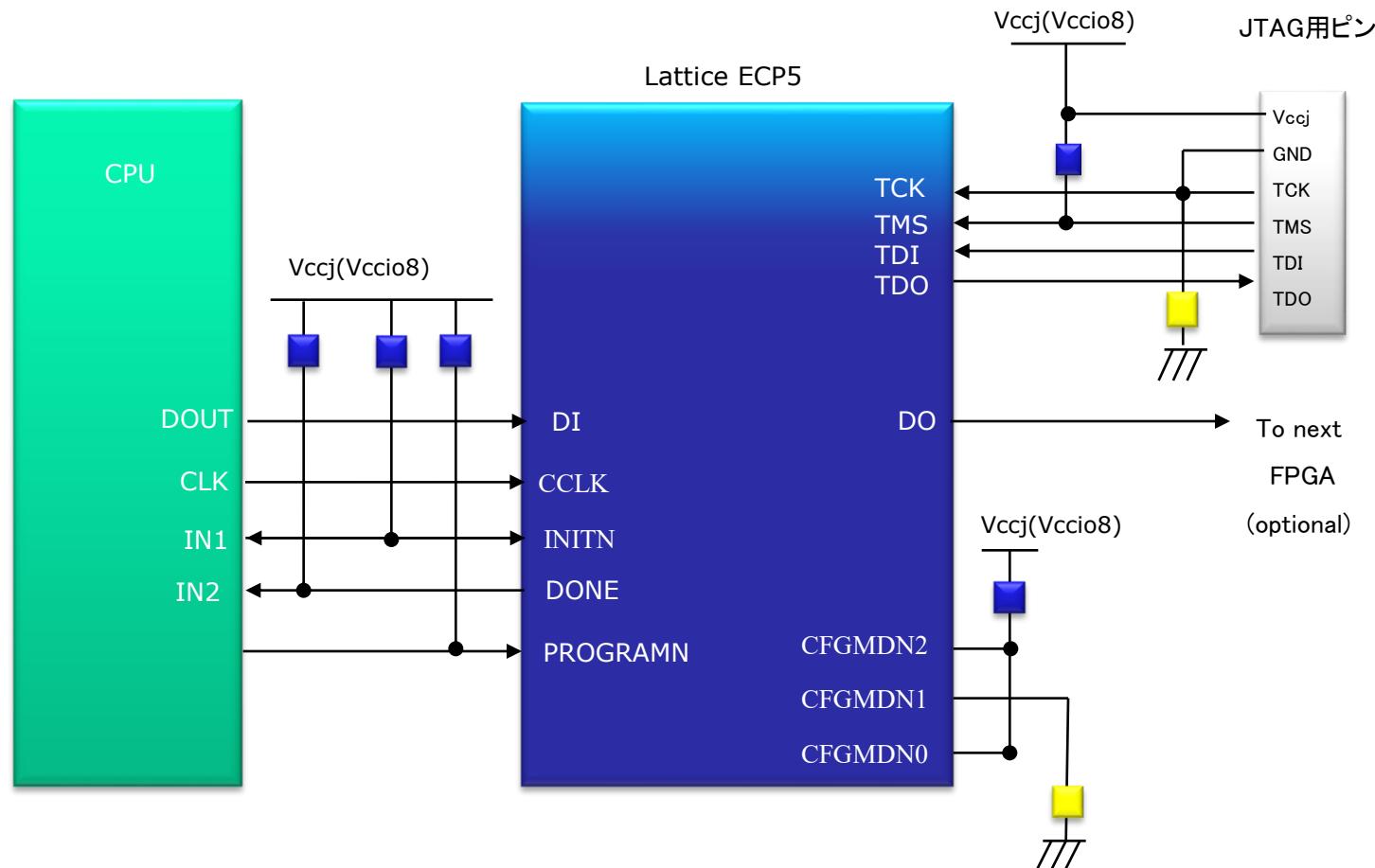
PROGRAMNはコンフィグ失敗時や、コンフィグレーションシーケンスから抜け出せないようなイレギュラーな現象が起った場合にトグルすることでFPGAを初期化し、再コンフィグレーションを行なうことが可能です。CPUに接続し、制御できるように構成頂く事を推奨します。DONE,INITNに関してはコンフィグレーションの状態を確認することができます。LEDを接続しておくことでデバック時に有効です。

## 3-9.Slave SPI Mode 詳細 (2/2)

## ■ Single ECP5 Slave SPI Port with SPI Flash #3

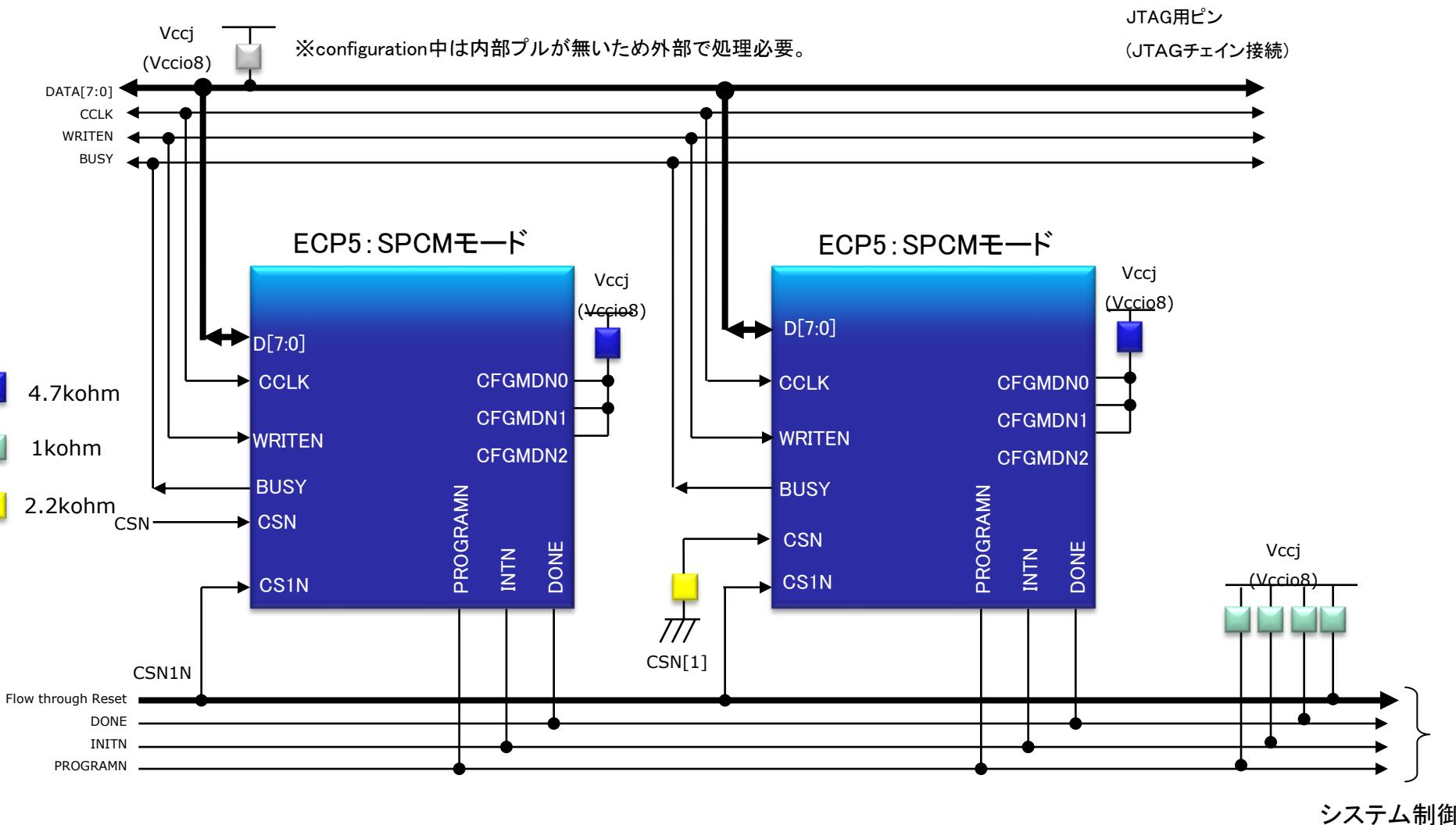


## 3-10.Slave Serial Mode (1/2)



PROGRAMNはコンフィグ失敗時や、コンフィグレーションシーケンスから抜け出せないようなイレギュラーな現象が起った場合にトグルすることでFPGAを初期化し、再コンフィグレーションを行なうことが可能です。CPUに接続し、制御できるように構成頂く事を推奨します。DONE,INITNに関してはコンフィグレーションの状態を確認することができます。LEDを接続しておくことでデバック時に有効です。

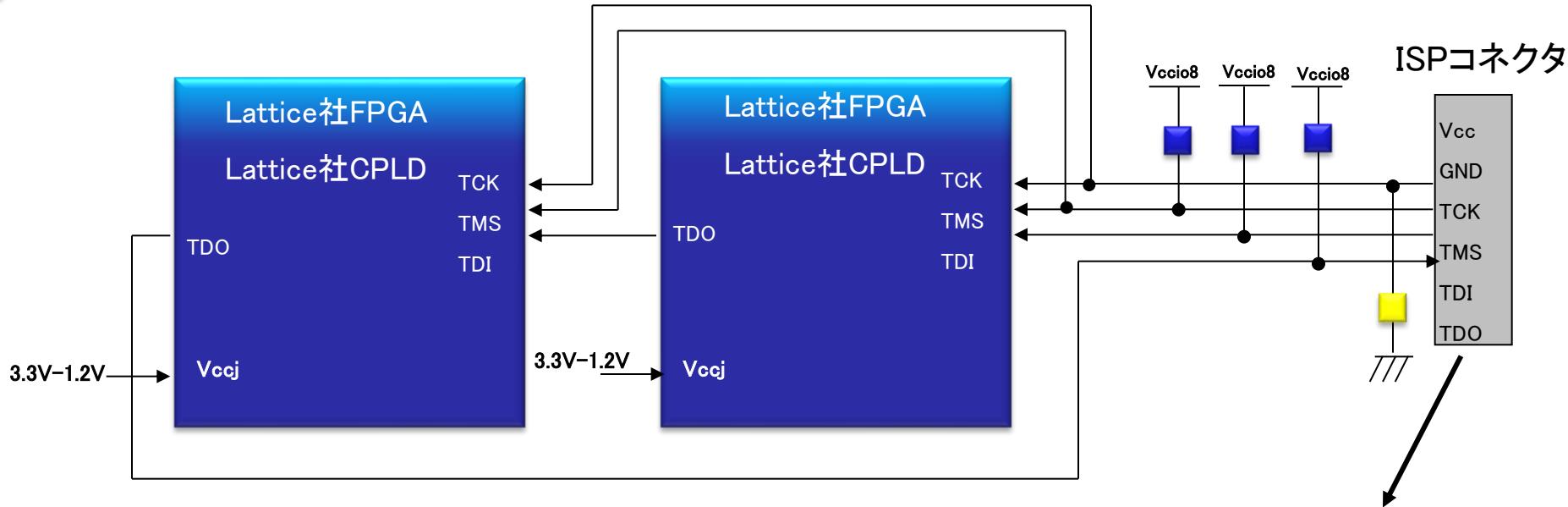
## 3-10.Slave Serial Mode (2/2)



## 3-11. JTAG Mode 詳細

- 4.7kohm
- 2.2kohm

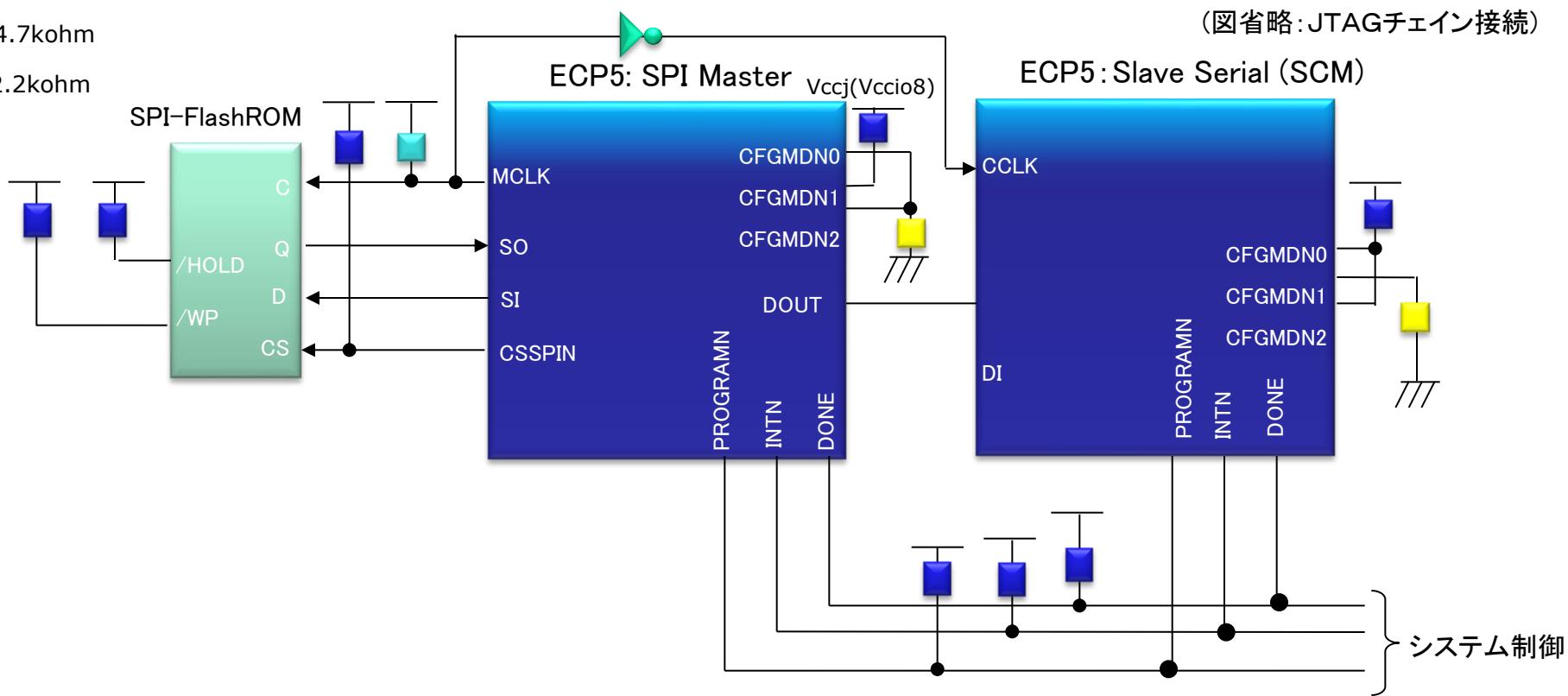
ISPコネクタは、Ver1,2ならば、3.3/2.5Vでのみ使用可能。  
Ver2A,3以降ならば、3.3/2.5/1.8V対応可能。



- ・ $V_{ccj}$ は、JTAGチェインで統一してください
- ・もし、チェイン上に3.3Vデバイスと1.2Vデバイスが混在している場合などは、3.3Vデバイスの TDOと1.2VデバイスのTDIのI/F取るために $V_{ccj}$ を3.3Vにする必要があります
- ・その他、詳細につきましては、弊社作成のマニュアルJTAG基板設計時資料をご覧下さい

### 3-12. Serial Daisy Chaining(1FLASH + 2FPGAの場合)

- 1kohm
- 4.7kohm
- 2.2kohm



- ・FPGAを二つ以上繋ぐ場合、CFGピンを 1番目のデバイスはSPIモードに、2番目からはスレーブシリアルモードに設定する必要があります。
- ・1番目FPGAは、Spreadsheet View Global PreferenceにおいてDONE\_EXの扱いをONにしておく必要があります。

## 3-13. コンフィグレーションデータ Bit Size

Table 4.1. Maximum Configuration Bits

Device	All Uncompressed	SPI Mode	
	Unencrypted/Encrypted Bitstream Size (Mb)	Recommended SPI Flash Size (Mb)	Dual Boot Recommended SPI Flash
LFE5-12, No EBR	4.45	8	16
LFE5-12, Max EBR	5.42	8	16
LFE5-25, LFE No EBR	4.45	8	16
LFE5-25, LFE5UM-25, LFE25UM5G-25 Max EBR	5.42	8	16
LFE5-45, LFE5UM-45, LFE25UM5G-45No EBR	7.86	8	16
LFE5-45, LFE5UM-45, LFE25UM5G-45 Max EBR	9.74	16	32
LFE5-85, LFE5UM-85, LFE25UM5G-85 No EBR	14.71	16	32
LFE5-85, LFE5UM-85, LFE25UM5G-85 Max EBR	18.35	32	64

Note: Both unencrypted and encrypted bitstreams are the same size. Compression ratio depends on bitstream, so we only provide uncompressed bitstream data.

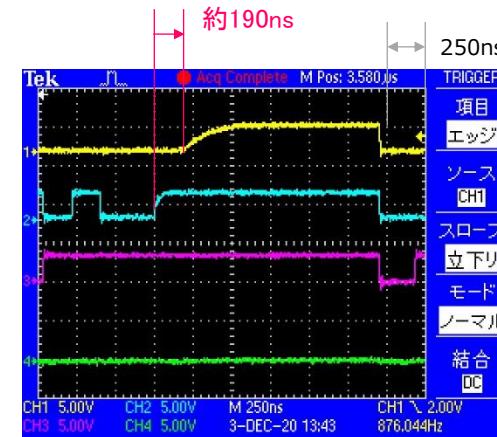
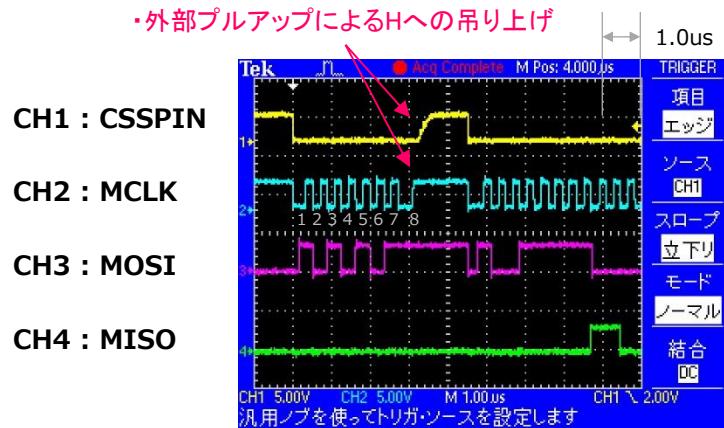
### 3-14. Master SPI 動作時の注意事項

ECP5の全てのMaster SPI動作時において、Operation最終Byteにおける最後のCLKエッジとCSのDe-assertionの挙動に注意が必要です。両者はHi-zへRelease→外部プルアップによる吊り上げによってHレベルとなります。また、CLKエッジReleaseから約190ns後にCS Releaseが開始します。

MCLKピンのプルアップが弱い場合、CLKエッジのHレベルへの到達が遅くなり、FlashのRequirementであるtCHSHの確保が出来なくなります。MCLKのプルアップ抵抗値は1kΩを推奨します。

- ・Hi-zヘリリース

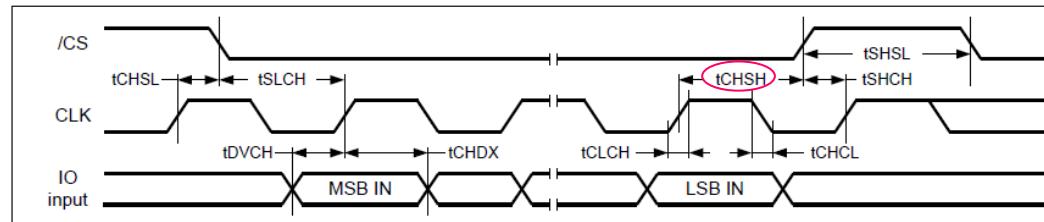
- ・外部プルアップによるHへの吊り上げ



※Diamond ProgrammerよりJTAG経由(JTAG → ECP5 → SPI FLASH)でFlashへ書き込みを行った際のECP5の出力波形

※ECP5 Evaluation Board [LFE5UM5G-85F-EVN] 上で波形測定(プルアップ抵抗値は、CSSPIN 4.7kΩ, MCLK 1kΩ)

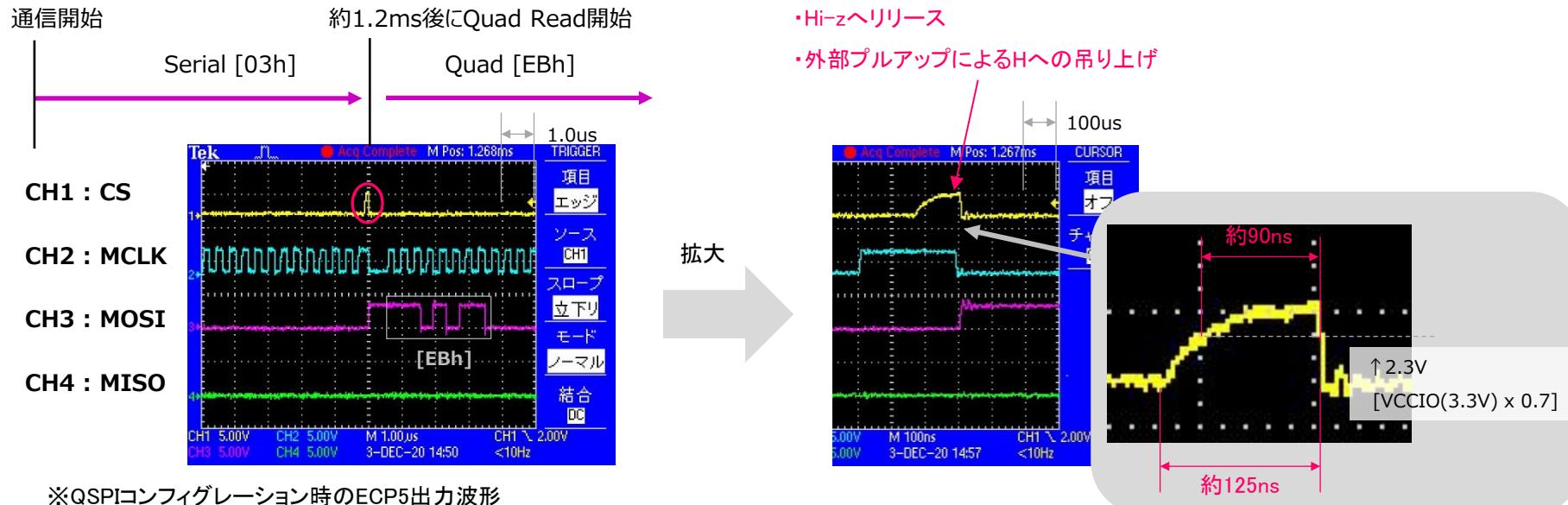
【参考】Winbond Flash W25Q16JVでは下記のようにtCHSHが規定されており、3ns以上の確保が必要です



### 3-15. Dual/Quad SPI 動作時の注意事項

Dual/Quad SPIコンフィグレーションにおいて、Flashへの通信開始時はSerial Read Command [03h]でオペレーションを始め、約1.2ms後にDual/Quad Read Command [BBh/EBh]を発行し直します。コマンド切り替わり時のCSSPIN挙動に注意が必要です。（Serial Readの際はコマンド切り替わりはありません）

コマンド切り替わり時は、一度CSSPINをHへDe-assertして[03h]のオペレーションを終了させた後、[BBh/EBh]を発行します。CSSPINのDe-assertは、Hi-zへRelease→外部プルアップによる吊り上げによってHレベルとなっており、尚且つ、Hレベルの期間は約90nsとなります。CSSPINのプルアップが弱い場合、CSSPINが十分Hレベルへ上がらず、Operation Failの可能性があります。CSSPINのプルアップ抵抗値は1kΩを推奨します。



※QSPIコンフィグレーション時のECP5出力波形

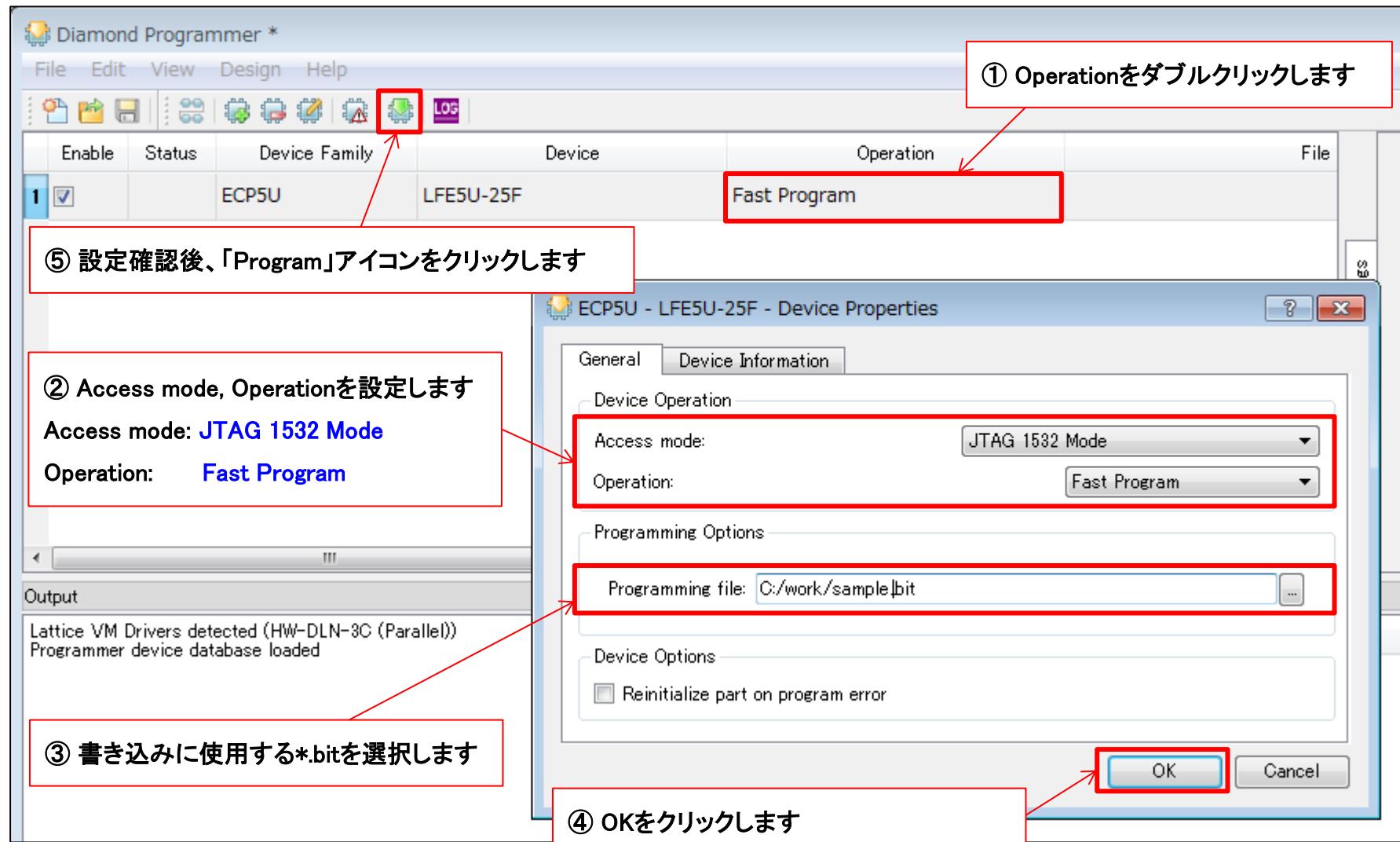
※QSPIコンフィグレーション用ファイル書き込みのオペレーションは後述の4-2項を参照のこと

※ECP5 Evaluation Board [LFE5UM5G-85F-EVN] 上で波形測定(CSSPINのプルアップは4.7kΩから1kΩへ変更)

## 4. Diamond programmerを使用した書き込みについて

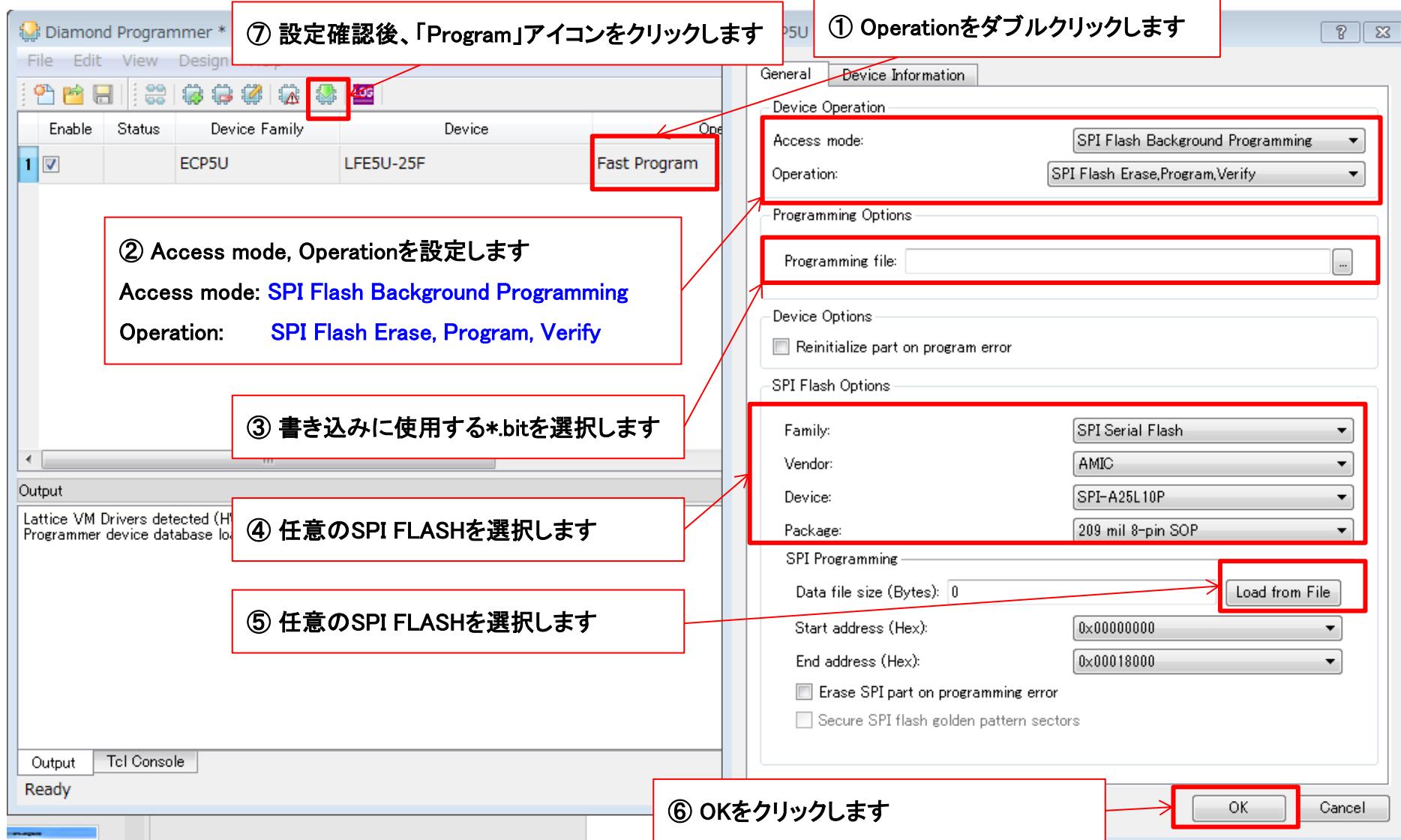
## 4-1. JTAGによるSRAM領域への書き込み

SRAM(揮発性)領域に直接Programmingする場合のオペレーション



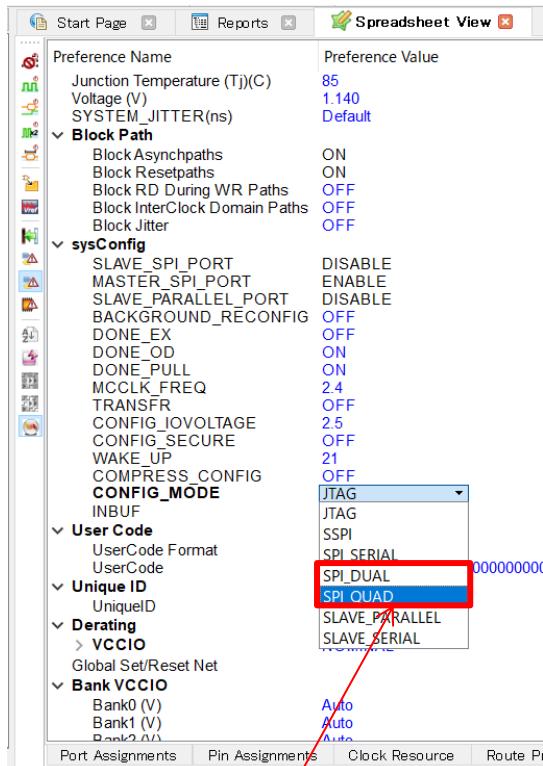
## 4-2. JTAG-ECP5経由でのSPI FLASH書き込み

JTAG経由(JTAG → ECP5 → SPI FLASH)でSPI FLASHにProgrammingする場合のオペレーション



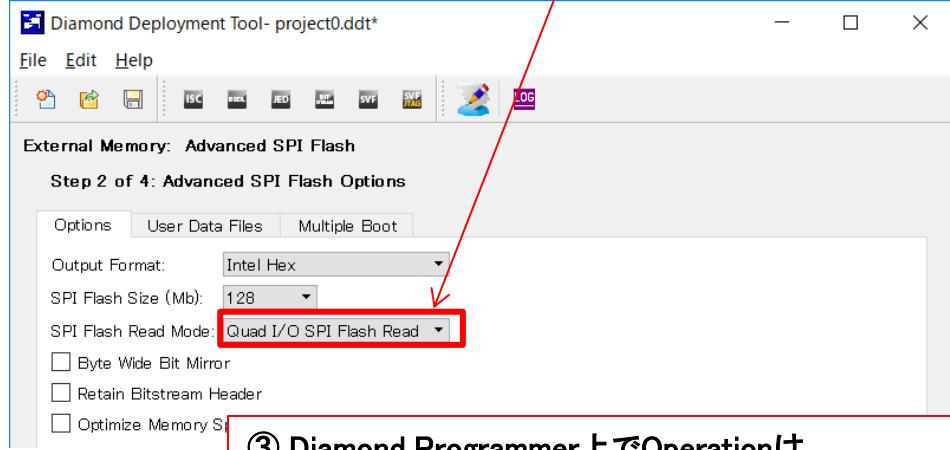
## 4-2. JTAG-ECP5経由でのSPI FLASH書き込み -Dual/Quadコンフィグレーション用ファイル-

Dual/Quad SPI Modeでコンフィグレーションする場合、下記点に注意する必要があります



① 設計開発ツールDiamond上で、CONFIG\_MODEを  
SPI\_DUAL/SPI\_QUADから選択します

② ファイル変換ツールDeployment Toolで  
SPI Flash Read ModeをQuad I/O SPI Flash Readと選択し、  
Diamondで生成した\*.bitファイルを\*.mcsへ変換します  
(詳細はFPGA-TN-02050参照)



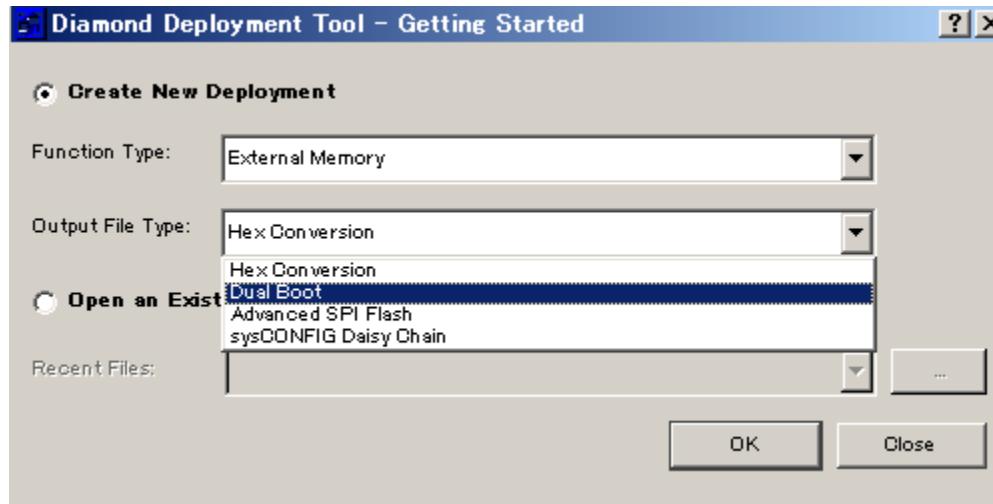
③ Diamond Programmer上でOperationは  
SPI Flash Erase, Program, Verify Quad 1を選択し、  
②で生成した\*.mcsファイルを書き込みます



## 4-3. Dual Boot (1/5)

### ・デュアルブートファイルの生成

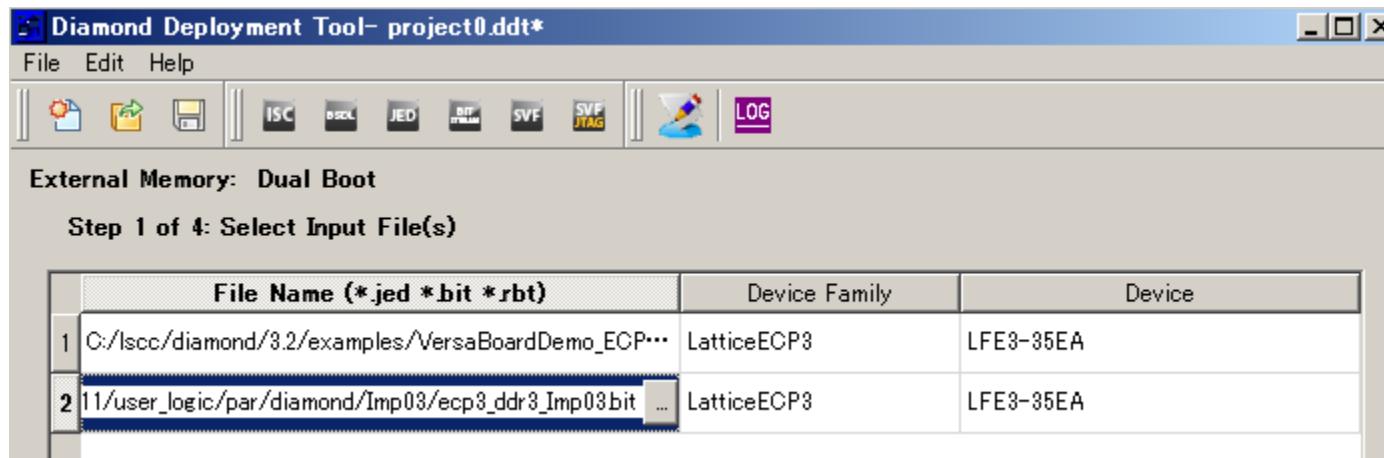
- ① ProgrammerのDesign>Utilities よりDeployment Tool を起動します



- ②以下を選択し、OKを選択します

Function Type : External Memory  
Output File Type : Dual Boot

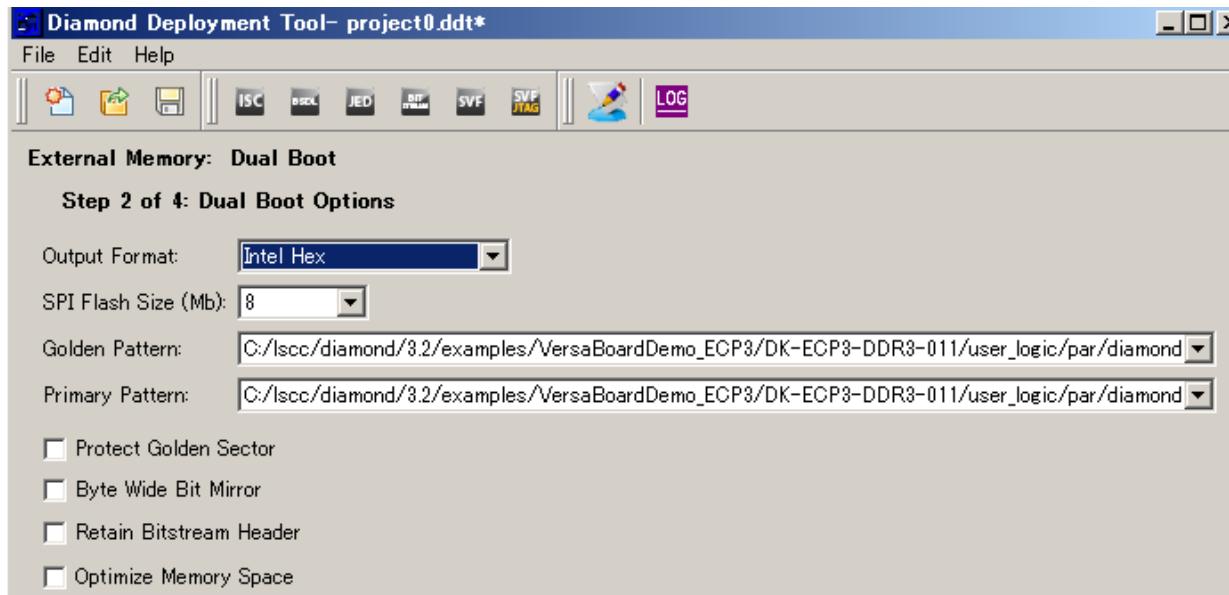
- ③書き込む2種類のBitstreamファイルを選択し、NEXTを選択します



## 4-3. Dual Boot (2/5)

・デュアルブートファイルの生成

④ Golden Pattern及びPrimary Patternを設定し、Nextを選択します



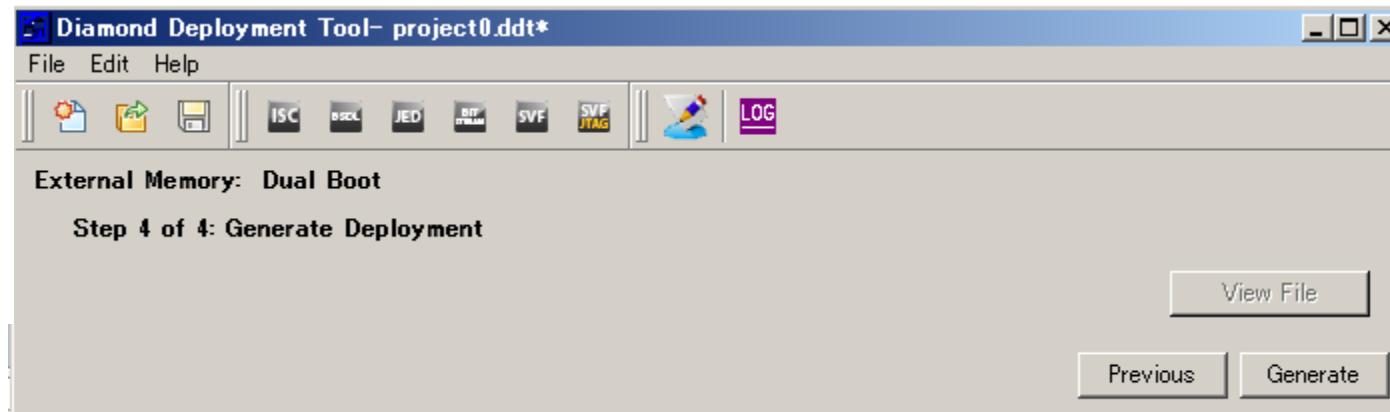
⑤ 生成するファイルを保存するロケーション先を選択します。



## 4-3. Dual Boot (3/5)

・デュアルブートファイルの生成

⑤ Generateを選択し生成します



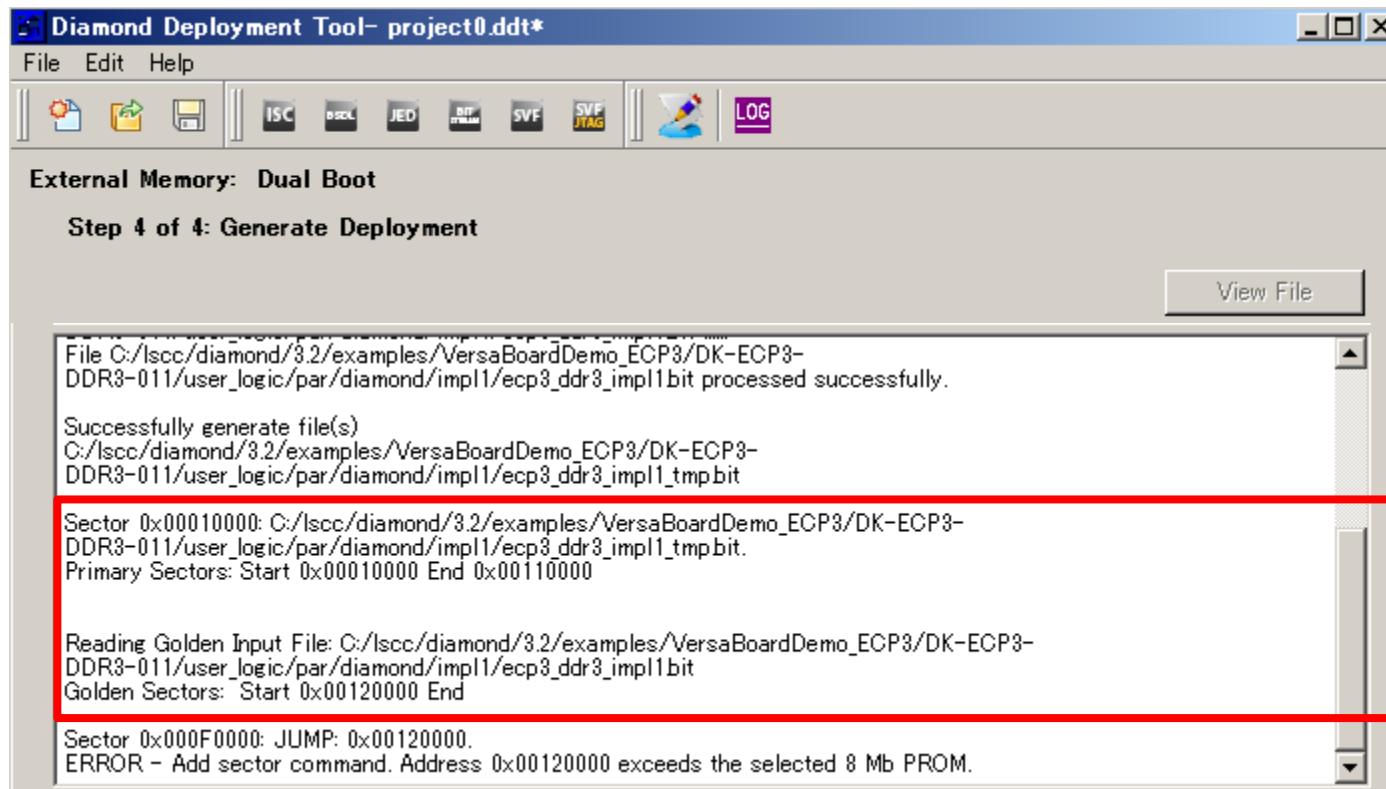
### ■デュアルブートモードの注意点

- ・ 前ページで説明した方法はSPIフラッシュROMに初期の書き込みを行う場合の方法です。フィールド上でアップデートする場合は、プライマリデータのみアップデートするようにしてください。
- ・ デュアルブートは1つのSPIフラッシュメモリの中にプライマリセクターとゴールデンセクターの2つの領域を確保します。  
それにビットストリームデータを書き込むためメモリの容量は通常の倍必要です。
- ・ デュアルブート用に用意するBitstreamファイルを暗号化する場合は2つのBitstream共に暗号化する必要があります。  
その際の共通鍵は両方のBitstreamで共通のものを使うようにしてください。
- ・ 電源立ち上がり時にPROGRAMNピンがトグルされるか、JTAG経由でリフレッシュがかけられた場合に、ECP5はPrimary Boot Fileを呼び出し、コンフィグレーションが開始されます。  
このときにCRCチェックが行われエラーが確認された場合、Golden Boot Fileを呼び出してコンフィグレーションが行われます。Golden Boot Fileにもエラーが確認された場合は、コンフィグレーションは中止されます。(このとき、INITNピンはLowにドライブされます)

## 4-3. Dual Boot (5/5)

### ■フィールドアップデートの行い方

- ・ フィールドでアップデートする際は、プライマリデータのみアップデートします。
- ・ デュアルブートファイルを生成すると、下図に示すLogファイルにプライマリファイルとゴールデンファイルのスタート/エンドアドレスが表示されます。



1	2018/11/1	-	-	Fudo	Initial
2	2020/12/10	P12, 13	P12, 13	Katsube	P12 WRITENピン説明追記 P13 HOLDN/DI/BUSY/CSSPIN/CENピン外部処理追記 P13 DOUT/CSONピン説明追記
		P17	P17		P17 汎用I/O, DOUT/CSONピン挙動更新
		P35, 36, 37	P35, 36, 37		P35, 36, 37 WRITEN処理を追記 P36, 37 CSSPINのプルアップ推奨抵抗値変更
		-	P45		P45 3-14. Master SPI 動作時の注意事項を新設
		-	P46		P46 3-15. Dual/Quad SPI 動作時の注意事項を新設
		-	P50		P50 4-2. JTAG-ECP5経由でのSPI FLASH書き込み -Dual/Quadコンフィグレーション用ファイル-を新設
3	2021/11/15	-	P30	Katsube	3-3. コンフィグレーションモード選択の補足事項追加
4	2026/2/9	P24	P24	Ikeda	P24 True LVDS Output時、印可電圧値変更