

# Technical Note

TecStar

Skyworks

Si53xx 開発用 GUI ツール

Clock Builder Pro 動作概要

---

2022 年 11 月

株式会社 **マクニカ**  
テクスター カンパニー

### Clock Builder Pro 動作概要

---

---

#### 目次

1 はじめに.....	3
2 周波数の設定方法.....	4
3 開発用 GUI ツール ClockBuilder Pro の主な操作手順.....	6

## 1 はじめに

この資料は、Skyworks 社からリリースされているクロックジェネレータ、ジッタクリーナーの製品シリーズである Si53xx に関する、レジスタ値算出用 兼 評価基板制御用の GUI ツール (ClockBuilder Pro) の主な操作手順を御案内します。

一例として、各設定画面はクロックジェネレータ(Si5340/41)を選択時のものを表示しています。

また、Clock Builder Pro は一部の古い製品ラインナップには対応しておりません。

どの型番に対応しているかは、Skyworks 社からリリースされている Readme 資料をご参照ください。

以下 URL からダウンロード可能です。

【ClockBuilder Pro README】

<https://tools.skyworksinc.com/timingfiles/latest-tools/ClockBuilder-Pro-README.pdf>

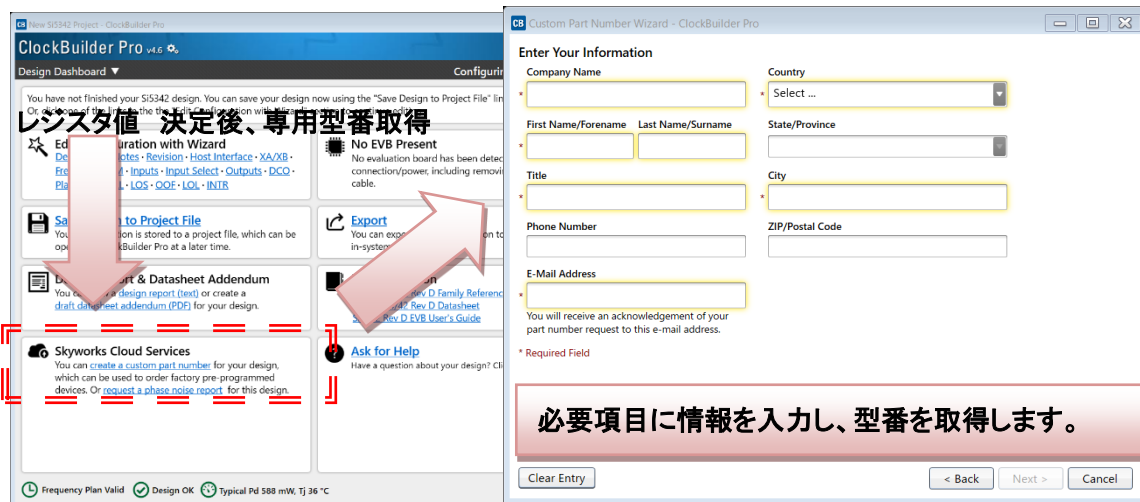
## 2 周波数の設定方法

Si5340 はプログラマブルなクロックジェネレータですので、レジスタ値を設定する必要があります。設定するレジスタ値については、専用のソフトウェア(ClockBuilderPro)を使用することによりレジスタ設定を容易に決定することができます。

Si5340 のプログラム方法については 3 種類用意しております。

- ① 工場出荷時、初期値を不揮発メモリに書込む
- ② ユーザー側にて初期値を不揮発メモリ書込む(シリアル経由で 2 回まで書込み可能)
- ③ シリアル通信経由でレジスタ値を設定(パワーオン後、毎回設定する必要があります)

①工場出荷時、不揮発メモリへの書込みの場合、ClockBuilderPro で設定後、専用型番を取得します。



②ユーザー側での不揮発メモリ書込みについては、

Si5340/41 リファレンスマニュアル P13～14 3.2 NVM Programming 項を参照してください。

<https://www.skyworksinc.com/-/media/SkyWorks/SL/documents/public/reference-manuals/Si5341-40-D-RM.pdf>

### 3.2 NVM Programming

Devices have two categories of non-volatile memory: user NVM and Factory (Skyworks) NVM. Each type is segmented into NVM banks. There are three NVM banks, one of which is used for factory programming (whether a base part or an Orderable Part Number). Two user NVM banks remain; therefore, the device NVM can be re-burned in the field up to two times. Factory NVM cannot be modified, and contains fixed configuration information for the device.

The ACTIVE\_NVM\_BANK device setting can be used to determine which user NVM bank is currently being used and therefore how many banks, if any, are available to burn. The following table describes possible values:

**Table 3.2. NVM Bank Burning Values**

Active NVM BANK Value (Decimal)	Number of User Banks Burned	Number of User Banks Available to Burn
3 (factory state)	1	2
15	2	1
63	3	0

Note: While polling DEVICE\_READY during the procedure below, the following conditions must be met to ensure the correct values are written into the NVM:

- VDD and VDDA power must both be stable throughout the process.
- No additional registers may be written or read during DEVICE\_READY polling. This includes the PAGE register at address 0x01. DEVICE\_READY is available on every register page, so no page change is needed to read it.
- Only the DEVICE\_READY register (0xFE) should be read during this time.

The procedure for writing registers into NVM is as follows:

1. Write registers as needed for desired device operation. Verify device operation to ensure the device is configured correctly before preceding. Do not skip this important step.
2. You may write to the user scratch space (Registers 0x026B to 0x0272 DESIGN\_ID0-DESIGN\_ID7) to identify the contents of the NVM bank.
3. Write 0xC7 to NVM\_WRITE register. This starts the internal NVM burn sequence, writing NVM from the internal registers. Do not access ANY other registers than DEVICE\_READY during the NVM burn process. Doing so may corrupt the NVM in progress.
4. Poll DEVICE\_READY until DEVICE\_READY=0x0F (waiting for completion of NVM burn sequence).
5. Set NVM\_READ\_BANK 0x00E4[0]=1. This will download the NVM contents back into non-volatile memory (registers).
6. Poll DEVICE\_READY until DEVICE\_READY=0x0F (waiting for NVM download to complete).
7. Read ACTIVE\_NVM\_BANK and verify that the value is the next highest value in the table above. For example, from the factory it will be a 3. After NVM\_WRITE, the value will be 15.

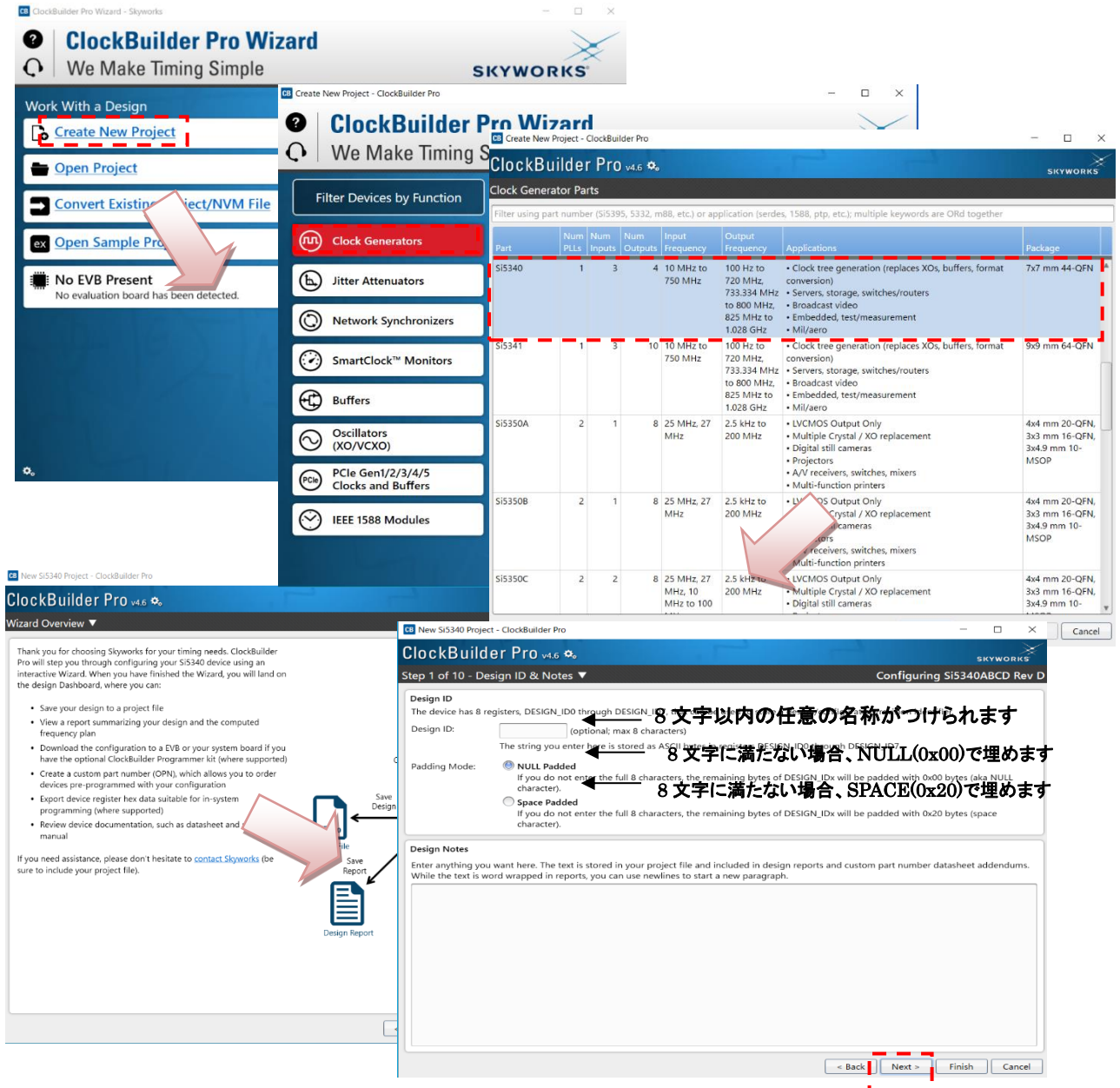
Alternatively, steps 5 and 6 can be replaced with a Hard Reset, either by RSTb pin, HARD\_RST register bit, or power cycling the device to generate a POR. All of these actions will load the new NVM contents back into the device registers.

③パワーオン後、SPI または、I<sub>2</sub>C のシリアル通信経由でレジスタ値を書込みます。

### 3 開発用 GUI ツール ClockBuilder Pro の主な操作手順

入手先 URL: [Skyworks | Timing - Clockbuilder Pro Software \(skyworksinc.com\)](https://www.skyworksinc.com/Products/Tools/ClockBuilder-Pro)

GUI 起動後の各設定画面についてご紹介します。



【シリアル通信の設定画面】

I<sup>2</sup>C、SPI の選択は  
I2C\_SEL ピンで行います

SPI モードを選択します

Configuration and operation of the Si5340 is controlled by reading and writing registers using the I2C or SPI interface. The I2C\_SEL pin selects between I2C or SPI operation.

I<sup>2</sup>C I2C\_SEL pin = High

SPI 4-Wire I2C\_SEL pin = Low

SPI 3-Wire I2C\_SEL pin = Low

I/O Power Supply

- VDD (Core)  
The serial interface pins are always 3.3V tolerant, even when the device's VDD pin is supplied from a 1.8V source. The status outputs will have a VOH of ~ 1.8V. The control inputs are 3.3V tolerant.
- VDDA (3.3V)  
When the I2C or SPI host is operating at 3.3V and device at VDD=1.8V, this option must be selected. This will ensure that both the host and the serial interface are operating at the optimum voltage thresholds. The status outputs will have a VOH of ~ 3.3V and the control inputs expect 3.3V CMOS levels.

SPI Mode

- 4-Wire  
4-wire SPI has separate serial data in and data out pins (SDI and SDO) which are unidirectional signals.
- 3-Wire  
3-wire SPI has a single serial data SDIO pin

Base I2C Address

The upper 5-bits of the I2C address are configurable. The lower 2-bits are controlled using the A0 and A1 pins on the Si5340.

Address:

6 5 4 3 2 1 0  
1 1 1 0 1 A0 A1

Address Range: 11

**I2C アドレスを変更できます**

Host interface - IO\_VDD\_SEL are not written to EVBs. They are included in exports and orderable part number non-volatile memory. See the Family Reference Manual for more information.

< Back Next > Finish Cancel

ホスト I/O の電圧に合わせます

【入カクロックの設定画面】

入カクロックを指定します

Optional Zero Delay Mode (ZDM) Configuring Si5340ABCD Rev D

Input Clock Modes and Frequencies

Input	Mode	Frequency
XA/XB	Unused	N/A
IN0	Unused	N/A
IN1	Unused	N/A
IN2	Unused	N/A

Zero Delay Mode (ZDM)

Enable Zero Delay Mode

External Feedback Output: OUT3

Important Notes About Zero Delay Mode (ZDM):

- ZDM is optional. It is intended for applications that require a controlled minimum delay between the selected input and outputs.
- For optimal ZDM operation and performance, tie the FB\_IN clock pins to the OUT3 output clock pins.
- Although any one of the output clocks can be fed back to the input-to-output delay that achieves the shortest input-to-output delay is strongly recommended by

Input Options:

- IN0
- IN1
- IN2

XA/XB Options:

- XA / XB Input Option
- Crystal Input Mode
- External Reference Clock Input Mode

DSPLL

ゼロディレイバッファとして  
使用する場合チェックします

入力が1本の場合  
選択できません

設定が正しくない場合 Error 表示されます。  
また、何らかの問題がある場合 Issue と表示されます

## 【出カクロックの設定画面】

出カクロックを指定します

Step 6 of 10 - Output Clocks

Output	Mode	Disabled State	Format	Frequency	N Divider / DCO / ZDM
OUT0	Enabled	Stop Low	LVCMOS In-...	156.25 MHz	Auto
OUT1	Enabled	Stop Low	LVCMOS In-...	156.25 MHz	Auto
OUT2	Enabled	Stop Low	LVDS 2.5 V	400 MHz	Auto
OUT3	Enabled	Stop Low	LVDS 1.8 V	400 MHz	Auto

Frequency Plan Valid Design OK Typical Pd 757 mW, Tj 39 °C

Frequency Plan Error 1 Error

周波数生成ができない場合 Error が表示されます。

## 【出カドライバーの設定画面】

出カドライバーを指定します

Step 6 of 10 - Output Clocks

Output	Mode	Disabled State	Format	Frequency	N Divider / DCO / ZDM
OUT0	Enabled	Stop Low	LVCMOS In-...	156.25 MHz	Auto
OUT1	Enabled	Stop Low	LVCMOS In-...	156.25 MHz	Auto
OUT2	Enabled	Stop Low	Signal Format: LVCMOS (in-phase)	400 MHz	Auto
OUT3	Enabled	Stop Low	Supply Voltage: 1.8 V	400 MHz	Auto

Frequency Plan Valid 1 Note Typical Pd 746 mW

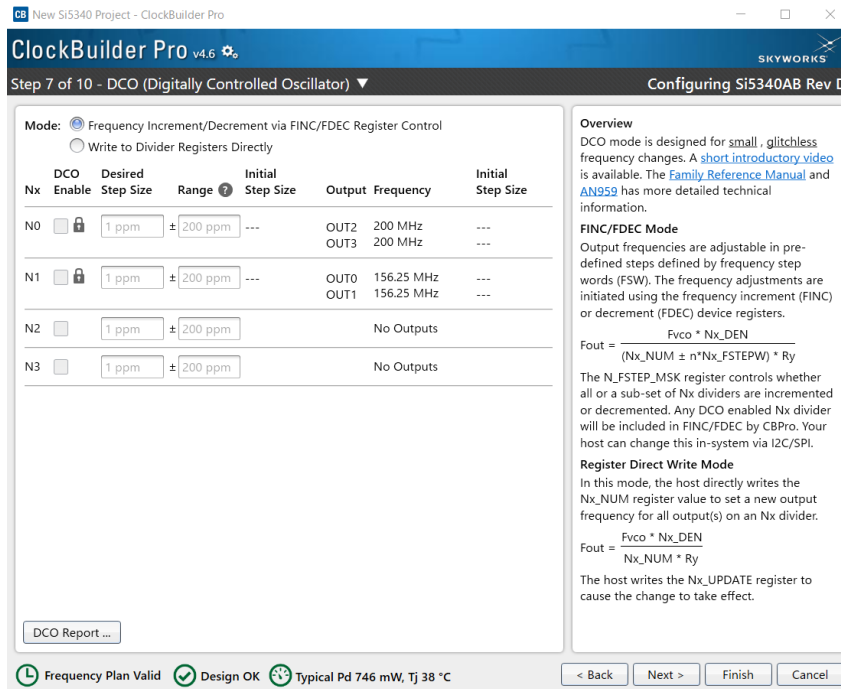
Ignore?	Category	Message
<input type="checkbox"/>	Note	You have selected CMOS output. Please review AN862 "Optimizing Jitter Performance in Next Generation Internet Infrastructure Systems" to ensure your configuration meets your jitter requirements

CMOS 出力があるため Note が出ています。Note 内容を確認しチェックすると Note は消えます。Warning と表示が出た際も、問題がなければ、同様の手順で消すことが可能です。



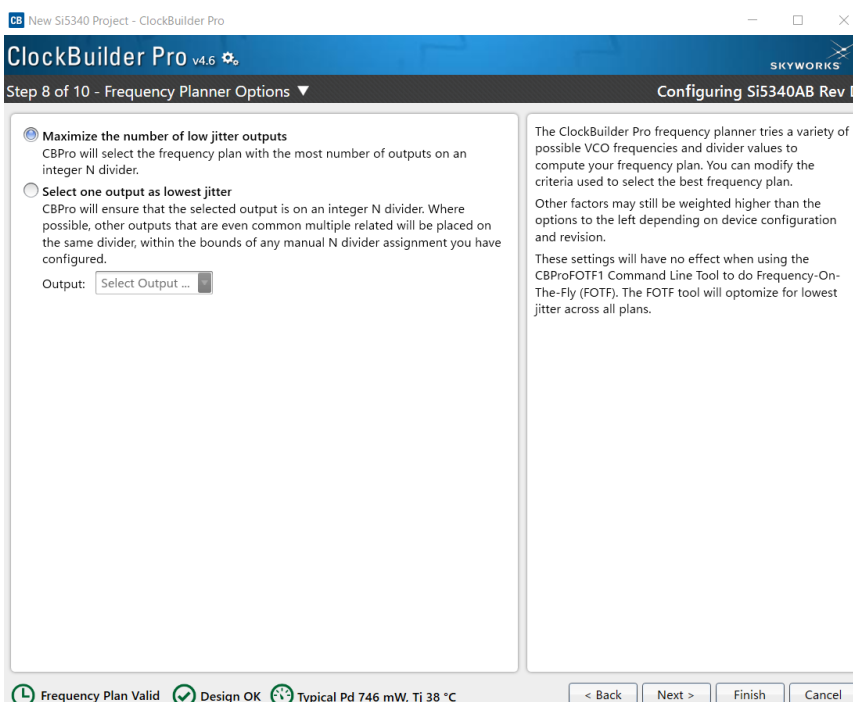
**【DCO(Digitally Controlled Oscillator Mode)の設定画面】**

動作中に ppm オーダーで出力周波数を切り替える機能を DCO Mode と呼んでいます。機能の詳細については Reference Manual を御参照下さい。特に使用予定が無ければそのまま Next をクリックして下さい。

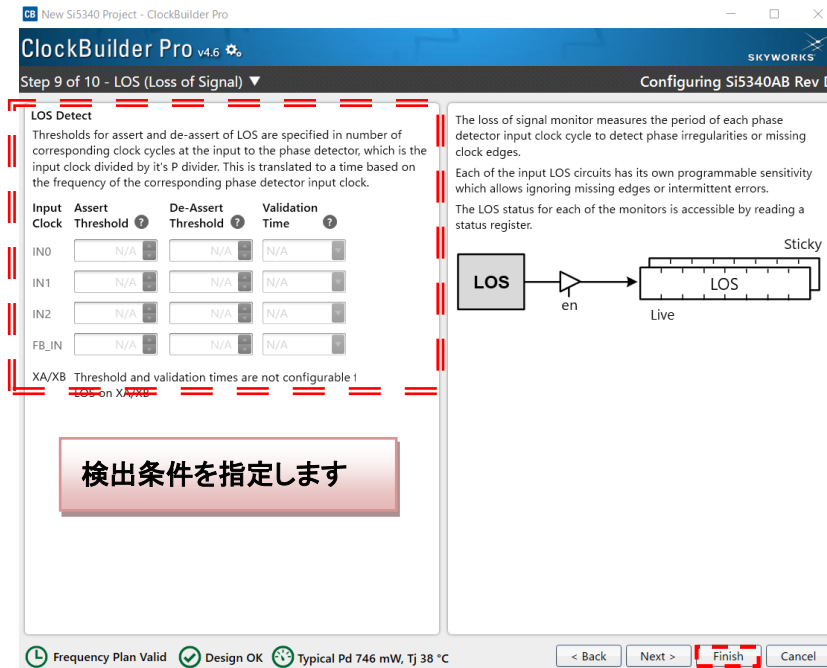


**【Configure Frequency Planner 設定画面】**

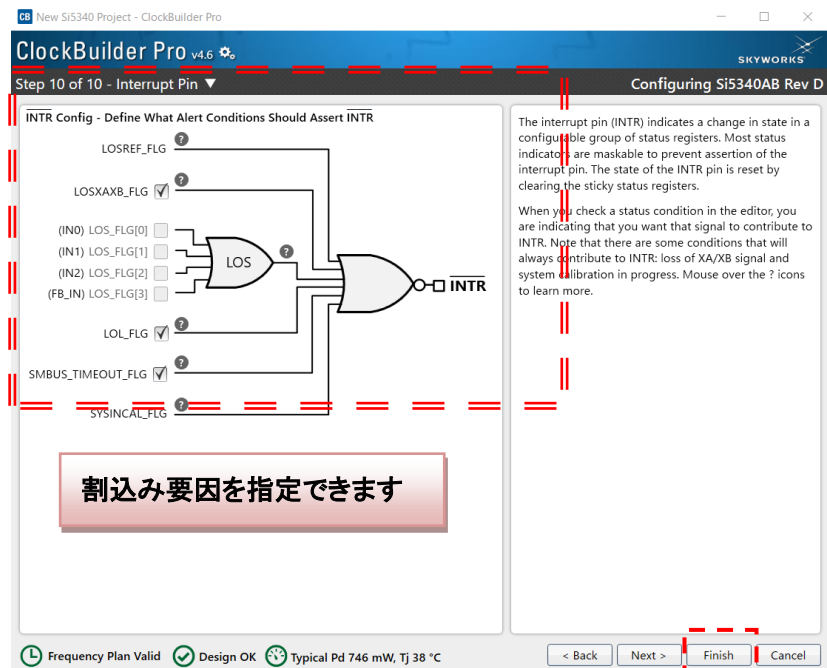
出カクロックチャンネルのうち、どのチャンネルを最もジッタを抑圧させるかの設定ができます。クロック受信側 IC のジッタ規定にも依存しますが、1ch だけジッタ規定が厳しいという特定の要求が無い限りは、Default 設定である”Maximize the number of low jitter outputs”を選択したまま Next をクリックして下さい。



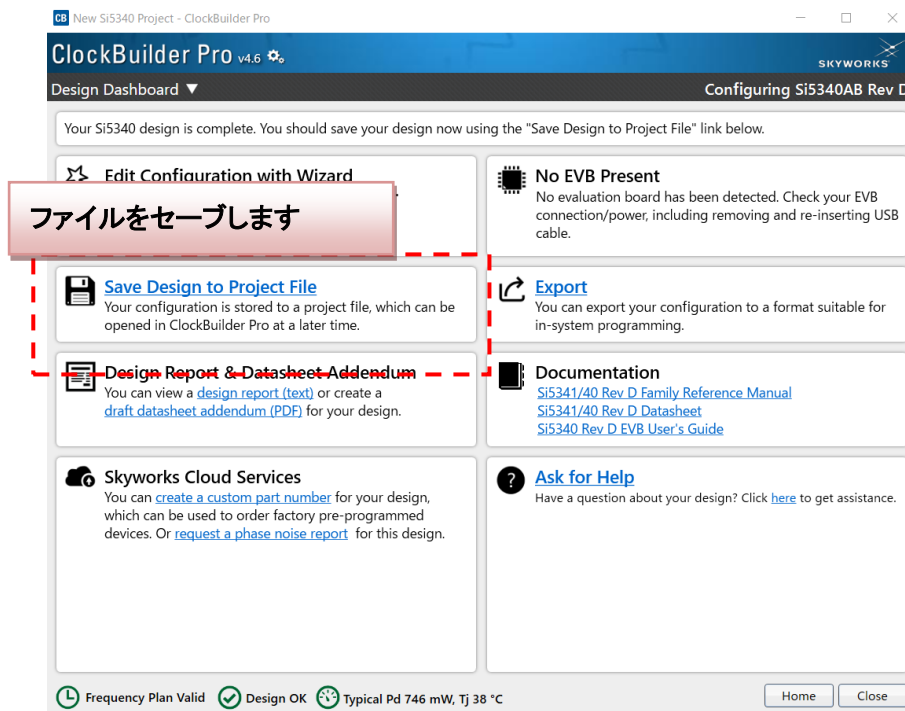
## 【LOS 検出の設定画面】



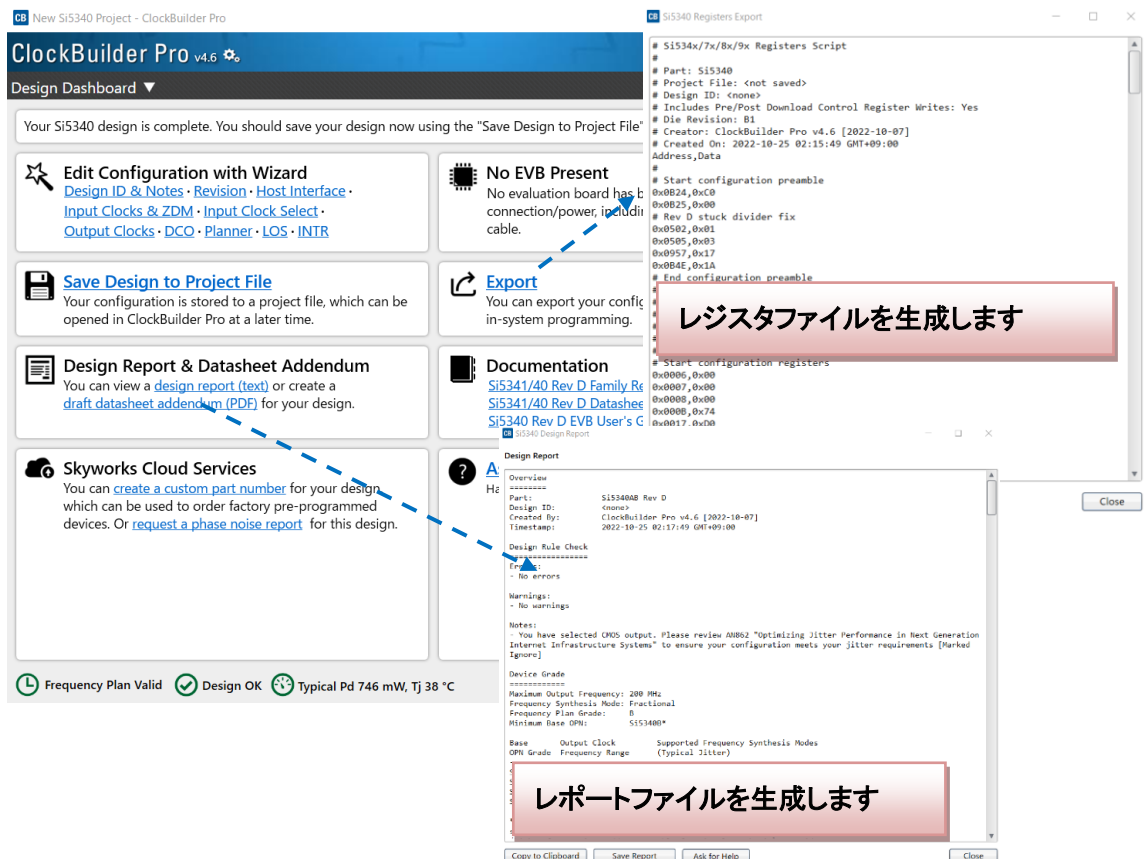
## 【/INTR の設定画面】



Step 8 の Interrupt Pin で設定画面は終了ですのでプロジェクトファイルをセーブしてください。



デザインレポートやレジスタファイルの生成も可能です。



## 改版履歴

Version	改定日	改定内容
1.0	2018年03月	・新規作成
1.1	2022年10月	・Silicon Labs 表記・ロゴの変更(Silicon Labs⇒Skyworks)
1.2	2022年11月	・「はじめに」項に Skyworks 社発行の CBPro Readme 資料の案内(URL)追記

## 参考文献

- Data sheet
- Reference Manual

## 免責、及び、ご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不審な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的なものとしてかかれたものです。製品をご使用になる場合は、メーカーリリースの資料もあわせてご利用ください。

本社

〒222-8561 横浜市港北区新横浜 1-6-3 TEL 045-470-9841 FAX 045-470-9844