

## 第 20 章 書き込みデータ生成と ECO エディタ

本章では Lattice Diamond フローの最後のプロセス「Export Files」に関して、デバイスへの書き込みデータ (.bit や .jed) を生成する方法と、ストラテジの設定方法、および ECO エディタ機能について説明します。

### 20.1 書き込みデータ生成について

Lattice Diamond では、以下の 3 種類の書き込みデータを生成することができます。

#### Bitstream

プログラマ（や旧 ispVM System）を使用して、ボード上で FPGA や外付けコンフィグメモリにデータを書き込む際に使用するファイル

#### PROM data

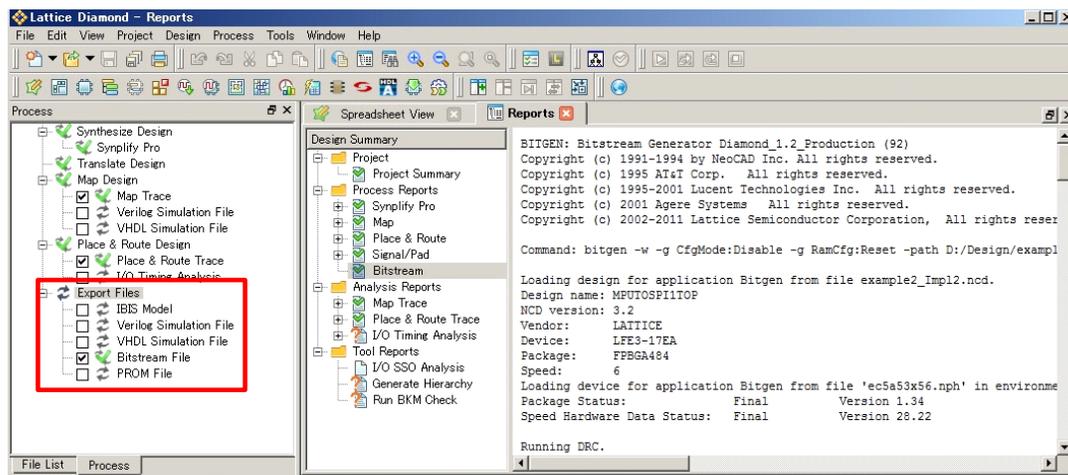
ROM ライタを使用して外付けコンフィグメモリにデータを書き込む際に使用するファイル

#### JEDEC

Programmer 等を使用して、ボード上で FPGA や内蔵コンフィグメモリにデータを書き込む際に使用するファイル。Lattice XP2 や MachXO シリーズといったコンフィグメモリ内蔵デバイスの場合に使用するデータファイル

ファイルを生成する際は、Lattice Diamond の左側に配置されている [Process] ウィンドウの [Export Files] ツリーで、生成するファイルにチェックを入れて [Export Files] プロセスを実行します（図 20-1）。

図 20-1. 書き込みデータ生成ファイルの選択



\*\*\*\*\*-----

- ・ [PROM data] を生成する場合、その過程でチェックが入ってなくても [Bitstream File] が生成されます

\*\*\*\*\*-----

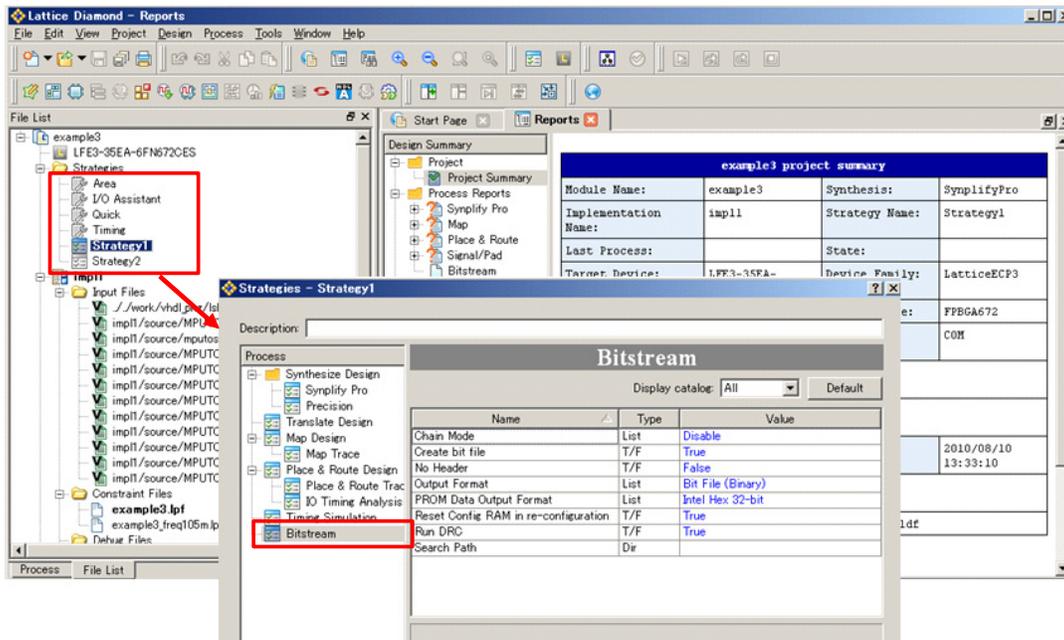
## 20.2 書き込みデータ生成のストラテジ設定

### 20.2.1 ストラテジ設定ウインドウの起動

プロジェクト・ナビゲータ左上に配置されている File List ウインドウに、Project にインポートされているストラテジの一覧が表示されています（インプリメンテーションで使用されるのは、太字で表示されている1つだけです）。この中から変更したいストラテジ名をダブルクリックすると、ストラテジ設定ウインドウが開きます。

ストラテジはプロセスごとに表示されます。書き込みデータ生成のストラテジ設定を行う場合は、左側のリストから [Bitstream] を選択します。

図 20-2. 書き込みデータ生成のストラテジ



### 20.2.2 ストラテジ設定項目の詳細

以下に各設定の詳細を説明します。なお、デバイスによりサポートされる設定の内容が異なります（サポートされない設定は表示されません）。

#### Chain Mode

パラメータ : Bypass / Disable / Flowthrough      デフォルト : Disable

複数の FPGA を接続するコンフィグ回路構成の場合、該当する FPGA のコンフィグ完了後の動作モード設定です。

[Bypass] は、該当する FPGA に入力されたデータを次段の FPGA へシリアルで伝送する構成（図 20-3 (a)）の場合に選択します。

[Flowthrough] は、コンフィグデータ入力バスを複数の FPGA で共有する構成（図 20-3 (b)）の場合選択します。

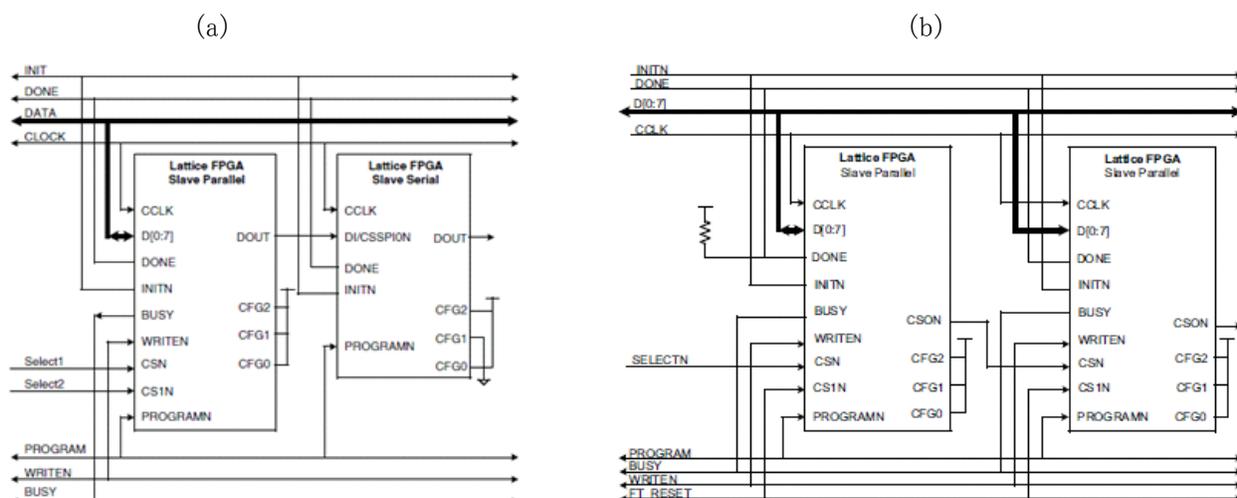
[Disable] は、単独でコンフィグを実行（コンフィグメモリと FPGA が 1 対 1）の場合に選択します。

\*\*\*\*\*-----

- ・ コンフィグモードの詳細については、各ファミリのテクニカルノートで確認してください。

\*\*\*\*\*-----

図 20-3. コンフィグ回路例



### Create bit file

パラメータ : True / False    デフォルト : True

Bitstream ファイル生成の可否設定です。

Process ウィンドウで [Bitstream File] にチェックが入っていても、このオプションが [False] に設定されていると、Bitstream ファイルが生成されません。この場合は、DRC (Design Rule Check) のみが実行されます。

### No Header

パラメータ : True / False    デフォルト値 : False

生成する Bitstream ファイルのヘッダ付加の可否設定です。

[False] (デフォルト) を選択した場合は、Bitstream ファイルにヘッダとしてデバイス名やファイル生成日時等が付加されます。

[True] を選択した場合は、ヘッダが付加されません。

\*\*\*\*\*-----

- ・ ヘッダ無しのファイルは Programmer (ispVM System) での書き込みに使用できません
- ・ このオプションは Output Format オプションで出力ファイル形式としてバイナリを選択した場合のみ有効になります。ASCII 形式を選択した場合は、必ずヘッダが付加されます

\*\*\*\*\*-----

### Output Format

パラメータ : Bit File (Binary) / Mask and Readback File (Binary) / Mask and Readback File (ASCII) / Row Bit File (ASCII)    デフォルト値 : Bit File (Binary)

生成する Bitstream ファイルのフォーマット設定です。

[Bit File (Binary)] はバイナリ形式の Bitstream ファイルが、[Row Bit File (ASCII)] はテキスト形式の Bitstream ファイルが生成されます。どちらも Programmer での書き込みに使用できます。ファイルの拡張子は、Binary 形式だと \*.bit、ASCII 形式だと \*.rbt です。書き込みデータを生成する場合は [Bit File (Binary)] または [Row Bit File (ASCII)] を選択します。

[Mask and Readback File (Binary)] および [Mask and Readback File (ASCII)] を選択した場合は、Binary / ASCII それぞれの形式でコンフィグデータの読み出し/確認を行う際に使用される Readback ファイルと Mask ファイルが出力されます。これらのファイルはデータの書き込みには使用できません。

### PROM Data Output Format

パラメータ : Intel Hex 32-bit / Motorola Hex 32-bit      デフォルト値 : Intel Hex 32-bit

生成する PROM データファイルのフォーマット設定です。

選択した形式で PROM 用のデータが生成されます。使用する ROM ライタがサポートしている形式を選択してください。

### Reset Config RAM in re-configuration

パラメータ : True / False      デフォルト値 : True

コンフィグレーションメモリ (FPGA 内の SRAM) のリセットに関する設定です。

[True] (デフォルト) を選択した場合、コンフィグデータの書き込み前に一度コンフィグレーションメモリがリセットされます。

[False] を選択した場合、コンフィグレーションメモリはリセットされず新しいデータが上書きされます。

### Run DRC

パラメータ : True / False      デフォルト値 : True

データ生成時の DRC 実行に関する設定です。

[True] (デフォルト) を選択した場合、データ生成前に DRC が実行されます。

[False] を選択した場合、DRC は実行されません。

### Search Path

パラメータ : フォルダパス      デフォルト値 : ブランク

コンフィグデータ生成時に参照する [autoconfig ファイル] のパス設定です。

[autoconfig ファイル] は、SERDES や IP コア等の内部設定が記述されたテキストファイルです。デフォルトではインプリメンテーション・フォルダが参照されます。

パスを設定する際は、以下のように記述します。

-- Windows の場合 パスの区切りが ; (セミコロン)

Path1;Path2;Path3

-- Linux の場合 パスの区切りが : (コロン)

Path1:Path2:Path3

### Disable UES

パラメータ : True / False      デフォルト値 : False

LatticeXP2 および XO ファミリの JEDEC 内に記載する UES (User Electronic Signature) に関する設定です。

[False] (デフォルト) を選択した場合は、JEDEC ファイル内に UES が記載されます。

[True] を選択した場合は、JEDEC ファイル内に UES が記載されません。

\*\*\*\*\*-----

- ・ UES の値の設定は、Spreadsheet View で行います。

\*\*\*\*\*-----

## 20.3 書き込みデータ生成プロセスのレポート

### 20.3.1 レポート出力ファイル名

書き込みデータ生成プロセス実行時には、インプリメンテーション・フォルダに html とテキスト形式のレポートが出力されます。内容はどちらも同じです。

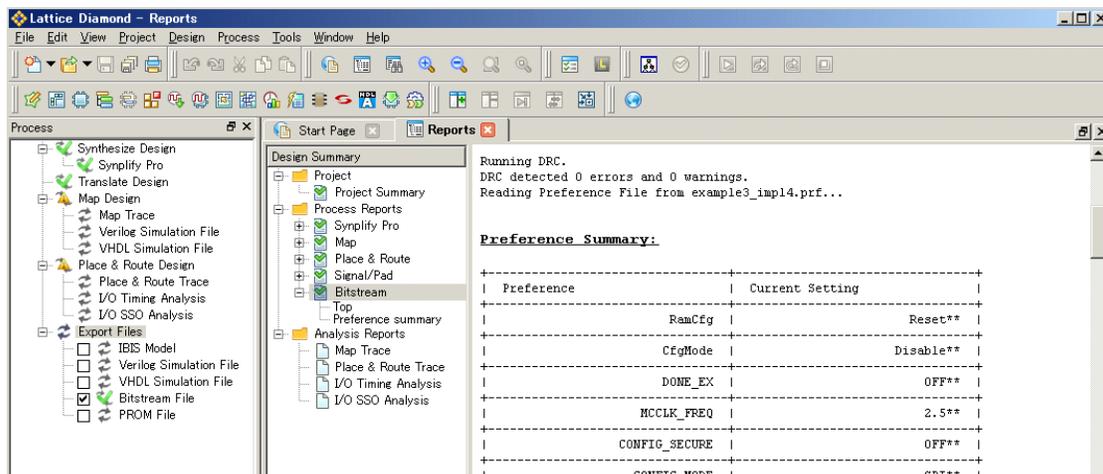
ファイル名はそれぞれ以下ようになります。

html 形式           : プロジェクト名\_インプリメンテーション名\_bgn.html

テキスト形式       : プロジェクト名\_インプリメンテーション名.bgn

Html 形式のレポートは、Lattice Diamond の Report ウィンドウで見ることができます。

図 20-4. 書き込みデータ生成のレポート (一部)



### 20.3.2 レポート内容の概要

書き込みデータ生成プロセスのレポートには、適用されたコンフィグ関連のオプション設定内容やDRCの結果等がレポートされます。

#### 20.3.2.1 書き込みデータ生成プロセスの Error / Warning メッセージ

本項では、よく出る Warning/Error メッセージの意味と対処方法について説明します。

※ メッセージはデバイスファミリによって若干変わります。

メッセージ

**WARNING – Can not find configure file: ファイル名 . Use the default setting !**

または

**ERROR – Can not find the configure file <ファイル名>.**

意味

コンフィグデータ生成時に参照する [autoconfig ファイル] (SERDES や一部の IP コアの設定内容が記載されたテキストファイル) が見つからない場合に出力されるメッセージです。

対策

autoconfig ファイルをインプリメンテーション・フォルダにコピーするか、ストラテジの Search Path オプションで、ファイルのあるフォルダを指定します。

## 20.4 ECO エディタ

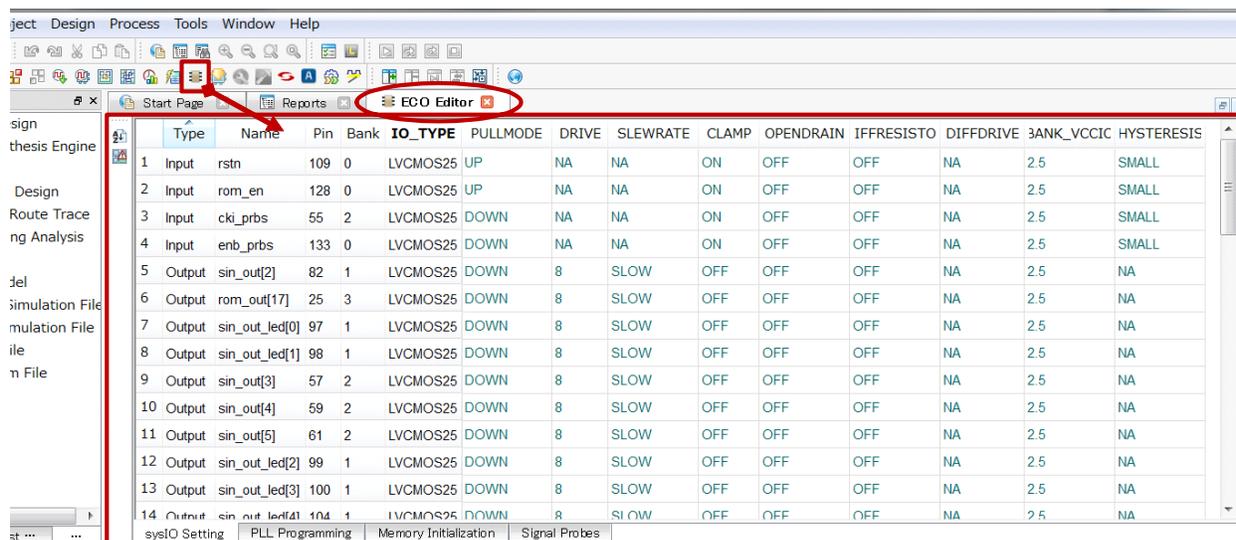
### 20.4.1 ECO エディタの起動と概要

ECO (Engineering Change Order) エディタは、**論理合成や配置配線などのプロセスを再実行せずに** ネットリストレベルでデザインの修正を可能にするツールです。修正が可能な項目は以下に限られますが、特に大きなデザインでは時間と作業効率の点で有用なツールです。

- ・ I/O ポートの属性
- ・ PLL の一部パラメータ
- ・ EBR 初期化
- ・ 内部ノードのポートへの引き出し

起動は図 20-5 内の赤枠で示すアイコンかメニューバーで [Tools] => [ECO Editor] と辿ります。上記リストしたアクションごとにタブが用意されています。

図 20-5. ECO エディタの起動



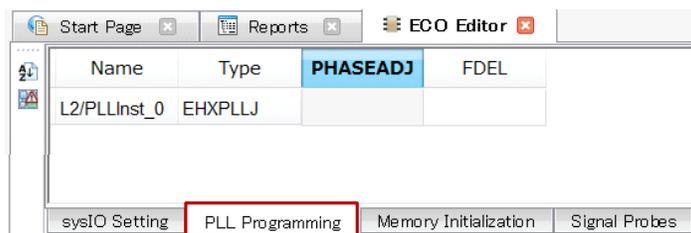
### 20.4.2 ECO エディタによる I/O 設定の変更

『sysIO Setting』タブを選択して編集します。I/O タイプは変更できませんがプル設定やドライブ強度、スルーレート、オープンドレイン設定、ヒステリシスなどの基本属性が変えられます。

### 20.4.3 ECO エディタによる PLL 設定の変更

デバイスによって異なりますが、『PLL Programming』タブを選択して編集します。MachXO シリーズでは図 20-6 のようなパラメータが編集可能な表示になっています。

図 20-6. ECO エディタによる MachXO2 の PLL 設定の変更



## 20.4.4 ECO エディタによるユーザメモリの初期化

デザインでメモリを用いている場合、『Memory Initialization』タブを選択して編集できます。(Lattice Mico8 や Mico32 などの) 組み込みコントローラを実装した場合に、プログラムメモリやデータなどをコンフィグレーション時にロードします。

図 20-7 のように意図するメモリの ”EBR Components” 行や ”Memory File” 行のどこかをダブルクリックすると、図 20-8 の設定ウィンドウ ”Update Initial Memory” が立ち上がります。

図 20-7. メモリ初期化のはじめ

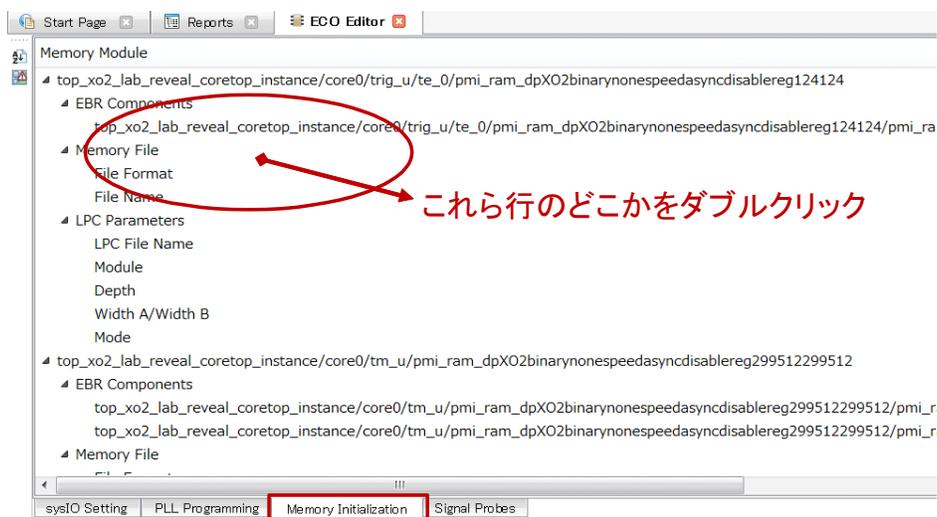
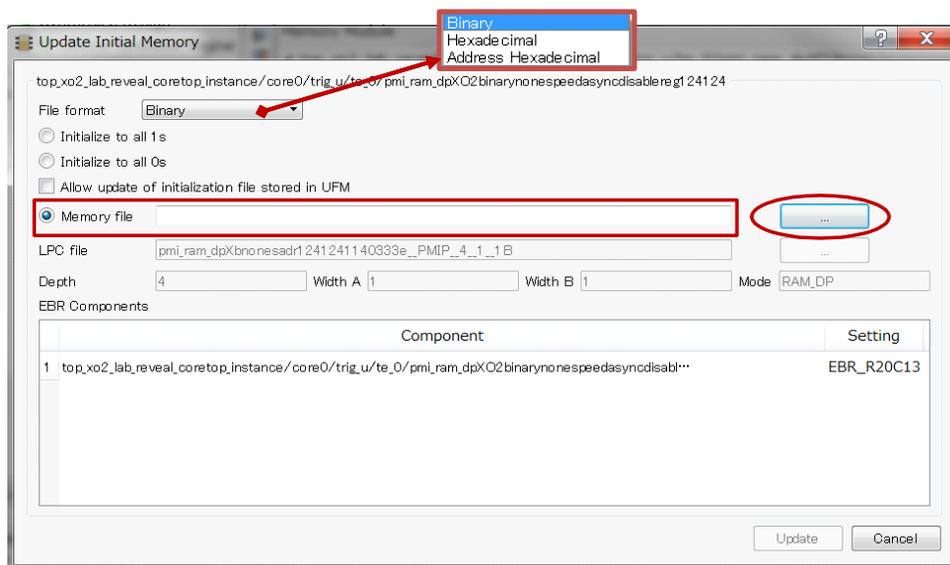


図 20-8. ”Update Initial Memory” ウィンドウ



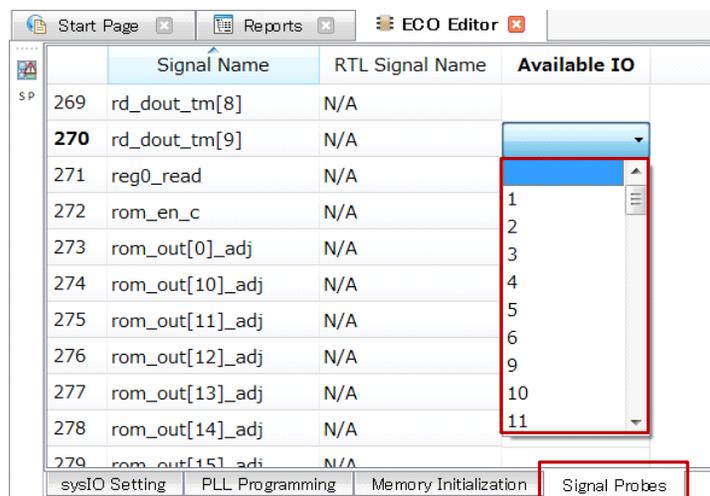
”File Format” としては 3 種類が選択できます。次いで、ブラウザして初期化データを保存するファイルを指定して ”Memory File” セルを満たします。指定フォーマットが異なる場合や、サイズが対象メモリと不整合の場合はエラーが通知されます。

## 20.4.5 ECO エディタによる内部ノードの引き出し

『Signal Probes』タブを選択して編集します。EPIC エディタを開いての編集作業をすることなく、簡便に内部ノードを外部ポートに引き出すことが可能です。ただし、引き出す対象に選択できるのは未使用ピンのみです。また引き出す配線を付加することによる、当該ノードへのタイミングの影響や引き出し信号自体の遅延は問わないことを了解する必要があります。

図 20-9 の例では 270 番の信号を引き出すため、“Available IO” セルをクリックしたところで、候補となる空きピンがリストされますので、この中から選択します。

図 20-9. ECO エディタによる内部ノードの引き出し



割り当てた後は、左上のアイコン **SP** をクリックして編集内容を適用させ、その後アイコン  で DRC を実行します。コンソールをチェックして DRC エラーがないことを確認します。

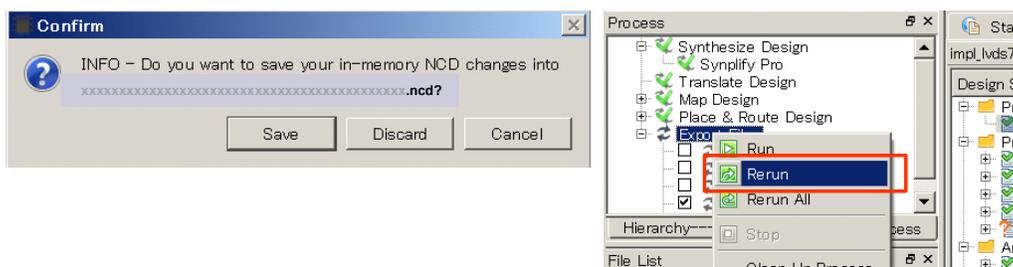
新たに割り当てたピンの属性は **20.4.2 項** と同じように編集が可能です。図 20-10 の例では引き出したポートが最下段に追加されている様子です。

図 20-10. 追加された引き出しポートの表示

Type	Name	Pin	Bank	IO_TYPE	PULLMODE	DRIVE	SLEWRATE	CLAMP	OPENDRAIN	DIFFRESISTOF	DIFFDRIVE	BANK_VCCIO	HYSTERESIS
Output	osc_clk0	P9	2	LVC MOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
Output	pll1_clk0	P7	2	LVC MOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
Output	pll0_clk0	J14	1	LVC MOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
Output	LED4[3]	H2	4	LVC MOS25	UP	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
Output	LED4[2]	F3	4	LVC MOS25	UP	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
Output	LED4[1]	F2	5	LVC MOS25	UP	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
Output	LED4[0]	F1	4	LVC MOS25	UP	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
Output	mon_outs[1]	M9	2	LVC MOS25	UP	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
Output	\$COMP_13	M10	2	LVC MOS25	NONE	12	SLOW	ON	OFF	OFF	NA	2.5	NA

編集が全て完了し、ECO エディタ終了時に図 20-11 左のようなポップアップが表示されますので、反映する場合は [Save] をクリックして抜けます。

図 20-11. 終了時確認画面 (左) と Export Files 再実行 (右)



最後に書き込みファイル生成プロセス”のみ”を再実行します。Export Files 行を選択して右クリック後、Rerun を選択する、または Export Files 行をダブルクリックします。この場合意図する出力ファイルの行のチェックボックスをクリックしておきます。

## 20.5 改訂履歴

Ver.	Date	page	内容
3.1	May.30 2014	16-7...9	16.4 節「ECO エディタ」追加。これに伴い章タイトルを「書き込みデータ生成と ECO エディタ」に変更
3.3	Mar. 2015	--	20 章に変更
		20-7	メモリ初期化項を追記
		20-6...8	ECO エディタの画面ダンプを差し替え

--- \*\*\* ---

