LATTICE

書き込みデータ生成と

ECO エディタ

2015年3月

Lattice Diamond 日本語ユーザガイド

第 20 章 書き込みデータ生成と ECO エディタ

本章ではLattice Diamond フローの最後のプロセス「Export Files」に関して、デバイスへの書き込みデータ (.bit や.jed)を生成する方法と、ストラテジの設定方法、および ECO エディタ機能について説明します。

20.1 書き込みデータ生成について

Lattice Diamond では、以下の3種類の書き込みデータを生成することができます。

Bitstream

プログラマ(や旧 ispVM System)を使用して、ボード上で FPGA や外付けコンフィグメモリにデー タを書き込む際に使用するファイル

PROM data

ROM ライタを使用して外付けコンフィグメモリにデータを書き込む際に使用するファイル

JEDEC

Programmer 等を使用して、ボード上で FPGA や内蔵コンフィグメモリにデータを書き込む際に使用 するファイル。Lattice XP2 や MachXO シリーズといったコンフィグメモリ内蔵デバイスの場合に使 用するデータファイル

ファイルを生成する際は、Lattice Diamond の左側に配置されている [Process] ウインドウの [Export Files] ツリーで、生成するファイルにチェックを入れて [Export Files] プロセスを実行します(図 20-1)。

図 20-1. 書き込みデータ生成ファイルの選択



・ [PROM data] を生成する場合、その過程でチェックが入っていなくても [Bitstream File] が生成されます

^{****}

^{© 2014} Lattice Semiconductor Corp. (註:本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。その作成にあたっては各ト ピックについて、それぞれ可能な限り正確を期しておりますが、必ずしも網羅的ではなく、或いは最新でない可能性があります。また、意図せずオリジナル英語版 オンラインヘルプやリリースノートなどと不一致がある場合もあり得ます。疑義が生じた場合は、ラティスセミコンダクター正規代理店の技術サポート担当にお問 い合わせ頂くか、または極力最新の英語オリジナル・ソースドキュメントを併せて参照するようにお願い致します。)

20.2 書き込みデータ生成のストラテジ設定

20.2.1 ストラテジ設定ウインドウの起動

プロジェクト・ナビゲータ左上に配置されている File List ウインドウに、Project にインポートされている ストラテジの一覧が表示されています(インプリメンテーションで使用されるのは、太字で表示されている 1つだけです)。この中から変更したいストラテジ名をダブルクリックすると、ストラテジ設定ウインドウが 開きます。

ストラテジはプロセスごとに表示されます。書き込みデータ生成のストラテジ設定を行う場合は、左側の リストから [Bitstream] を選択します。

図 20-2. 書き込みデータ生成のストラテジ

	2 😘 🔏 😂 🗲 🎇 🛞 🎲		3					
ist	8 × 🚯	Start Page 🔣 🔃 Re	ports 🖸 📔					
example3	Des	ign Summary						
Strategies	(P)	Project			example3 proj	ect summary		
- 🖗 Area		Project Summary	Module N	ane:	example3	Synthesis:	Symplif	vPro
- J/O Assistant		+ 2 Synplify Pro	Tanlanan	totion.	(mm 1)	Canada and Ram		
- D Quick		🕀 🏠 Map	Name:	cacion	Impii	Scracegy nam	ie: Strateg	Ϋ́́Υ
Strategy1		Place & Route Simal/Pad	Last Pro	cess:		State:		
⊆ g≘ Strategy2		Bitstream	Target D	evice:	LFE3-35EA-	Device Famil	Ly: Lattice	ECP3
🕀 🗀 Input Files	Strategies – Strategy1					? ×		
- M J./work/vhdl.p.v/Isl						e	FPBGA67	2
impl1/source/MPL	Description						COM	
- impl1/source/MPUTC	Process		Ri	tetrog	1777		10.000	
- Mimpl1/source/MPUTC	🖻 🗾 Synthesize Design		DI	usur ca				
impl1/source/MPUTC	Synplify Pro			Display	catalog: All	Default		
- V impl1/source/MPUTC	Translate Design	Name	6	Type	Value			
- Mimpl1/source/MPUTC	Man Design	Chain Mode		List	Disable			
- Mimpl1/source/MPUTC	Map Trace	Create bit file		T/F	True		2010/08	/10
— Vn impl1/source/MPUTC	Place & Route Design	No Header		T/F	False		13:33:1	.0
	Place & Route Trac	Output Format		List	Bit File (Binary)			
impl1/source/MPUTC		PROM Data Output Forma	t	List	Intel Hex 32-bit			
- Mimpl1/source/MPUTC	- Sa IO Timing Analysis		and in wating	T/F	True	-		
	Timing Analysis	Reset Config RAM in re-c	onniguration	171	1100			
impl1/source/MPUTC Constraint Files constraint Files example3.lpf example3.freq105m.lp	Timing Simulation	Reset Config RAM in re-c Run DRC	oninguration	T/F	True	1	df	

20.2.2 ストラテジ設定項目の詳細

以下に各設定の詳細を説明します。なお、デバイスによりサポートされる設定の内容が異なります(サポートされない設定は表示されません)。

Chain Mode

パラメータ: Bypass / Disable / Flowthrough デフォルト: Disable

複数の FPGA を接続するコンフィグ回路構成の場合、該当する FPGA のコンフィグ完了後の動作モード設定です。

[Bypass] は、該当する FPGA に入力されたデータを次段の FPGA ヘシリアルで伝送する構成(図 20-3 (a))の場合に選択します。

[Flowthrough]は、コンフィグデータ入力バスを複数の FPGA で共有する構成(図 20-3 (b))の場合 選択します。

[Disable]は、単独でコンフィグを実行(コンフィグメモリと FPGA が1対1)の場合に選択します。

・ コンフィグモードの詳細については、各ファミリのテクニカルノートで確認してください。 *****

****----

図 20-3. コンフィグ回路例





Create bit file

パラメータ:True / False デフォルト:True

Bitstream ファイル生成の可否設定です。

Process ウインドウで [Bitstream File] にチェックが入っていても、このオプションが [False] に設定されていると、Bitstream ファイルが生成されません。この場合は、DRC(Design Rule Check)のみが実行されます。

No Headder

パラメータ:True / False デフォルト値:False

生成する Bitstream ファイルのヘッダ付加の可否設定です。

[False] (デフォルト)を選択した場合は、Bitstream ファイルにヘッダとしてデバイス名やファイル生成日時等が付加されます。

[True]を選択した場合は、ヘッダが付加されません。

ヘッダ無しのファイルは Programmer (ispVM System) での書き込みに使用できません

・ このオプションは Output Format オプションで出力ファイル形式としてバイナリを選択した場合のみ 有効になります。ASCII 形式を選択した場合は、必ずヘッダが付加されます

Output Format

パラメータ: Bit File (Binary) / Mask and Readback File (Binary) / Mask and Readback File (ASCII) / Row Bit File (ASCII) デフォルト値: Bit File (Binary)

生成する Bitstream ファイルのフォーマット設定です。

[Bit File (Binary)]はバイナリ形式の Bitstream ファイルが、[Row Bit File (ASCII)]はテキスト形式 の Bitstream ファイルが生成されます。どちらも Programmer での書き込みに使用できます。ファイル の拡張子は、Binary 形式だと*.bit、ASCII 形式だと*.rbt です。書き込みデータを生成する場合は[Bit File (Binary)]または[Row Bit File (ASCII)]を選択します。

[Mask and Readback File (Binary)] および [Mask and Readback File (ASCII)]を選択した場合は、Binary / ASCII それぞれの形式でコンフィグデータの読み出し/確認を行う際に使用される Readback ファ イルと Mask ファイルが出力されます。これらのファイルはデータの書き込みには使用できません。

PROM Data Output Format

パラメータ: Intel Hex 32-bit / Motorola Hex 32-bit デフォルト値: Intel Hex 32-bit 生成する PROM データファイルのフォーマット設定です。 選択した形式で PROM 用のデータが生成されます。使用する ROM ライタがサポートしている形式を 選択してください。

Reset Config RAM in re-configuration

 パラメータ: True / False デフォルト値: True コンフィグレーションメモリ (FPGA 内の SRAM) のリセットに関する設定です。
 [True] (デフォルト)を選択した場合、コンフィグデータの書き込み前に一度コンフィグレーション メモリがリセットされます。
 [False] を選択した場合、コンフィグレーションメモリはリセットされず新しいデータが上書きされ ます。

Run DRC

パラメータ:True / False デフォルト値:True

データ生成時の DRC 実行に関する設定です。

[True](デフォルト)を選択した場合、データ生成前に DRC が実行されます。

[False]を選択した場合、DRC は実行されません。

Search Path

パラメータ:フォルダパス デフォルト値:ブランク

コンフィグデータ生成時に参照する [autoconfig ファイル]のパス設定です。

[autoconfig ファイル]は、SERDES や IP コア等の内部設定が記述されたテキストファイルです。デフォルトではインプリメンテーション・フォルダが参照されます。

パスを設定する際は、以下のように記述します。

-- Windows の場合 パスの区切りが; (セミコロン) Path1;Path2;Path3

-- Linux の場合 パスの区切りが: (コロン)

Path1:Path2:Path3

Disable UES

パラメータ:True / False デフォルト値:False

LatticeXP2 および XO ファミリの JEDEC 内に記載する UES (User Electronic Signature) に関する設定です。

[False](デフォルト)を選択した場合は、JEDEC ファイル内に UES が記載されます。

[True]を選択した場合は、JEDEC ファイル内に UES が記載されません。

・ UES の値の設定は、Spreadsheet View で行います。

20.3 書き込みデータ生成プロセスのレポート

20.3.1 レポート出力ファイル名

書き込みデータ生成プロセス実行時には、インプリメンテーション・フォルダにhtml とテキスト形式のレポートが出力されます。内容はどちらも同じです。

ファイル名はそれぞれ以下のようになります。

html 形式 :プロジェクト名_インプリメンテーション名_bgn.html

テキスト形式 :プロジェクト名_インプリメンテーション名.bgn

Html 形式のレポートは、Lattice Diamond の Report ウインドウで見ることができます。

図 20-4. 書き込みデータ生成のレポート (一部)

🚸 Lattice Diamond – Reports				
<u>File Edit View Project Design Process</u>	<u>T</u> ools <u>W</u> indow <u>H</u> elp			
☆ ▼ 🔄 🗕 🖨 블 🛛 🐼 🛛	st 🛛 🖬 🖬 🔍 🤜			
🕫 🖬 🔿 🖬 🕾 🔡 🖷 🕷	¶an 🖴 🗢 🛣 🍪 🛱 📗 🖪			
Process & X	🏠 Start Page 🖂 🛛 🛄 Report	s 🖂 🔰		8×
Synthesize Design Synthesize Design Synthesize Design Translate Design Map Design Map Design Map Trace Verilog Simulation File Verilog Simulation File The Verilog Simulation File The Place & Route Design	Design Summary Project Summary Project Summary Process Reports Process Reports Process Revue Process	Running DRC. DRC detected 0 errors and 0 warnin Reading Preference File from examp Preference Summary:	gs. le3_impl4.prf	
- C Place & Route Trace	E Signal/Pad	Preference	Current Setting	i
2 I/O SSO Analysis	Preference summary	RamCfg	Reset**	
IBIS Model	Map Trace	l CfgMode	Disable**	
VHDL Simulation File	- 1/0 Timing Analysis	DONE_EX	0FF**	
	- DO SSO Analysis	I MCCLK_FREQ	2.5**	
		CONFIG_SECURE	0FF**	
	11	I CONFIG MODE	I %PT**	r I

20.3.2 レポート内容の概要

書き込みデータ生成プロセスのレポートには、適用されたコンフィグ関連のオプション設定内容やDRCの 結果等がレポートされます。

20.3.2.1 書き込みデータ生成プロセスの Error / Warning メッセージ

本項では、よく出る Warning/Error メッセージの意味と対処方法について説明します。

※メッセージはデバイスファミリによって若干変わります。

メッセージ

WARNING - Can not find configure file: ファイル名. Use the default setting !

または

ERROR - Can not find the configure file <ファイル名 >.

意味

コンフィグデータ生成時に参照する [autoconfig ファイル] (SERDES や一部の IP コアの設定内容が記載されたテキストファイル)が見つからない場合に出力されるメッセージです。

対策

autoconfig ファイルをインプリメンテーション・フォルダにコピーするか、ストラテジの Search Path オプションで、ファイルのあるフォルダを指定します。

20.4 ECO エディタ

20.4.1 ECO エディタの起動と概要

ECO (Engineering Change Order) エディタは、**論理合成や配置配線などのプロセスを再実行せずに**ネット リストレベルでデザインの修正を可能にするツールです。修正が可能な項目は以下に限られますが、特に大 きなデザインでは時間と作業効率の点で有用なツールです。

- ・ I/O ポートの属性
- ・ PLL の一部パラメータ
- ・ EBR 初期化
- ・ 内部ノードのポートへの引き出し

起動は図 20-5 内の赤枠で示すアイコンかメニューバーで [Tools] => [ECO Editor] と辿ります。上記リスト したアクションごとにタブが用意されています。

⊠ 20-5.	ECO	エディ	Þ	の起動
---------	-----	-----	---	-----

ject Design	Proc	ess Tool	s Window He	elp												
ke a % C	Ē	i 🗈 🖬 🖥					1									
H # % 🔅 🖻	1 1	Ga 🎢 🗃	🞑 🔕 🕅 S (Α 😚	> 🤧 📋		1 🛅 🕴 🕥									
ē ×		Start Page	Rer	orts (🛢 ECO Editr	or 🗵 🔪									E X
sign	2 0	Type	Name	Pin	Bank	IO_TYPE	PULLMODE	DRIVE	SLEWRATE	CLAMP	OPENDRAIN	IFFRESISTO	DIFFDRIVE	3ANK_VCCIC	HYSTERESIS	•
thesis Engine	4	1 Input	rstn	109	0	LVCMOS25	UP	NA	NA	ON	OFF	OFF	NA	2.5	SMALL	
Design		2 Input	rom_en	128	0	LVCMOS25	UP	NA	NA	ON	OFF	OFF	NA	2.5	SMALL	≡
Route Trace		3 Input	cki_prbs	55	2	LVCMOS25	DOWN	NA	NA	ON	OFF	OFF	NA	2.5	SMALL	
ng Analysis		4 Input	enb_prbs	133	0	LVCMOS25	DOWN	NA	NA	ON	OFF	OFF	NA	2.5	SMALL	
tel		5 Outpu	t sin_out[2]	82	1	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	
Simulation File		6 Outpu	t rom_out[17]	25	3	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	
mulation File		7 Outpu	t sin_out_led[0]	97	1	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	
ile		8 Outpu	t sin_out_led[1]	98	1	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	
n File		9 Outpu	t sin_out[3]	57	2	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	
		10 Outpu	t sin_out[4]	59	2	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	
		11 Outpu	t sin_out[5]	61	2	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	
		12 Outpu	t sin_out_led[2]	99	1	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	
		13 Outpu	t sin_out_led[3]	100	1	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	
		14 Outou	t sin out led[4]	104	1	IVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA	*

20.4.2 ECO エディタによる I/O 設定の変更

『sysIO Setting』タブを選択して編集します。I/O タイプは変更できませんがプル設定やドライブ強度、スルーレート、オープンドレイン設定、ヒステリシスなどの基本属性が変えられます。

20.4.3 ECO エディタによる PLL 設定の変更

デバイスによって異なりますが、『PLL Programming』タブを選択して編集します。MachXO シリーズでは 図 20-6 のようなパラメータが編集可能な表示になっています。

図 20-6. ECO エディタによる MachXO2 の PLL 設定の変更

) Start Page 🗵	🔃 Report	s 🗶) 🛢 E0	CO Editor 🛛	
₽J	Name	Туре	PHAS	EADJ	FDEL	
	L2/PLLInst_0	EHXPLLJ				
	l l					
	sysIO Setting	PLL Program	nming	Memo	ry Initialization	Signal Probes

20.4.4 ECO エディタによるユーザメモリの初期化

デザインでメモリを用いている場合、『Memory Initialization』タブを選択して編集できます。(Lattice Mico8 や Mico32 などの)組み込みコントローラを実装した場合に、プログラムメモリやデータなどをコンフィグレーション時にロードします。

図 20-7 のように意図するメモリの "EBR Components" 行や "Memory File" 行のどこかをダブルクリックすると、図 20-8 の設定ウィンドウ ""Update Initial Memory" が立ち上がります。





図 20-8. "Update Initial Memory" ウィンドウ

📒 Update Initial N	1emory	Binary Hexade cimal Address Hexade cimal	? ×
top_xo2_lab_revea File format	_coretop_instance/core0/trig_u/te_o Binary	v pmi_ram_dpXO2 binaryno ne speedasynodis	able reg124124
Initialize to all	1s Os of initialization file stored in UFM		
Memory file			
LPC file	pmi_ram_dpXbnonesadr1241241140	0333ePMIP411 B	
Depth	4 Width A 1	Width B 1	Mode RAM_DP
EBR Components			
		Component	Setting
1 top_xo2_lab_re	veal_coretop_instance/coreO/trig_u/	(te_0/pmi_ram_dpXO2binarynonespeedasyn	cdisabl···· EBR_R20C13

"File Format"としては3種類が選択できます。次いで、ブラウズして初期化データを保存するファイルを 指定して "Memory File" セルを満たします。指定フォーマットが異なる場合や、サイズが対象メモリと不整 合の場合はエラーが通知されます。

20.4.5 ECO エディタによる内部ノードの引き出し

『Signal Probes』タブを選択して編集します。EPIC エディタを開いての編集作業をすることなく、簡便に内部ノードを外部ポートに引き出すことが可能です。ただし、引き出す対象に選択できるのは未使用ピンのみです。また引き出す配線を付加することによる、当該ノードへのタイミングの影響や引き出し信号自体の遅延は問わないことを了解する必要があります。

図 20-9 の例では 270 番の信号を引き出すため、"Available IO" セルをクリックしたところで、候補となる 空きピンがリストされますので、この中から選択します。

2		Signal Name	RTL Signal Name	Available IO
P	269	rd_dout_tm[8]	N/A	
	270	rd_dout_tm[9]	N/A	
	271	reg0_read	N/A	<u> </u>
	272	rom_en_c	N/A	1 =
	273	rom_out[0]_adj	N/A	3
	274	rom_out[10]_adj	N/A	4
	275	rom_out[11]_adj	N/A	5
	276	rom_out[12]_adj	N/A	9
	277	rom_out[13]_adj	N/A	10
	278	rom_out[14]_adj	N/A	11 👻
L	279	rom_out[15]_adi		
	sysIO	Setting PLL Programm	ing Memory Initializa	ition Signal Probes

図 20-9. ECO エディタによる内部ノードの引き出し

割り当てた後は、左上のアイコン **P** をクリックして編集内容を適用させ、その後アイコン **M** で DRC を実行します。コンソールをチェックして DRC エラーがないことを確認します。

新たに割り当てたピンの属性は **20.4.2 項**と同じように編集が可能です。図 20-10 の例では引き出したポートが最下段に追加されている様子です。

図 20-10. 追加された引き出しポートの表示

	Sta	art Page	🗵 🔃 Re	eports 🗵	📒 EC	O Editor* 🔼									
		Type	Name	Pin	Bank	IO_TYPE	PULLMODE	DRIVE	SLEWRATE	CLAMP	OPENDRAIN	DIFFRESIST OF	DIFFDRIVE	BANK_VCCIO	HYSTERESIS
	21	Output	osc_clko	P9	2	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
LATE:	22	Output	pll1_clko	P7	2	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
	23	Output	pll0_clko	J14	1	LVCMOS25	DOWN	8	SLOW	OFF	OFF	OFF			- La
	24	Output	LED4[3]	H2	4	LVCMOS25	UP	8	SLOW	OFF	OFF	OFF 5	き出しる	ミビンの	属性
	25	Output	LED4[2]	F3	4	LVCMOS25	UP	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
	26	Output	LED4[1]	F2	5	LVCMOS25	UP	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
	27	Output	LED4[0]	F1	4	LVCMOS25	UP	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
	28	Output	mon_outs[1]	M9	2	LVCMOS25	UP	8	SLOW	OFF	OFF	OFF	NA	2.5	NA
	29	Output	\$COMP_13	M10	2	LVCMOS25	NONE	12	SLOW	ON	OFF	OFF	NA	2.5	NA
	sy	sIO Setti	ng PLL Pro	gramming	Memor	y Initialization	Signal Probes) Change Log	J					

編集が全て完了し、ECOエディタ終了時に図 20-11 左のようなポップアップが表示されますので、反映する場合は [Save] をクリックして抜けます。

図 20-11. 終了時確認画面(左)と Export Files 再実行(右)



最後に書き込みファイル生成プロセス"のみ"を再実行します。Export Files 行を選択して右クリック後、 Rerun を選択する、または Export Files 行をダブルクリックします。この場合意図する出力ファイルの行の チェックボックスをクリックしておきます。

20.5 改訂履歴

Ver.	Date	page	内容
3.1	May.30 2014	16-79	16.4 節「ECO エディタ」追加。これに伴い章タイトルを「書き込みデータ生成と ECO エディタ」に変更
3.3	Mar. 2015		20 章に変更
		20-7	メモリ初期化項を追記
		20-68	ECO エディタの画面ダンプを差し替え

---- *** ----