

### 第3章 デザインフローとランマネージャ

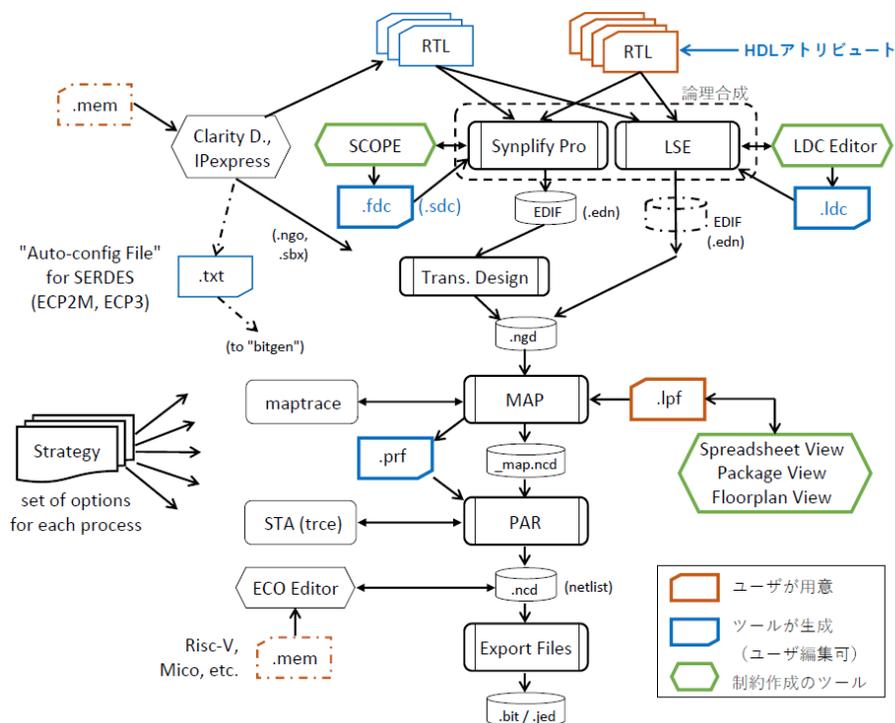
本章では Lattice Diamond のデザインフローと、複数のインプリメンテーション (Implementation) を複数 CPU コアで並列処理させるランマネージャ (Run Manager) について記述します。

#### 3.1 処理プロセスとデザインフロー

Lattice Diamond の各処理プロセスのフローと、ポイントツールの関係を図 3-1 に示します。主プロセスはデザイン・エントリー以降の論理合成、マッピング (MAP)、配置配線 (PAR)、出力ファイル生成 (Export Files) です。各プロセスには処理に密接に関連するポイントツールや、それぞれ所定の入力・出力ファイルがあります。

ストラテジーは前章で記述した通り、各主プロセス / サブプロセスに作用する設計制約 (Constraints, Preferences) やオプション設定を一元管理する Diamond 固有の機構です。

図 3-1. Lattice Diamond のデザインフロー



- EDIF Electronic Design Interchange Format
- sdc Synopsys / Synthesis Design Constraints
- fdc FPGA Design Constraints (Synplify)
- ldc LSE Design Constraints
- ngd Native Generic Database
- lpf Logical Preference File
- prf Physical Reference File
- ncd Native Circuit Description

- ・ LSE では論理合成と “Translate Design” プロセスが一連の処理
- ・ “ngdbuild” は複数の ngo を結合も行う
- ・ STA をラティスでは “trace” と呼ぶ
- ・ “prf” は特定の解析条件で STA を再実行する場合に限り編集可

< LPF に記述される設計制約項目 >

- ・ ピン配置指定、IO タイプ・属性指定
- ・ タイミング指定 (クロック周期・周波数、パス遅延、BLOCK 指定、など)
- ・ グループ指定、
- ・ フロアプラン (BBOX)、マクロ配置指定
- ・ クロックネット指定、など

<span style="border: 1px solid orange; padding: 2px;"> </span>	ユーザが用意
<span style="border: 1px solid blue; padding: 2px;"> </span>	ツールが生成 (ユーザ編集可)
<span style="border: 1px solid green; padding: 2px;"> </span>	制約作成のツール

主プロセスの概略は以下の通りです。

#### デザイン・エントリー

実装に用いる HDL (RTL) ソースファイルをユーザが用意します。殆どの場合は回路実装に PLL やブロックメモリー (EBR) といったマクロを含みますが、Clarity Designer や IPexpress と呼ぶモジュール生成ツールを用います。これらをインプリメンテーションごとにプロジェクトにインポートします。

註: 本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は技術サポート担当者にお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

## 論理合成 (Design Synthesis) プロセス

HDL ソースファイルからゲートレベルのネットリスト (EDIF) に変換します。プロジェクトによってはデザイン・エントリーとして別途生成済みの EDIF ファイルを用いることもできますが、この場合は省略されます。論理合成ツールとしては Synplify Pro か LSE (デフォルト) のいずれかを指定します。

## Translate Design プロセス

EDIF ネットリストから、それ以降のプロセスで使用するネットリストに変換します。IP コアや特定マクロを使用している場合、それらと論理合成後のユーザーデザインとの結合もこのプロセスで行われます。論理合成ツールとして LSE を選択した場合、このプロセスは論理合成と統合されているので、GUI 上には表示されません。

## マッピング (Map Design) プロセス

主にフリップフロップ ("FF"、レジスタ) や LUT (Look-Up Table) を用いた記述になっている、前プロセスで生成したデータベースから、FPGA デバイスとして実際に集積している論理リソースである "スライス (SLICE)<sup>1</sup>" などに変換するプロセスです。単一スライスに割り当てる FF や LUT の組み合わせを決定し (Packing)、仮のネットリストを生成します。このプロセスは各スライスへの論理的な変換のみであり、物理的にチップ上のどの位置のスライスに割り当てるかは決められていません。このプロセスに伴うタイミング解析は、アルゴリズムとして想定している仮の配線遅延時間を用いることで、タイミング制約を満たすような処理が行われます。

## 配置配線 (Place & Route Design) プロセス

マッピングでの仮ネットリストに対して、スライスの物理的な配置 (Placement) やスライス間の接続経路 (Routing) を決定し、ネットリストを生成します。この配置および配線処理は、STA (静的タイミング解析) エンジンによるタイミング制約に対する解析処理との繰り返し実行になります。

## 出力ファイル生成 (Export Files) プロセス

配置配線後のネットリストから、デバイスへの書き込みデータ (.bit、.jed) を生成します。サブプロセスとして、タイミング (実負荷) シミュレーション用遅延ファイル (.sdf) および RTL ファイル (VHDL、Verilog) の生成や、インプリメンテーションで使用されている IO タイプのみを含む IBIS ファイル (.ibs) の出力などがあります。

## 3.2 各プロセスの実行と結果の確認

### 3.2.1 プロセスの実行方法

各メインプロセスは Lattice Diamond の左側に表示されるプロセスビューから実行します (図 3-2)。その実行には、以下の 3 つの方法があります。

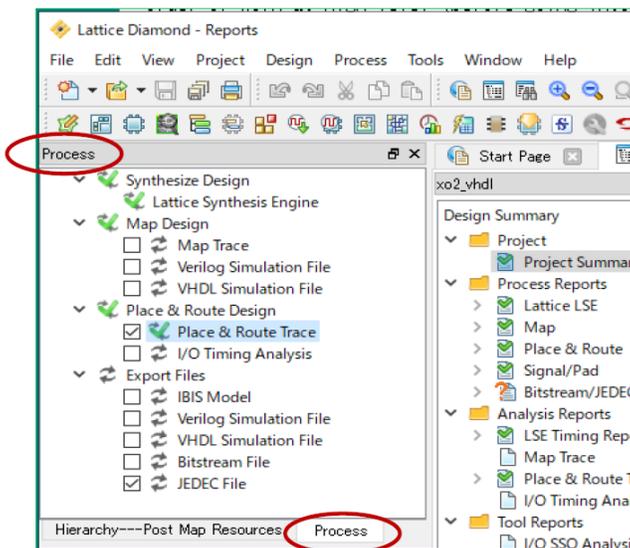
1. 実行するプロセスをダブルクリックする
2. 実行するプロセスを右クリックすると表示されるメニューから実行メニュー (後述) を選択する
3. 実行するプロセスをクリックして選択し、Diamond GUI 右上の実行アイコン  をクリックする

Diamond GUI 右上の実行アイコンは、以下の 3 つがあります。

-  Run: 選択したプロセス、およびそれ以前の未実行のプロセスが実行されます
-  Rerun: 選択したプロセスが実行済みの場合、そのプロセスのみが再実行されます。未実行の場合は [Run] と同じ動作になります
-  Rerun All: 論理合成から選択したプロセスまでの全てのプロセスが実行されます。プロセスをダブルクリックした場合は、[Run] を選択した場合と同じ動作になります

1. スライスには FF と LUT がそれぞれ二つ含まれています。スライス 4 つで "PFU" と呼びます。FPGA ファブリックは PFU 単位で行 (Row) と列 (Column) の番地が割り振られています ("R19C22" など)

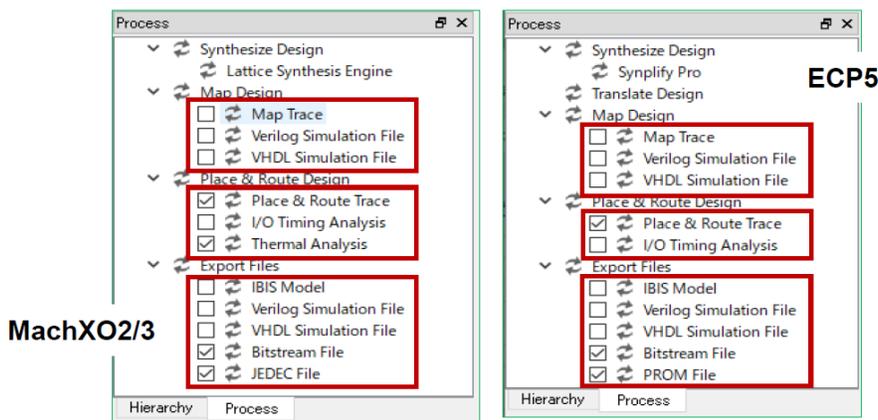
図 3-2. プロセスビュー



### 3.2.2 サブプロセスの実行

マッピング以降の各メインプロセスには、メイン処理に加えてそれぞれ密接に付随するサブプロセスがあります。サブプロセス名とともに行頭にチェックボックスがあり（図 3-3）、実行するかしないかの指定ができます。サブプロセスは ECP5 ファミリーと MachXO2/3 シリーズではやや異なり、Crosslink も若干異なります。また MachXO3LF ファミリーの場合は、”Export Files” プロセス下に MachXO3L 用書き込みファイルも同時に生成できるサブプロセスが定義されています（”Migration” 対応機能）。

図 3-3. サブプロセス実行の選択



マッピングや配置配線などのメインプロセスを実行すると、チェック入りのサブプロセスも連続して実行されます。チェックがないサブプロセスは、サブプロセス名をダブルクリックするか実行アイコンをクリックすることで実行できます。

なお、サブプロセスのチェック有無の設定は、インプリメンテーションが複数あるプロジェクトでは全てに反映されますので、ご注意ください。

### 3.2.3 プロセス実行状態の表示

プロセスウィンドウの各プロセス名の左側には、そのプロセスの実行状態を表すシンボルが表示されています。

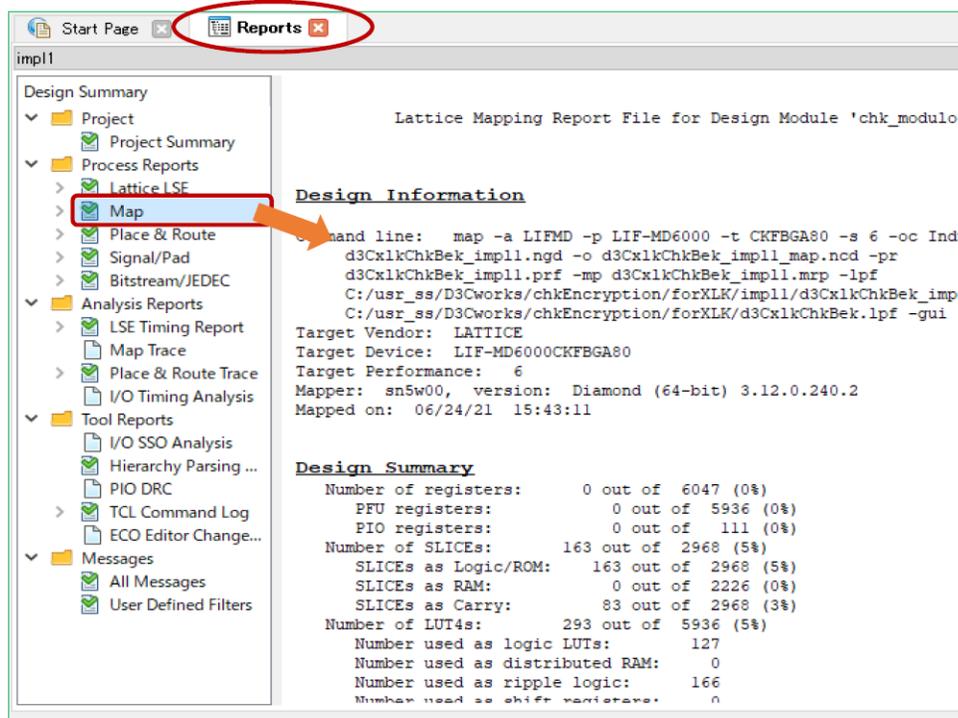
-  : プロセスが実行されていない状態
-  : プロセス実行済み。エラー / Warning 無し
-  : プロセス実行済み。Warning 有り、エラー無し
-  : プロセス実行済み。エラー有り。

実行中のプロセスには、その左側に  が表示されます。

### 3.2.4 プロセス・レポート

各メインプロセスのレポートは、テキストファイルと HTML ファイルの2つのフォーマットで出力されます (Translate Design はテキスト形式のみ)。HTML レポートは、Lattice Diamond GUI 右側のレポートビューで確認することができます。図 3-4 の例はマッピング・レポートを選択している状態です。

図 3-4. レポートビュー



レポートは複数のカテゴリ (セクション) に分かれています。[Project] はプロジェクト・サマリ、[Process Reports] は論理合成や配置配線といった各プロセス・レポート、[Analysis Reports] は処理結果に対する解析レポートです。他に [Tool Reports]、[Messages] があります。

各レポート名の先頭にも状態を表すシンボルが表示されます。

-  : ファイルが出力されていないレポート
-  : プロセスが正常終了した場合のレポート
-  : レポートファイルは出力されているが、実行中にエラーが発生しプロセスが未完了か、対象となるプロセス以前のプロセスが再実行されたため、プロセスを再実行する必要があるレポート
-  シンボルや  シンボルをクリックするとレポートビューにレポートが表示されます。HTML 形式と共に生成されるテキスト・ファイル形式のレポート拡張子は、以下の通りです。

表 3-1. プロセスとレポートファイル拡張子

プロセス名	テキスト形式のレポート ファイル拡張子
Synthesis (論理合成、Synplify Pro) *	.srs
Map Design (マッピング)	.map
Map Trace (マッピング後のタイミング解析)	.tw1
Place & Route (配置配線)	.par
PAR trace (配置配線後のタイミング解析)	.twr
Export File (.bit / jed ファイル生成) **	.bgn

注\* ; LSE では "synthesis\_lse.html" のみです

\*\* ; Verilog / VHDL Simulation File や IBIS ファイルの生成時はレポートには何も書き出されません

複数のインプリメンテーションがあるプロジェクトでは、一度アクティブにしたインプリメンテーションであれば、[Report] ウィンドウ下部にレポート・タブができます。非アクティブなインプリメンテーションでも、そのタブを選択することによって閲覧することができますので、マニュアルで切り替えて簡易的に GUI 上で比較できます。

### 3.3 配置配線プロセスの並列処理

一般的に配置配線 (PAR) プロセスが最も処理時間を要する処理です。Diamond ではこのプロセスに限り、複数コア CPU 搭載の PC では、各コアに並列処理させて時間を短縮することができます。ただし、ストラテジー・オプションの一つ "Placement Iterations" にデフォルトの '1' 以外を設定して (例えば 3 コアでは 3 以上)、PAR 処理を複数回実行させる場合に限りです。

詳細については第 7.3 節をご参照ください。

なお、実際に搭載されているコア数以上の値を設定すると、処理性能が極端に悪くなります。コア数の設定値は搭載されているコア数以内に収めてください。また、ランマネージャーで複数インプリメンテーションを並列処理させる場合、このオプション設定を行っている以上期待している以上のプロセスが同時実行されてしまうことがあります。注意してください。

### 3.4 ランマネージャーによる並列処理

#### 3.4.1 ランマネージャーの概要

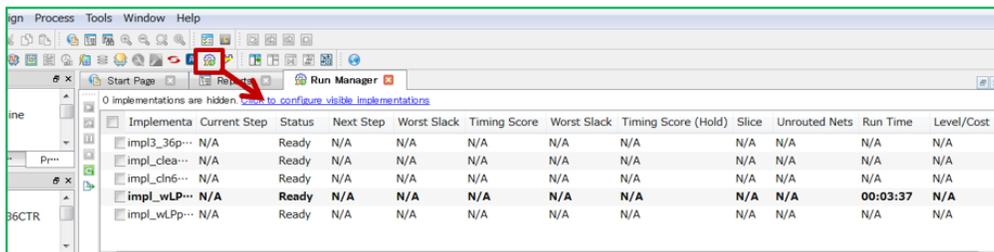
ランマネージャーは、同一プロジェクト内に複数インプリメンテーションがある場合、一連の処理プロセスをインプリメンテーション単位で同時実行させるためのツールです。例えば配置配線プロセスで、インプリメンテーションごとに "コストテーブル" ("Placement Iteration Start Pt") を変えて並列実行できますので、迅速に最適解を得る手段になり得ます。

#### 3.4.2 ランマネージャーの起動

メニューバーから [Tool] → [Run Manager] の順に選択するか、ツールバーのアイコン  をクリックして起動します (図 3-5)。

起動時は、前回ランマネージャーが実行された際の状態を保持しています。このため、ランマネージャーの起動時に表示される各インプリメンテーションの進捗は、その時点での実際の進捗とは一致しないことがあります。この場合、一度 Implementation カラム左側のチェックをはずし、再度チェックを入れると最新の進捗状態に更新されます。

図 3-5. ランマネージャーの起動



### 3.4.3 実行するインプリメンテーションの選択

ウィンドウの左側カラムには、チェックボックスと、インプリメンテーション名にストラテジー名が表示されています。ランマネージャーでは、このチェックボックスにチェックが入っているインプリメンテーションが対象です（デフォルトは全てチェック無し）。

1 つずつチェックを入れることもできますが、ランマネージャー・ウィンドウ上で右クリックし、[Select All] を選択すると、全てのインプリメンテーションにチェックが入ります。同様に右クリックし、[Unselect All] を選択すると、全てのインプリメンテーションのチェックが外れます。

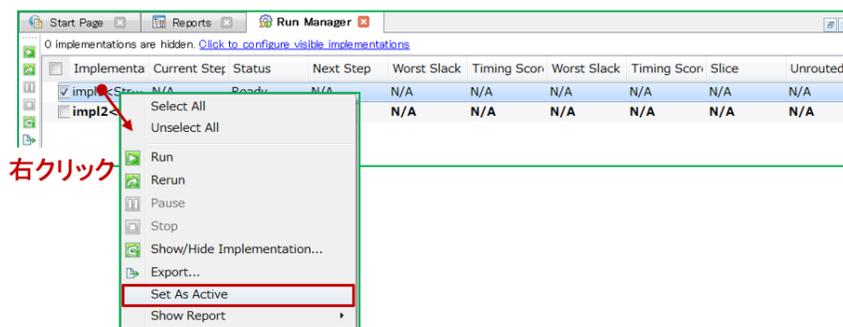
### 3.4.4 ランマネージャーでの処理の実行

ランマネージャーで各インプリメンテーションの処理を実行させるには、ランマネージャー・ウィンドウ上で右クリックして現れるプルダウンメニュー [Run] または [Rerun] を選択します。もしくは、ランマネージャー・ウィンドウ左側に表示されている同じアイコンをクリックします。

[Run] を選択した場合は、各インプリメンテーションの未実行のプロセスのみが実行されます。[Rerun] を選択した場合は、論理合成から再実行されます。

処理中にランマネージャーを一時的に停止させる場合は、ランマネージャー・ウィンドウ上で右クリックして現れるプルダウンメニューから [Pause] を選択します。処理を中断させる場合は、同様に [Stop] を選択します。もしくは、ランマネージャー・ウィンドウ左側に表示されている同じアイコンをクリックします。

図 3-6. インプリメンテーションのアクティブ化



### 3.4.5 インプリメンテーションのアクティブ 指定

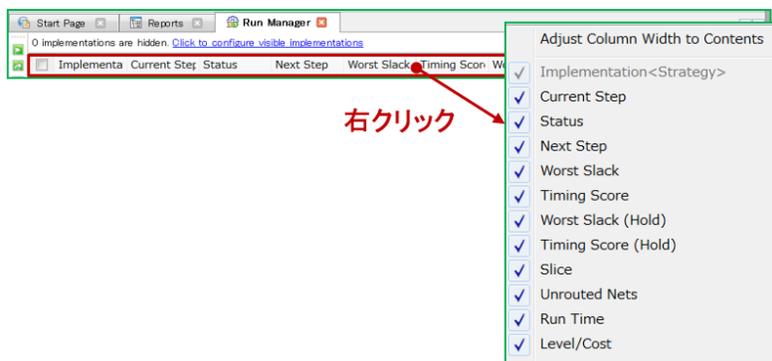
ランマネージャー上で、アクティブでないインプリメンテーション名を右クリックし、現れるメニューから [Set As Active] を選択すると、そのインプリメンテーションがアクティブになります。

### 3.4.6 ランマネージャのカスタマイズ

#### 3.4.6.1 表示する項目の選択

ランマネージャ上で表示される情報は、任意のものを選択してカスタマイズすることができます。ランマネージャ上の最上部、項目欄を右クリックすると、選択できる項目の一覧が表示されます (図 3-7)。左側にチェックが入っている項目は表示されているもの、チェックが入っていない項目は表示されていないものです。項目名をクリックするとチェックの有無 (表示/非表示) を切り替えることができます。

図 3-7. ランマネージャ上に表示する情報の選択



デフォルトで表示されない項目については次の表 3-2 をご参照ください。

表 3-2. ランマネージャ・ウィンドウのデフォルト ”非表示” 項目

表示	内容
Unrouted Nets	配線できなかったネット数
Run Time	処理に要した時間。単位は秒
Processing	処理の進捗状況
Run Time	処理に要した時間。単位は秒
Level/Cost	配置配線で使用された Effort Level と Cost Table の設定値
Location	結果の出力フォルダパス
Start	プロセスの開始時間
Description	インプリメンテーション名
GSR	使用している GSR 数
PIO	使用している IO 数
EBR	使用している EBR (ブロックメモリー) 数

なお、1つのインプリメンテーション内で配置配線処理を複数回繰り返し、かつその結果を残すようなストラテジー設定を行っている場合は、左端に表示されているアイコン **+** をクリックしてツリーを展開すると繰り返した配置配線それぞれの時間やスコア等が表示されます (デフォルトでは1つだけしか残りません)。

インプリメンテーション内で複数回の配置配線処理を行うためのストラテジー・オプションは [Placement Iterations]、複数回分の結果を残すためのオプションは [Placement Save Best Run] です。詳細は配置配線プロセス章をご参照ください。

#### 3.4.6.2 項目の表示順の変更

表示されている項目名を選択してドラッグ&ドロップすることで表示順序を変更することができます。

### 3.4.7 結果のエクスポート

ランマネージャーのウィンドウ表示をエクスポート（csv ファイル出力）できます。ウィンドウ内の適当な位置で右クリックして [Export...] を選択します。

### 3.4.8 CPU コア並列処理オプションとの併用

ランマネージャーを使用する場合は、PAR ストラテジー・オプションの "Multi-Tasking Node List" は使用しないことを推奨します。

PAR オプション [Multi-Tasking Node List] を使用し、かつランマネージャーで複数インプリメンテーションを並列処理させると、意図する以上にプロセス（スレッド）が同時に走るようになります。これによりマシンが過負荷状態となり、処理時間が極端に増加してしまうことがあります。

例えば [Multi-Tasking Node List] で、コストテーブルの異なる PAR を 2 並列処理させる設定にしているインプリメンテーションを、更にランマネージャーで 2 並列処理させた場合、最大 4 つの PAR プロセスが同時に実行される可能性があり、4 コア CPU の CPU では他に何も処理ができなくなります。

--- \*\*\* ---