

SoC デバイス HPS 側 SDRAM の ModelSim シミュレーション方法

ver.14



2014年8月 Rev.1

ELSENA,Inc.





SoC デバイス HPS 側 SDRAM の ModelSim シミュレーション方法

<u>目次</u>

1. はじめに	3
2. シミュレーション手順	3
2-1. Qsys でのハードウェア作成とテストベンチ生成	3
2-2. シミュレーションに必要なファイルの作成	5
2-3. ModelSim-Altera の起動からシミュレーションの実行まで	6
3. 詳細	8
3-1. test_program.sv	
3-2. top.sv	
3-3. load_sim.tcl	9
改版履歴	10

1. <u>はじめに</u>

この資料は、アルテラ社 SoC デバイスの Hard Processor System (以降、HPS と略) 側に実装されている HPS Hard Memory Controller を ModelSim を使用してシミュレーションする方法について記載します。この資料で は、Quartus[®] II 14.0、ModelSim-Altera 10.1e を使用して説明しています。ここでは、ModelSim-Altera を使用し ていますが、ModelSim-PE、ModelSim-SE でも同様にシミュレーションが可能です。

2. シミュレーション手順

2-1. Qsys でのハードウェア作成とテストベンチ生成

 ここでは、簡単な構成のシステムを想定します。HPS_SDRAM_Simulation という名前(任意)でシステムを Qsys にて生成します。下図のように Qsys 上でクロック/リセット、HPS、Avalon-MM Traffic Generator をイ ンスタンスし、それぞれを適切に接続します。



 HPS の設定については、下図のように、f2h_sdram0 を AXI-3、バス幅 128 ビットで設定します。 Avalon-MM も選択可能ですが、ここでは、あえて AXI-3 を選択しています。

💐 Parameters 🛛				
HPS_SDRAM_Simulatio	n > hps_0			
Arria V/Cyclone altera_hps	e V Hard Proces	ssor Syster	m	
▼ AXI Bridges				
FPGA-to-HPS inter	face width:	Unus 👻		
HPS-to-FPGA inter	HPS-to-FPGA interface width:			
Lightweight HPS-to	-FPGA interface width	unus 👻		
* FPGA-to-HPS S	SDRAM Interface			
Click the '+' and '-'	buttons to add and rer	nove FPGA-to-	HPS SDRAM	ports.
Namo	Туре		Width	
f2h_sdram0	AXI-3		128	[]
+ -				

🔥 ALTIMA

③ Avalon-MM Traffic Generator は、外部メモリなどのアクセス・テスト用に汎用的に使用できるテスト・パターン生成 & チェック機能を実現するモジュールとなります。今回は、下図のようにバス幅を 128 ビット、テスト・パターンの繰り返しを 1 回と設定しました。なお、このモジュールは、Avalon-MM となっているのに対して、HPS の f2h_sdram0_data は、AXI Slave となっています。Qsys では、Avalon-MM ⇔ AXI の変換は、自動的に行ってくれるので、Avalon-MM Traffic Generator からの信号は、Qsys 内で AXI-3 に変換されf2h_sdram インタフェースに接続されます。

1 -				
	🔄 Parameters 🛛	4	Parameters 🛱	
	HPS_SDRAM_Simulation > mm_traffic_generator_0	H	PS_SDRAM_Simulation > mm_traffic_generator_0	
	Avalon-MM Traffic Generator and BIST Engine	A alt	valon-MM Traffic Generator and BIST Engine tera_avalon_mm_traffic_generator	
		I	interface Settings Traffic Settings	
	Interface Settings Traffic Settings		Traffic Generation Settings	
			Number of loops through patterns (0 for infinite):	1
	Avalon-MM Settings		Timeout counter width:	32
			Enable Random byteenable	
	Actual Avalon Data Width: 128		Enable data comparison	
	Avalon Symbol Width: 8		Maximum slave read latency.	20
	🔲 Generate power-of-2 data bus widths for Qsys or SOPC Builder		Enable Unix ID	
	Generate SOPC Builder compatible resets		Unix ID:	
	Avalon Address Width: 20	l F	Traffic Pattern Settings	
	Octual Quales Oddrace Wodth:		Single read/write sequential addressing count:	32
	33		Single read/write random addressing count:	32
	📝 Generate per byte address		Single read/write interleaved sequential/random addressing count:	32
	Generate Avalon-MM begin burst transfer signal		Block read/write size:	8
	Maximum Avalon-MM burst length:		Block read/write sequential addressing count:	8
			Block read/write random addressing count:	8
	Generate 2 Avalon interfaces		Block read/write interleaved sequential/random addressing count:	8
	🔲 Generate Avalon-MM byte-enable signal		Template stage count:	4
	Generate the per-bit pass/fail signals in the status inteface		Random addressing percent	50

④ Generate メニュー ⇒ Generate Testbench System... を実行し、シミュレーションに必要なテストベンチ・ファ イルー式を生成します。Generate 画面が起動するので、デフォルト設定のまま、Generate ボタンをクリックし ます。ここでは、言語を Verilog としていますが、VHDL を選択することも可能です。Generate が完了した ら Close ボタンをクリックします。

👃 Generation		×
Testbench System		
The testbench system is a new Qs Once generated, the bus functional	xs system that instantiates the original system, adding bus functional models to drive the top-level interfaces. models can interact with the system in the simulator.	
Create testbench Qsys system:	Standard, BFMs for standard Qsys interfac 👻	
Create testbench simulation model:	Veril 👻	
🔲 Allow mixed-language simulation	n in in its second seco	
Enable this if your simulator suppor	ts mixed-language simulation.	
* Output Directory		
Path:	C:/HPS_SDRAM_Simulation/HPS_SDRAM_Simulation	
Testbench:	C:/HPS_SDRAM_Simulation/HPS_SDRAM_Simulation/testbench/	
L	Generate	
	Can Can	081



⑤ テストベンチの生成が完了すると、testbench フォルダの中には、下図のようなフォルダ/ファイルー式が生成されます。aldec、cadence、mentor、synopsys とあるフォルダは、各種シミュレーション用ツールを提供しているベンダごとのシミュレーション実行用スクリプト・ファイルが格納されています。本例では、Mentor Graphics社の ModelSim を使用するので、mentor フォルダ内の msim_setup.tcl スクリプトを使用します。 HPS_SDRAM_Simulation_tb フォルダ内には、テストベンチ・ファイルとシミュレーションに必要なライブラリ・ファイルー式が格納されています。

COO VIE KAN	_Sin	nulation $ ightarrow$ HPS_SDRAM_Simulation $ ightarrow$ testbench $ ightarrow$		▼ 49 testbenchの検索	٩
整理 ▼ ライブラリに追加	•	共有 🔻 書き込む 新しいフォルダー			·= • 🔟 🔞
☆ お気に入り	-	名前	サイズ	種類	更新日時
🚺 ダウンロード		🌗 aldec		ファイル フォルダー	2014/08/07 13:58
📃 デスクトップ		🐌 cadence		ファイル フォルダー	2014/08/07 13:58
1911 最近表示した場所		HPS_SDRAM_Simulation_tb		ファイル フォルダー	2014/08/07 13:58
		퉬 mentor		ファイル フォルダー	2014/08/07 13:58
<u>™ = / ブ= u</u>	=	퉬 synopsys		ファイル フォルダー	2014/08/07 13:58
		HPS_SDRAM_Simulation.html	1,007 KB	Firefox HTML Document	2014/08/07 17:58
		HPS_SDRAM_Simulation_tb.html	1,037 KB	Firefox HTML Document	2014/08/07 17:58
📔 ピクチャ		HPS_SDRAM_Simulation.ipx	1 KB	IPX ファイル	2014/08/07 13:57
📔 ビデオ		HPS_SDRAM_Simulation_tb.qsys	5 KB	QSYS ファイル	2014/08/07 17:58
👌 ミュージック		HPS_SDRAM_Simulation_generation.rpt	27 KB	RPT ファイル	2014/08/07 17:58
		HPS_SDRAM_Simulation_generation_previous.rpt	27 KB	RPT ファイル	2014/08/07 17:57
🖳 コンピューター					
🚢 ローカル ディスク (C:)	Ŧ				
11 個の項目					

2-2. シミュレーションに必要なファイルの作成

これまでで、Qsys で自動生成できるファイルの準備ができましたが、ユーザが独自に手動で作成するファイル が必要となります。ここでは、各種ファイルの説明を簡単に行います。詳細については、後の章で後述します。なお、 ここで出てくるフォルダ名、ファイル名はすべてユーザが任意に指定可能で、以下は、一例となります。

1 test_program.sv

SystemVerilog で記載したテスト・プログラムです。HPS に対するリセットを制御して、SDRAM インタフェースを有効にしています。

(2) top.sv

test_program.sv と Qsys が自動生成したテストベンチ・ファイル HPS_SDRAM_Simulation_tb.v をインスタ ンスしたテストベンチのトップファイルとなります。

③ load_sim.tcl

ModelSim の実行用スクリプト・ファイルです。各種環境変数の設定や Qsys が自動生成した Mentor Graphics 社用スクリプト・ファイル msim_setup.tcl の呼び出し、シミュレーションの実行を行います。

本例では、これらのファイルを user_test_program というフォルダに格納し、ここを ModelSim 実行用のカレント・フォルダに設定します。



- 2-3. ModelSim-Altera の起動からシミュレーションの実行まで
 - ① ModelSim-Altera を起動し、File メニュー ⇒ Change Directory... を実行し、user_test_program フォルダに 移動します。

ModelSim ALTERA 10.1e - Cust	tom Altera Version		
<u>File Edit View Compile Sim</u>	nulate A <u>d</u> d L <u>i</u> brary	T <u>o</u> ols Layo <u>u</u> t Boo <u>k</u> marks <u>W</u> indow <u>H</u> elp	
E • 🗃 🖬 🤹 🍪 🐰 🛍 📽	8 🖄 🗋 🔕 - 🛤 🖁	⊑ 兩] ◈ 緇 곑 ◙ ७] ┆┆ ◈ ┆│ і ☆ ⋧ ⋨	
Layout NoDesign	ColumnLayout All	Columns 💌 🚽 🦓 - 🖓 🛃 - 🥵	
Library			+ a ×
▼ Name	Туре	Path	· ·
	Library	\$MODEL_TECH//altera/vhdl/220model	
+ 220model_ver	Library	\$MODEL_TECH//altera/verilog/220model	
+-	Library	\$MODEL_TECH//altera/vhdl/altera	
+-/ altera_Insim	Library	\$MODEL_TECH//altera/vhdl/altera_Insim	
⊕→ altera_Insim_ver	Library	\$MODEL_TECH//altera/verilog/altera_Insim	
	Library	\$MODEL_TECH//altera/vhdl/altera_mf	
	Library	\$MODEL_TECH//altera/verilog/altera_mf	
	Library	\$MODEL_TECH//altera/verilog/altera	
	Library	\$MODEL_TECH//altera/vhdl/arriaii	
⊕-, arriaii_hssi	Library	\$MODEL_TECH//altera/vhdl/arriaii_hssi	
⊕→ arriaii_hssi_ver	Library	\$MODEL_TECH//altera/verilog/arriaii_hssi	
	Library	\$MODEL_TECH//altera/vhdl/arriaii_pcie_hip	
	Library	\$MODEL_TECH//altera/verilog/arriaii_pcie_hip	
·	Library	\$MODEL_TECH//altera/verilog/arriaii	
	Library	\$MODEL_TECH//altera/vhdl/arriaiigz	
	Library	MODEL TECH/ /altera/vhdl/arriaiinz hssi	_ _
A Transcript			
# Reading C:/altera/14.0/mod	delsim ae/tcl/vsim	(pref.tcl	A
cd C:/HPS_SDRAM_Simulation/u	iser_test_program		
		-	
ModelSim>			
			*
<no design="" loaded=""></no>	\$MODEL_TECH//altera	/vhdl/220model	

② Tools メニュー ⇒ Tcl ⇒ Execute Macro... を実行し、起動したファイル選択画面にて load_sim.tcl を選 択すると、シミュレーションに必要なライブラリの生成、テストベンチのコンパイル、vsim コマンドの実行まで を一括して行ってくれます。

ModelSim ALTERA 10.1e						- • •
Elle Edit View Compile Simulate Add Structure Tools Layout Bookmarks Window Help						
B•☞ ■ ☆ @ 2 № @ 2 @ 0 • ₩ \$ ₩ 90 1 4 ↔ 10 po 1 12 13	🕺 😃 🔝 🔛 🕹	🕸 🕮 🖓 🕱	12	a 🕇	* 🚓 🗶	
IOWI ## # K 14 1 10 0 0 0 0 0 0						
Layout Simulate 🗨 Columniayout AllColumns 🛫 🛃 - 🚳 - 🥵	3 - 🥰					
🖉 sim - Default	a Objects					: # # X
TInstance Design unit	▼ Name				A Value Kind	Mode
🖬 🛄 top top						
⊕ i b HPS_SDRAM_Simulation_tb I						
🔒 🔟 pgm test_program I	Processes (Active) =					: # # X
std std '	▼ Name	Type (filtered)	State	Order	Parent Path	-
🕒 🧾 semaphore 🛛 std 🕴 🛨	#INITIAL#94					=
4 A	ASSIGN#93					
Library × 🖓 sim ×	#ASSIGN#93					-
0						
Pil Transcript						- <u>+ n</u> ×
Time: 0 ps Iteration: 0 Region: /QUESTA_MVC File:/HPS_SDRAM_Simulation/testbench/H	PS_SURAM_Simulation	tb/simulation/	submodule	s/quest	a_mvc_svap1.svh	-
** Warning: (vsim-3770) failed to find user specified function 'questa_mvc_sv item_link' i function 'questa_mvc_sv item_link' i	n DFI C/C++ source	files.				
* ** Saminar (van-3770) Failed to find user merified function (meets are aviten linked	count! in DRI C/C++	source files.	a abase a date	a) queau	a_me_avapatava	
Time: 0 ps Iteration: 0 Region: /OVESTA MVC File:/HPS SDRAM Simulation/testbench/H	PS SDRAM Simulation	tb/simulation/	submodule	s/quest	a myc syapi.syh	
# ** Warning: (vsim-3770) Failed to find user specified function 'questa mvc_sv_item_linked	handles' in DPI C/C	++ source files				
# Time: 0 ps Iteration: 0 Region: /QUESTA_MVC File:/HPS_SDRAM_Simulation/testbench/H	PS_SDRAM_Simulation	_tb/simulation/	submodule	s/quest	a_mvc_svapi.svh	
# ** Warning: (vsim-3770) Failed to find user specified function 'questa_mvc_sv_item_linked_handles' in DPI C/C++ source files.						
* Time: 0 ps Iteration: 0 Region: /QUESTA_WVC File:/RFS_SDRAM_Simulation/testbench/RFS_SDRAM_Simulation_th/simulation/submodules/questa_mvc_svapi.svh at Marcing /unim_STDI Failed not find Haser manufied from the financial find to Edit (/iteration_the financial find)						
*** Warning: (vam-sr/0) railed to find user specified function 'questa_wrou'rem_time_orgin' in DFI C/C++ source files. Time: 0 ng Terration: 0. Refine NUC File:/HES STRAM Simulation/restament/HES STRAM Simulation/ubmodules/guesta myc systi.svb						
# ** Warning: (vsim-3770) Failed to find user specified function 'guesta myc sv item time en	d' in DPI C/C++ sou	rce files.				
Time: 0 ps Iteration: 0 Region: /QUESTA_MVC File:/NPS_SDMAM_Simulation/testbench/NPS_SDMAM_Simulation_tb/simulation/submodules/questa_mvc_svapi.svh						
# ** Warning: (vsim-3770) Failed to find user specified function 'questa_mvc_sv_show' in DPI C/C++ source files.						
# Time: 0 ps Iteration: 0 Region: /QUESTA_NVC File:/HPS_SDRAM_Simulation/testbench/HPS_SDRAM_Simulation_tb/sim						
* ** Warning: (vsim-s//v) failed to into user specified function (questa moves in DFI C/C++ SOUCE files. This is no transition: 0 During: (MTSTID MOV File. (RDS SOUR Simplering Files SOUR Simplering Files).						
** Warning: (vsim-3770) Failed to find user specified function 'questa myc sy show item' i	n DPI C/C++ source	files.	Bubbbbuure	a/queau	a_mvc_ovapi.ovu	
# Time: 0 ps Iteration: 0 Region: /QUESTA MVC File:/HPS SDRAM Simulation/testbench/H	PS SDRAM Simulation	tb/simulation/	submodule	s/quest	a mvc svapi.svh	
# ** Warning: (vsim-3770) Failed to find user specified function 'questa_mvc_sv_set_time_rel	ation' in DPI C/C++	source files.				
Time: 0 ps Iteration: 0 Region: /QUESTA_MVC File:/HPS_SDRAM_Simulation/testbench/H	PS_SDRAM_Simulation	tb/simulation/	submodule	s/quest	a_mvc_svapi.svh	
** Warning: (VSIM-3770) failed to find user specified function 'questa mvc sv set time rel	ation_pattern' in D	PI C/C++ source	files.			
118: 0 ps iteration: 0 kegion: /gutoia_Avc file:/hrs_bikan_bimilation/testbench/m 4 ** Warning: (vsim=3770) Failed to find user specified function 'guesta avc sv set dont car	e' in DPL C/C++ sou	_tD/Similation/	supercaute	s/quesc	a_mvc_svap1.svn	
Time to a literation: (Person of the data data prototed subjects quest and the subject of the first of the subject of the subject and the subject and the subject of the subject and the su						
+ ** Warning: (vsim-3770) Failed to find user specified function 'questa_mvo_sv_set_dont_care_pattern' in DFI C/C++ source files.						
f Time: 0 ps Iteration: 0 Region: /QUESTA_HVC File:/HPS_SDRAM_Simulation/testbench/HPS_SDRAM_Simulation_tb/simulation/submodules/questa_mvc_svapi.svh						
8 ** Warning: (vsim-3770) failed to find user specified function 'questa mycev convert to precision' in DPI C/G++ source files.						
* Marning: (vsim-3770) Failed to find user specified function (mests vin get version) in	DPI C/C++ source *	_to/similation/	supsidule	s/quest	a_mvc_avap1.svn	
 Time: 0 ps Iteration: 0 Region: /QUESTA MVC File:/HPS SDRAM Simulation/testbench/H 	PS SDRAM Simulation	tb/simulation/	submodule	a/queat	a myc gyapi.gyb	
* ** Warning: (vsim-3770) Failed to find user specified function 'questa vip get platform' i	n DPI C/C++ source	files.				
# Time: 0 ps Iteration: 0 Region: /QUESTA_MVC File:/HPS_SDRAM_Simulation/testbench/H	PS_SDRAM_Simulation	_tb/simulation/	submodule	s/quest	a_mvc_svapi.svh	
VSIM 3>						-
New One Delter O						
hour of a reliar of house				_		h.

③ シミュレーションを実行します。ModelSim のコンソールから "run 150us" を実行します。このコマンドで 150us のシミュレーションを実行します。完了までは、数分の時間を要します。完了すると以下のような画面 となります。



- ④ 波形の表示を行うと以下(一例)のようになります。Avalon-MM Traffic Generator の設定で、テスト・パターンの繰り返しを1回と指定したので、一連のシーケンスが完了した後に、test_complete 信号が Hi となり処理が完了します。下図では、pass 信号が Hi となっているので、一連のテストが全て正常であることが確認できます。
 - ※SDRAM 側のアクセス信号は、全て不定となっています。HPS 側の SDRAM のモデルは提供されない ため、シミュレーション上では、すべて下図のように不定となります。これは仕様となりますので予めご了 承ください。





3. <u>詳細</u>

3-1. test_program.sv

以下が、test_program.sv の本文となります。本例では、クロックの発行、リセットの制御、テスト用シーケンスの 実行などは、HPS_SDRAM_Simulation_tb.v 内の各インスタンスが行っているので、このプログラムで行うのは、 HPS に対するリセット制御のみとなります。23 行から 25 行が該当の行となります。

```
timescale 1ns/1ns
 2
 ā
   //Console messaging level
    define VERBOSITY VERBOSITY_INFO
 4
 5
 67
   //BFM hierachy
    define HPS tb.hps_sdram_simulation_inst
 8
 9
10|module_test_program();
11
12
13
        import verbosity_pkg::*;
        import avalon_mm_pkg::*;
14
15
16
           Set
               verbosity before the test starts
17
           Qsys-generated testbench activates clock and reset BMFs
18
        //-
19
        initial begin
20
21
22
23
24
25
26
27
28
29
            set_verbosity(`VERBOSITY);
             `HPS.hps_0.fpga_interfaces.h2f_reset_inst.reset_assert();
            #100
             HPS.hps_O.fpga_interfaces.h2f_reset_inst.reset_deassert();
        end
   endmodule
```

3-2. top.sv

以下が、top.sv の本文となります。test_program.sv と Qsys が自動生成したテストベンチ・ファイル HPS_SDRAM_Simulation_tb.v をインスタンスしたテストベンチのトップファイルとなります。

```
1|module top ();
2| HPS_SDRAM_Simulation_tb tb();
3| test_program pgm();
4|endmodule
```



3-3. load_sim.tcl

以下が、load_sim.tcl の本文となります。2行目から3行目が環境変数の設定です。作成した環境に合わせて正 しい値を設定します。7行目で Qsys が自動生成した msim_setup.tcl を呼び出しています。10行目以降は、ライブ ラリのコンパイル、20行目で vsim コマンドのエイリアス (msim_setup.tcl 内で定義)を実行しています。

1|# Set the hierarchy variables used in Qsys-generated msim_setup.tcl 2 set TOP_LEVEL_NAME "top" 3 set SYSTEM_INSTANCE_NAME "tb" 4 set QSYS_SIMDIR "...7HPS_SDRAM_Simulation/testbench" 5 6 # Source Qsys-generated script and set up alias commands used below source \$QSYS_SIMDIR/mentor/msim_setup.tcl 7 8 # Compile device library files 9 10 dev_com 11 12 # Compile the design files in correct order 13 com 14 15 # Compile the additional test files 16 vlog -sv ./test_program.sv -L altera_common_sv_packages 17 vlog -sv ./top.sv 18 19 # Elaborate top level design 20 elab_debug 21 22 23 # Load the waveform "do file" Tcl script do ./wave.do 24 25 # Log 26 add log -r sim:/top/tb/*



<u> 改版履歴</u>

Revision	年月	概要
1	2014年8月	新規作成

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社アルティマ ホームページ: http://www.altima.co.jp
 技術情報サイト EDISON: http://www.altima.jp/members/index.cfm
 株式会社エルセナ ホームページ: http://www.elsena.co.jp
 技術情報サイト ETS : http://www.elsena.co.jp/elspear/members/index.cfm
- 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。