

アルテラ社製
Enpirion シリーズ
DC-DC コンバータ レイアウト ガイド

ver.1

Enpirion DC-DC コンバータ レイアウト ガイド

目次

1. はじめに	3
2. 入力・出力コンデンサの配置	3
3. NC ピンは、使用しない	4
4. 放熱パッドとサーマルビア	4
5. 入力・出力電流ループの分離	7
6. VSENSE の接続.....	7
7. 出力電圧外部設定時の R1 , R2 の配置	7
8. DC-DC コンバータ 複数使用時は Y 接続.....	8
9. FPGA / CPLD 接続時の考慮.....	10
10. 添付資料	12
改版履歴	15

1. はじめに

この資料は、アルテラ社の電源デバイスである Enpirion[®] シリーズのレイアウトガイドです。

Enpirion の DC-DC コンバータ はインダクタ等の周辺部品を内蔵し、外付け部品が少なくシンプルに構成されています。しかし、スイッチング周波数が 4MHz 以上と高いため不要輻射ノイズの抑制や性能を維持し安定に動作させるためには、プリント基板のレイアウト設計が重要になります。

ここでは、放熱、不要輻射ノイズの抑制やデバイスを最良な状態で動作させるための部品配置、パターン設計する際に考慮する基本事項について列記します。デバイスによっては、特別に考慮する事がありますので、併せてデータシートを参照ください。また、評価ボードや、アルテラ社の HP で公開されている『 Gerber Files 』を参考にしてください。

2. 入力・出力コンデンサの配置

2-1. 入出・出力コンデンサは IC と同一面に配置

入力・出力のセラミックコンデンサは IC の入力 pin (PVIN) に、出力セラミックコンデンサは出力 pin (VOUT) に隣接し、IC と同一面に配置してください。プリント基板のパターンを短くすることができます。

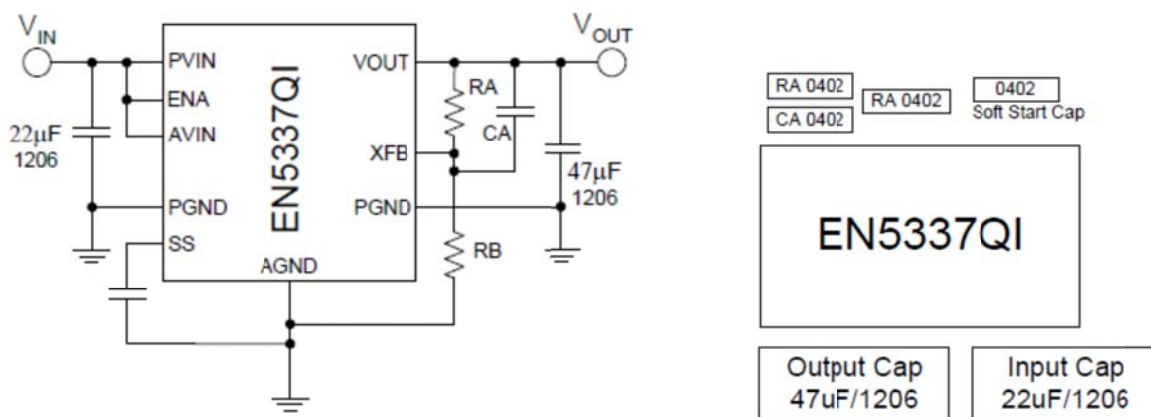


Fig.1 EN5337QI の標準接続と部品配置例

2-2. Vin → Cin → IC (PVIN) 、 IC (VOUT) → Cout → Vout は太く、短く

Cin と Cout には、スイッチング周波数に同期した大きなリップル電流が流れます。パターンを太く短くすることにより、パターンに形成される寄生インダクタンスが小さくなり、不要輻射ノイズやリップルを低減することができます。

2-3. 入出力コンデンサの GND はビア列で裏面の GND に接続

入出力コンデンサの GND パターンは、パッドの最も近いところでビア列により裏面の主 GND に接続する。このビア列は、可能なかぎり IC の近くに配置したコンデンサの近く(下や側面)に設けてください。

また、入力と IC の pin (PVin) 、またコンデンサと接続するのにビア列を通して接続しないでください。(出力側も同じです)

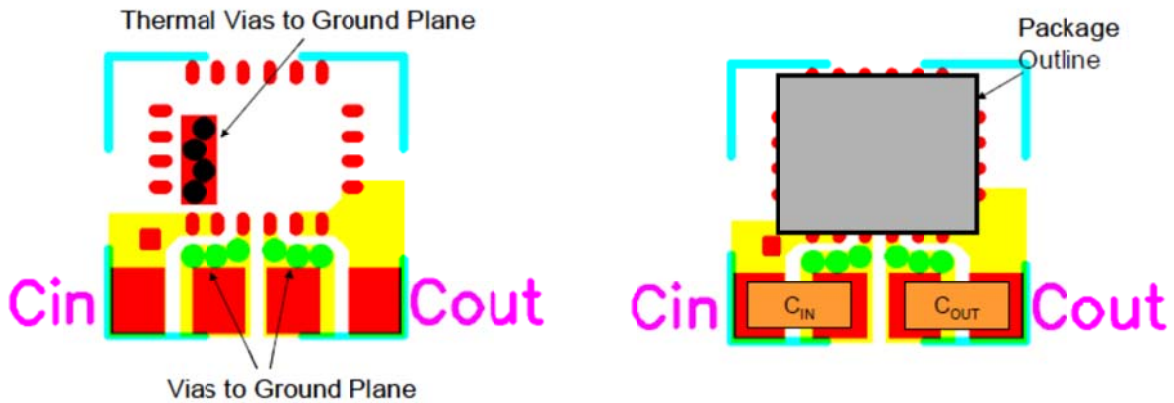


Fig.2 EN5311QI の Cin、Cout 部品配置とビア例

3. NCピンは、使用しない

3-1. NC (SW) ピンからテストピンやテスト用パッドを設けない

NC (SW) ピンで スイッチング波形が観測可能ですが、その目的のために波形観測ピンやパッドを設けないでください。

Enpirion の DC-DC コンバータ用 IC は、スイッチング周波数が 4MHz 以上と高いため余分なパターンやランド、パッドを設けることで不要輻射ノイズが発生し性能や動作に悪影響を与える事があります。

4. 放熱パッドとサーマルビア

4-1. サーマルパッド

IC の高密度化によりパッケージは、小型化 (SOIC→QFN) が進み、その結果パッケージ表面 (IC のリード端子も放熱器の一部) から空間への輻射放熱能力が益々小さくなっています。

表面実装の POWER IC は、IC 裏面のパッドからプリント基板をヒートシンクにして外部に放熱しています。そのためサーマルパッドを IC 裏面のプリント基板の放熱用パターン (GND パターン) にいかに低熱抵抗で結合させるかが、ジャンクション温度を下げるために一番重要です。

Fig. 3 は、EN5337QI のパッケージ底面と放熱用パッドの位置です。

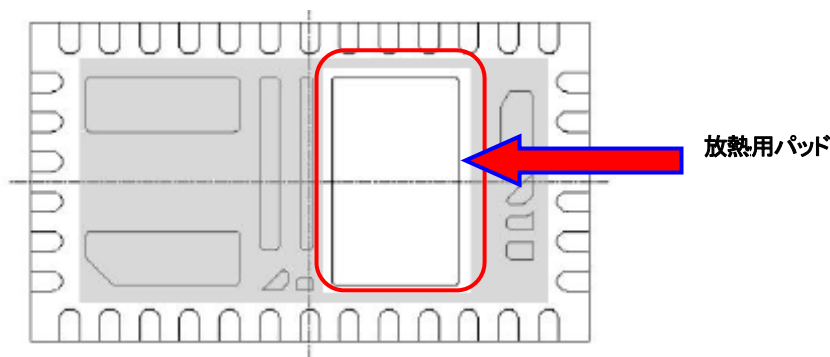


Fig.3 EN5337QI (QF38) パッケージ底面とパッド

4.2. サーマルビア

熱抵抗は、サーマルパッド用パターンを大きくすれば小さくなりますが、それには限界があります。

Enpirion の IC は、Fig.2 に示すようにサーマルパッド（パターン）の位置（位置寸法はデータシートに記載）と大きさが決められています。

QFN パッケージ（多ピン）は、4 方向に端子配列されているため、サーマルパターンを指定された以上大きくすることは構造上できません。そのため、サーマルパッドだけでの放熱だけでは不十分になり、発生した熱を効率よく内層と裏面の銅箔パターンに導く必要があります。

しかし多層基板の各層は、電気的にエポキシ樹脂層により絶縁されています。このエポキシ樹脂は、断熱材に近い熱抵抗を持っています。このままでは、内層や裏面の銅箔パターンに効率よく熱を導くことはできません。そこで、層間の熱抵抗を下げるために使用されるのがサーマルビアです。

通常、ビアは層間のパターンを結び電気的に接続するために用いられています。ビアは、内部が薄い銅メッキされているため銅のパイプと考えられます。ビア 1 本の熱抵抗は小さくありませんが、抵抗器の並列接続と同じように 10 本使用すれば熱抵抗が 1/10 に、20 本使用すれば 1/20 になり、ビアの数が多くなれば低い熱抵抗の実現が可能です。

その事でサーマルパッドやサーマルパッドの周辺にビアを数多く配置し、IC が発生した熱を効率よくプリント基板の内層や裏面の銅箔パターンに伝導し、IC のジャンクション温度を下げるすることができます。特にパターン面積が大きい GND パターンに低熱抵抗で接続できるかが大きなポイントになります。

Fig.4 は、QFN パッケージ熱伝導経路です。

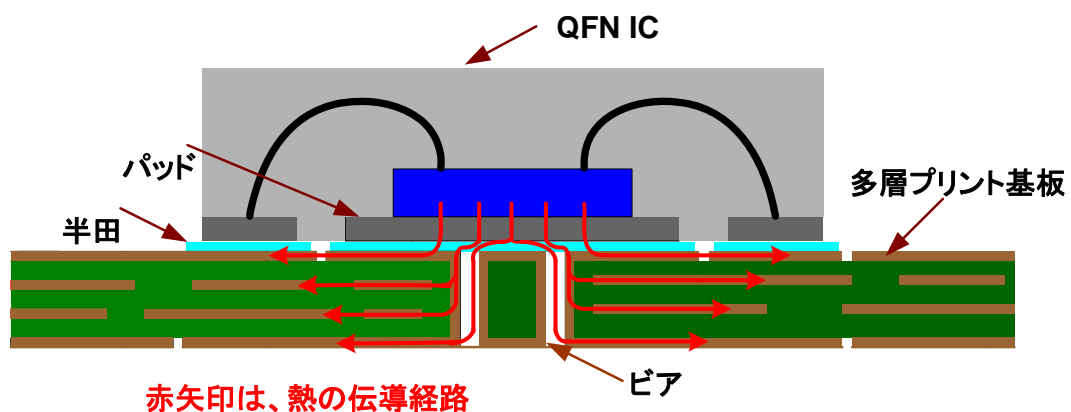


Fig.4 QFN IC の熱の伝導経路

4.3. サーマルパッドと裏面 GND をビアで接続

4-1、4-2 項で説明したように IC のパッドに対応したサーマルパッドを設け IC の放熱パッドと半田付けしてください。また、放熱効果を向上させるために、このサーマルパターンとプリント基板裏面の主 GND パターンにビア列により接続します。ビアの数は、該当 IC の『Thermal Note』、評価ボード等の『Gerber Files』を参考にしてください。

(Fig.5 を参照)

Fig.5 は、EN536XQI の部品配置とビア例です。Fig.6 は、EN5337QI の表面パターン図です。

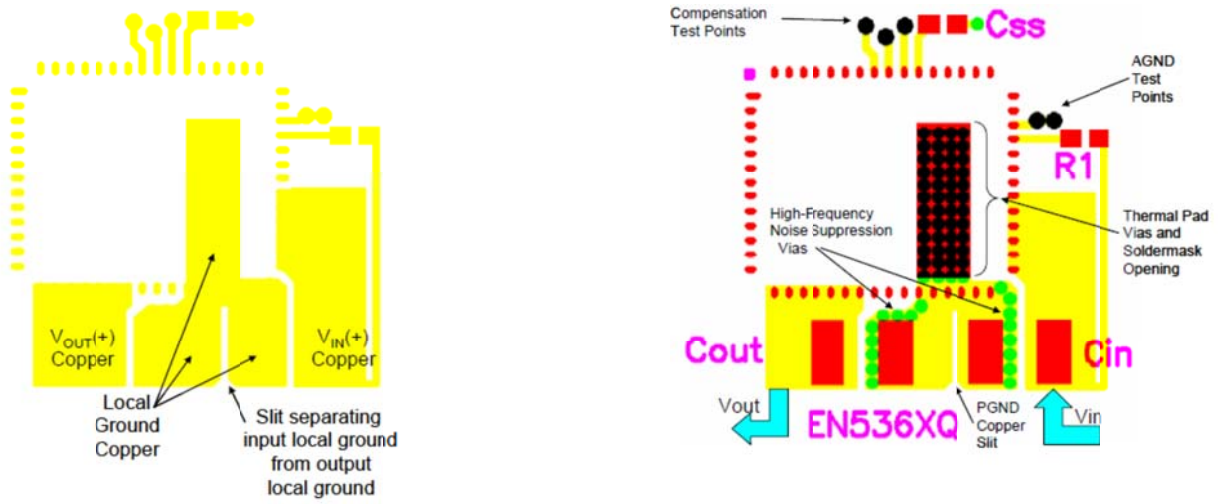


Fig.5 EN536XQI の Cin、Cout 部品配置とビア例

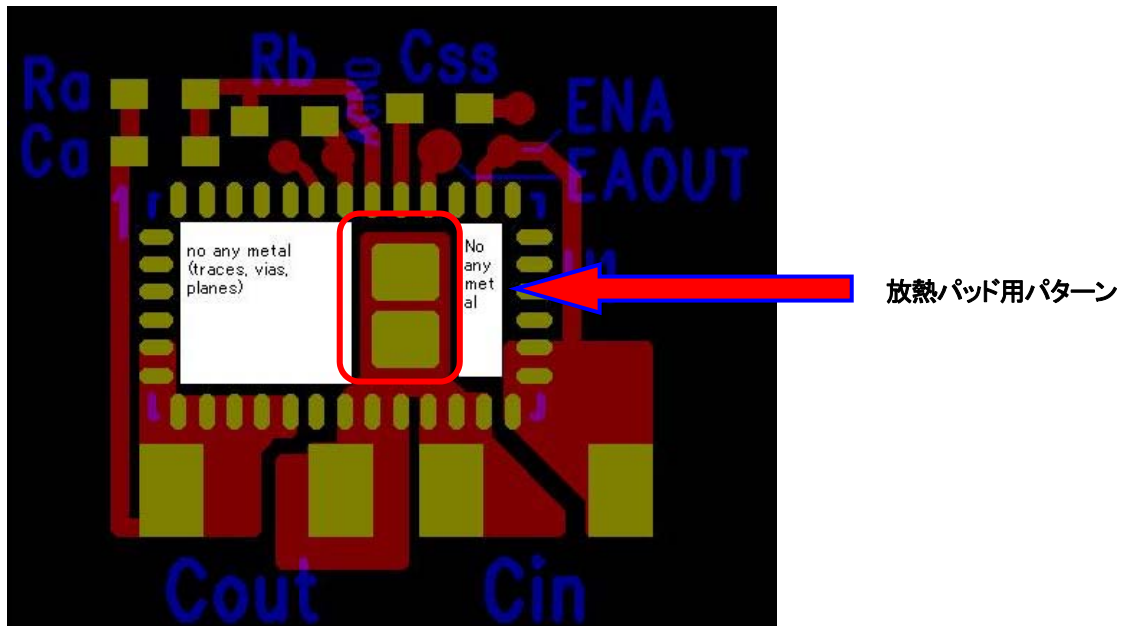


Fig.6 EN5337QI (QF38) のプリント基板 表面パターン図

5. 入力・出力電流ループの分離

5-1. 入力と出力の電流ループは分離

入力コンデンサには、スイッチング周波数に同期した大きなリップル電流が流れ、コンデンサの両端にはリップル電圧が生じます。入出力回路が隣接すると、この影響を受けます。入力と出力は、できるだけ離し最短で接続します。入出力回路が隣接するときは、GND パターンで分離してください。

この GND パターンはある程度太くしビア（複数個）で、裏面の GND パターンと接続してください。

5-2. 信号系パターンは隣接しない

同一プリント基板で使用する信号系のパターンは、この DC-DC コンバータ の回路（特に入力・出力パターン）から離してください。

また電源の入出力パターンと隣接する時は、間に太い GND パターンを設け高周波的に分離することを推奨します。この GND パターンはある程度太くし、ビア（複数個）で裏面の GND パターンと接続してください。（パターン間の浮遊容量の影響をなくします）

6. VSENSE の接続

6-1. VSENSE は出力コンデンサに接続

IC の VSENSE ピンは、出力コンデンサと接続します。

（出力コンデンサが複数ある時は、負荷側に近い出力コンデンサに接続します）

6-2. VSENSE パターンは寄生インダクタを最小に

パターンは寄生インダクタ（ESL）が最小になるように最短である程度の太いパターンで接続します。

（パターンが太くなると ESL も小さくなります）

6-3. VSENSE のパターンは入力パターンから離す

VSENSE のパターンは、この電源回路の入力やノイズの多い信号から離してください。GND パターンで分離することを推奨します。

7. 出力電圧外部設定時の R1, R2 の配置

7-1. R1, R2 は VFB の近くで IC と同一面に配置

EXT. 電圧設定時の R1, R2 は、IC の VFB ピンの近くに IC と同一面で配置します。

R1 と R2 の中点と IC の VFB 間は、最短で接続します。近くにノイズ源になるパターンや部品を配置しないでください。

7-2. 出力電圧検出用の R1 は、出力セラミックコンデンサ（+）電位側に、R2 は、AGND 側に接続します

7-3. VID 電圧設定用端子（VS0, VS1, VS2）は、Vin に接続します

出力電圧外部設定の方法については、必ず使用するデバイスのデータシートにてご確認ください

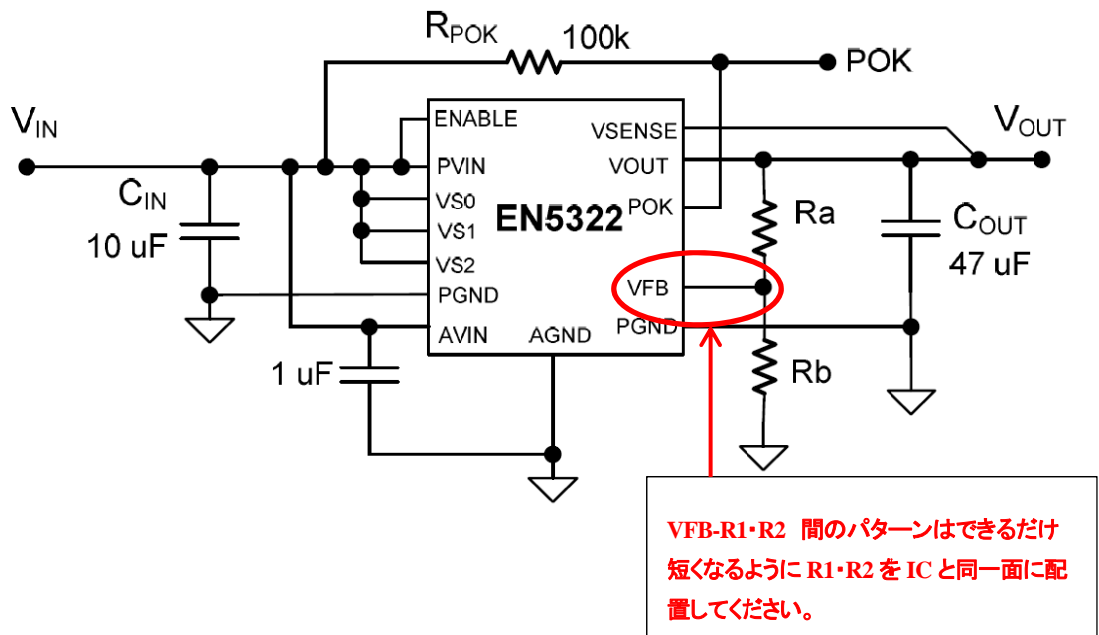


Fig.7 出力外部設定時の VFB-R1-R2 間のパターン接続

8. DC-DC コンバータ複数使用時はY接続

- 1) PCB 上で複数の DC-DC コンバータ を使用するとき、相互間のクロストーク（ノイズ）を最小に配置します。
- 2) DC-DC コンバータ の出力回路は、他の DC-DC コンバータ の入力回路から離します
- 3) 共通の電源から複数の DC-DC コンバータ を接続する時は Y 接続とし、共通インピーダンス回路を極力短くします。
- 4) Y 接続時は、共通ポイントに 2.2 μ F 程度のセラミックコンデンサを GND 間に挿入します。
各 DC-DC コンバータ の入力コンデンサと Y 接続共通ポイント間に SMT フェライトビーズインダクタを挿入します。フェライトビーズを挿入することにより、相互間のクロストークを改善するとともに不要輻射ノイズを低減できます。

DC-DCコンバータの各入力に
フェライト・ビーズインダクタを挿入する

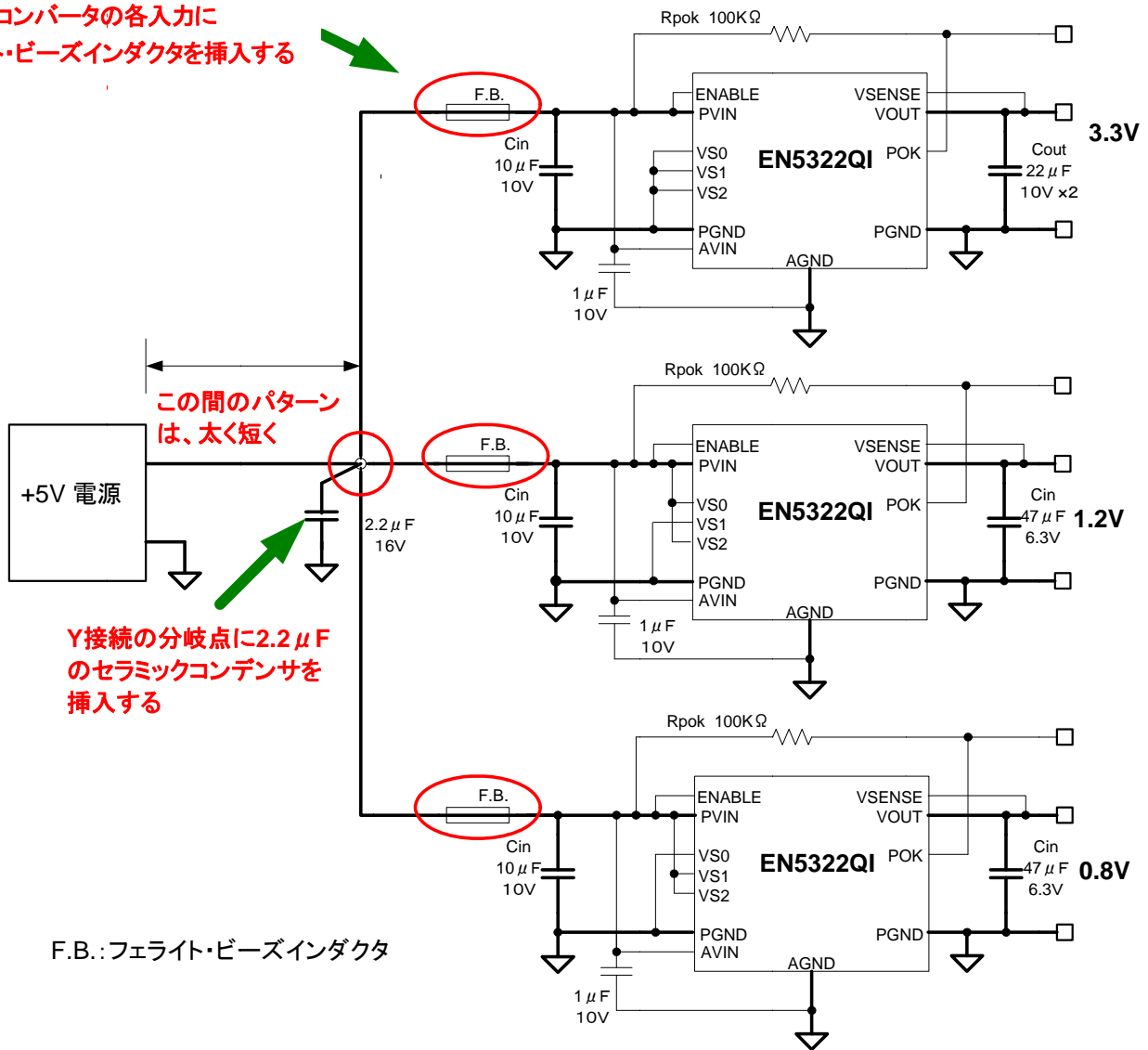


Fig.8 EN5322QIを 3set 使用した接続例

9. FPGA / CPLD 接続時の考慮

9-1. DC-DC コンバータと FPGA の配置

- 1) DC-DC コンバータ は、FPGA の近くに配置します。
- 2) FPGA の電源と 0V (GND) パターンは、太く短く接続します。
- 3) FPGA 側のデカップリング・コンデンサは、FPGA の電源入力ピンと 0V (GND) ピンの直近に配置します。

9-2. デカップリング・コンデンサの選定

- 1) 電源ラインのインピーダンスを低くする

特に FPGA に使用するデカップリング・コンデンサは、電源ラインに重畳するクロックノイズを除去するために広い周波数帯域でインピーダンスが低いことが求められます。

- 2) 負荷応答の改善

DC-DC コンバータ の応答性と負荷変動の立ち上がり、立ち下がりにもよりますが、デカップリング・コンデンサの容量を大きく ($47\mu\text{F}$ 以上) することにより負荷電流の立ち上がりに、このデカップリング・コンデンサから電流供給することで、ある程度の応答性を改善できます。(立ち下がり時には、コンデンサに電流を流す事で改善します)

- 3) 外部のノイズや内部ノイズの低減

ノイズ (クロック) 周波数の奇数倍 (3, 5, 7, 9 倍等) の帯域でインピーダンスが低ければノイズ除去率が向上します。ESL、ESR の小さいコンデンサを使用することにより高域でのインピーダンス特性を低くしクロックノイズの低減ができます。

- 4) セラミックコンデンサ 2 個並列で使用する

ESL は、容量に比例します。そのためコンデンサの容量 ($22\sim 100\mu\text{F}$) を大きくするとコンデンサの自己共振点周波数が下がります。共振点以降の領域では、周波数が上がると ESL が比例して大きくなります。容量の小さい ($0.001\sim 0.1\mu\text{F}$) コンデンサは、自己共振点周波数が上がり、それによりノイズ周波数のインピーダンスが下がりノイズを低減することができます。2) 項 と 3) 項 は、相反することになります。

2) 項の対策として容量の大きいセラミックコンデンサと 3) の対策として ESL の小さい (容量の小さい) セラミックコンデンサを並列接続します。(Fig.9)

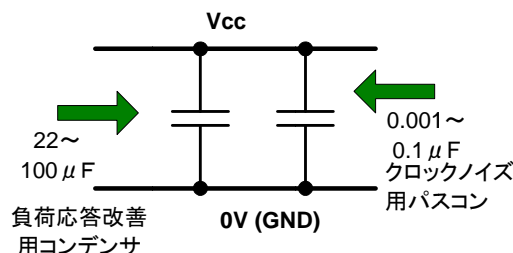
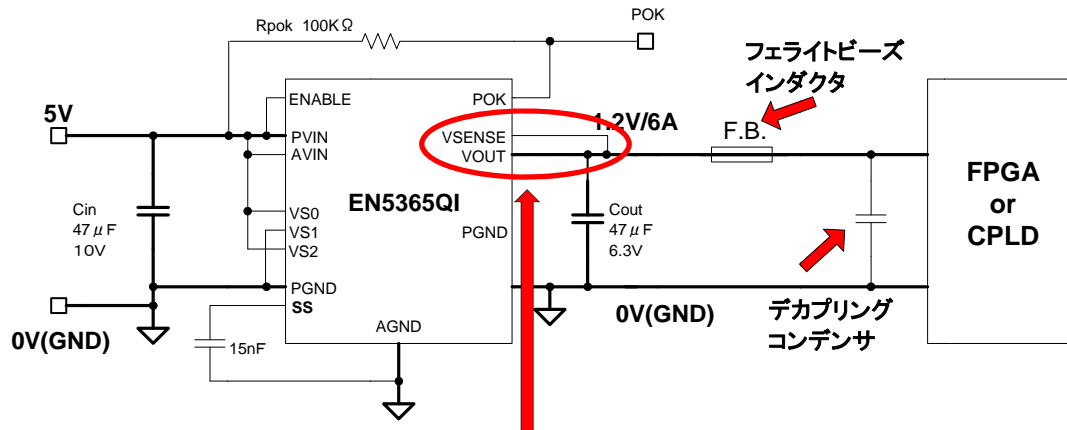


Fig.9 セラミックコンデンサの並列接続

9-3. ノイズ除去

1) フェライトビーズインダクタ

フェライトビーズインダクタを挿入することで高周波領域の挿入損失が大きくなり高周波ノイズを低減することができます。フェライトビーズインダクタについては、10-1 項を参照ください。



VSENSE・VOUT のフィードバック系にフェルトビーズインダクタを挿入しないでください

VFB mode も同様に VOUT-VFB のフィードバック系にフェライトビーズインダクタを挿入しないでください

Fig. 10 フェライトビーズインダクタの使用例

2) 3端子コンデンサ

3端子コンデンサを使用することでコンデンサのESLを小さくし挿入損失を大きくしノイズを低減することができます。3端子コンデンサについては、10-2 項を参照ください。

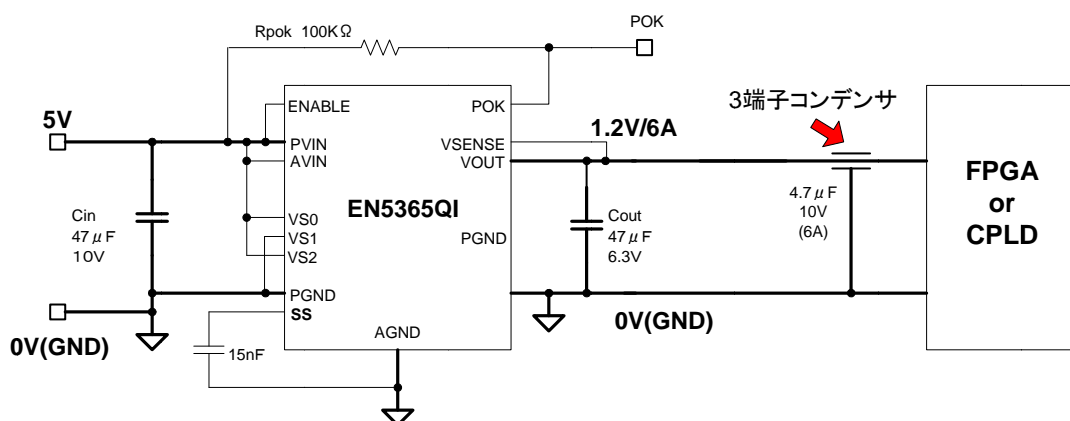


Fig. 11 フェライトビーズインダクタの使用例

10. 添付資料

10-1. フェライトビーズインダクタ

1) フェライトビーズインダクタとは

フェライトは、周波数が高くなればなるほどインピーダンスが大きくなります。この性質を利用したのがフェライトビーズインダクタです。フェライトビーズインダクタは、浮遊容量が小さく、低周波ではインダクタが主体になりますが高周波では抵抗成分が大きくなり、この抵抗成分がノイズを熱に変換して吸収します。

フェライトビーズは、直流抵抗が小さく、高周波インピーダンスが大きいほど挿入効果が高くなり、定格電流値が大きいほど直流抵抗が小さくなります。この定格電流値とインピーダンスの兼ね合いで選定します。

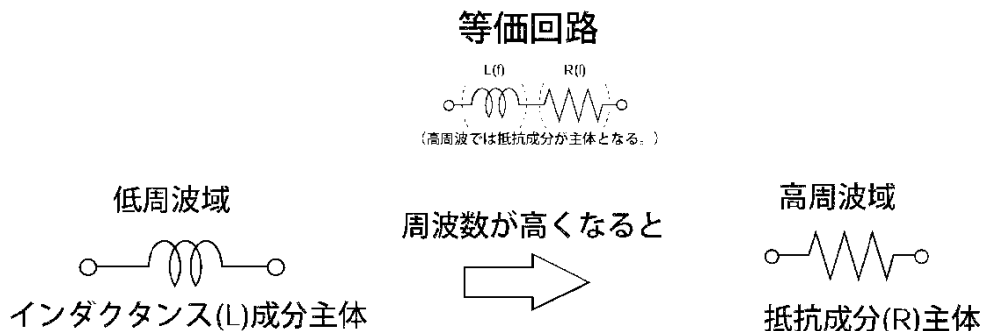
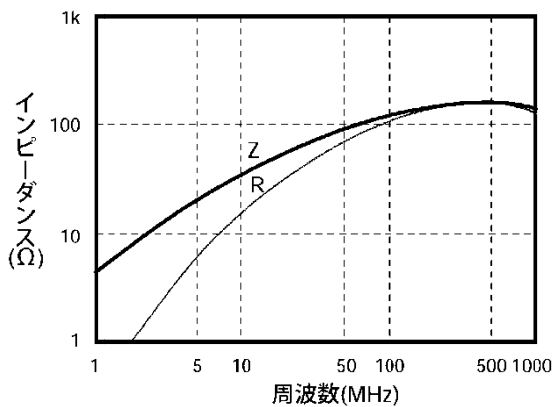
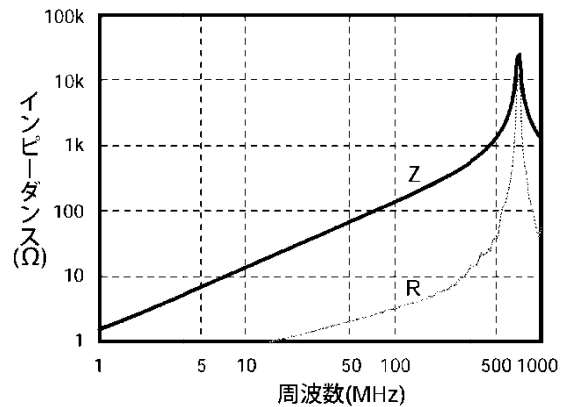


Fig.12 フェライトビーズインダクタの等価回路

2) インピーダンス特性例



R成分が主体 (損失が大きい)
(フェライトビーズインダクタ)



R成分が少ない(損失が少ない、Qが高い)
(高周波フィルタ用空芯コイル)

Fig.13 フェライトビーズインダクタと高周波フィルタ用コイルの特性の違い

10-2. 3 端子コンデンサ

1) ESR について

周波数の低い領域では、コンデンサの ESR（等価直列抵抗）が問題になります。

DC-DC コンバータの入出力コンデンサは、スイッチング周波数（ON/OFF 周波数）に同期した電流やリップル電流が流れます。コンデンサには、その電流と ESR によって損失が発生し温度上昇（自己発熱）を招きます。コンデンサに流れる電流は、負荷電流によっては数 A になることもあります。

一般的に、ESR は周波数が高くなると下がる傾向にあります。その限界が電解コンデンサで約 100 KHz（共振点）、セラミックコンデンサで約 1~10 MHz（容量により変わります）になります。また電解コンデンサは、ESR が大きいので定格電流値が小さくなっています。DC-DC コンバータは、AC-DC コンバータに比較すると周波数の高く、電流値も大きくなるためセラミックコンデンサを使用します。

2) ESL について

周波数が 30 MHz 以上になると高周波用といわれているセラミックコンデンサであっても ESL（等価直列インダクタ）が問題になります。

ESL は、セラミックコンデンサと直列に入ると周波数に比例してインピーダンスも高くなります。その結果、高い周波数のノイズが重畳されていてもセラミックコンデンサがコンデンサとして十分に機能しなくなりノイズを除去できなくなります。

3) 3 端子コンデンサとは

3 端子コンデンサとは、セラミックコンデンサの構造を変えることで ESL を小さくし、ノイズ除去の特性である挿入損失を大きくする事が可能になったコンデンサです。

従来の 2 端子セラミックコンデンサでは、負荷側の高い周波数のクロックによるノイズ等を除去するのにラインに多数挿入していましたが、3 端子コンデンサを使用することにより数量を大幅に少なくすることができます。

3 端子コンデンサの ESL は、2 端子コンデンサに比較して 1/10 以下になります。Fig.14 は、2 端子コンデンサと 3 端子コンデンサの等価回路です。

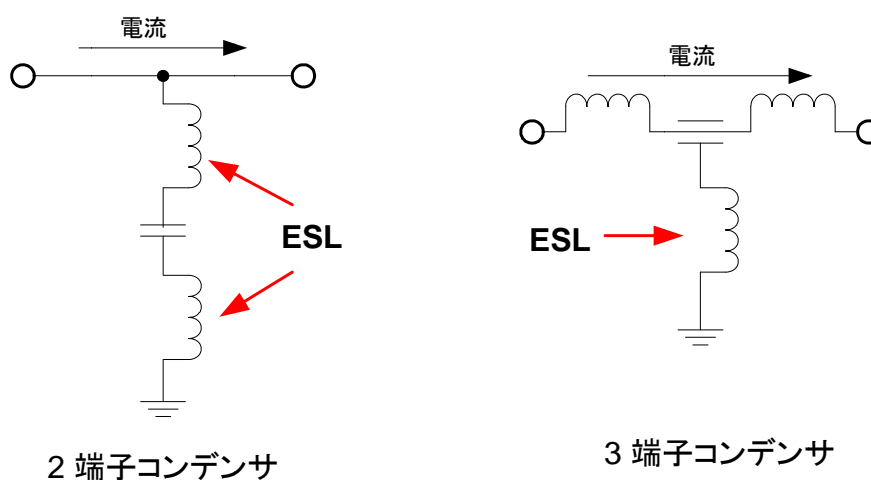


Fig. 14 2 端子コンデンサと 3 端子コンデンサの等価回路

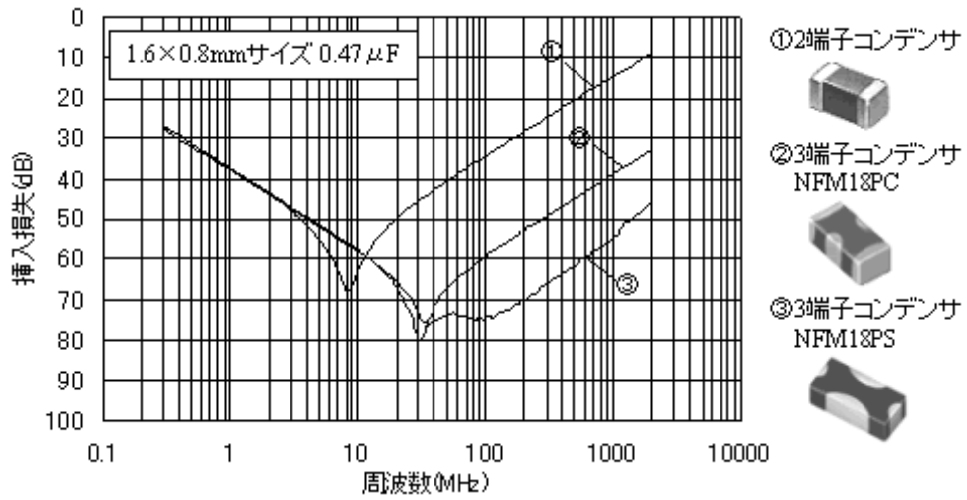


Fig. 15 2端子コンデンサと3端子コンデンサの挿入損失比較

改版履歴

Revision	年月	概要
1	2014 年 7 月	新規フォーマットに変更 Rev1 とする。
2	2015 年 10 月	Fig 7 , Fig 10 を修正

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>
 株式会社エルセナ ホームページ: <http://www.elsenaco.jp> 技術情報サイト ETS : <https://www.elsenaco.jp/elspear/members/index.cfm>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。