

Qsys における オフチップ・メモリ・インタフェースの接続方法

ver.14

Qsys におけるオフチップ・メモリ・インタフェースの接続方法

目次

1. はじめに	3
2. 参考資料	3
3. オフチップ・メモリ・インタフェースの生成	4
3-1. オフチップ・メモリ・インタフェースの構成.....	4
3-2. Generic Tri-state Controller の設定	4
3-2-1. コンポーネント追加.....	4
3-2-2. Signal Selection タブ	5
3-2-3. Signal Timing タブ	6
3-2-4. Signal Polarities タブ.....	7
3-2-5. メモリ・デバイス設定.....	7
3-3. Tri-State Conduit Bridge の設定.....	8
3-3-1. コンポーネント追加.....	8
3-3-2. Export の設定.....	8
3-4. Generic Tri-State Controller と Tri-state Conduit Bridge の接続	8
3-5. アドレス線の接続.....	9
4. 信号線の共有化	10
4-1. コンポーネント追加	10
4-2. 接続	11
4-3. 共有化するピンの設定	12
改版履歴	13

1. はじめに

本資料は、Qsys システム統合ツール（以降: Qsys）におけるオフチップ・メモリ（SRAM や汎用 Flash 等）を接続するためのオフチップ・メモリ・インタフェースを生成する方法を紹介します。

Qsys のライブラリに登録されている Tri-state Component を使用することでオフチップ・メモリ・インタフェースを生成することができます。本資料の内容は、Quartus® II 開発ソフトウェア v14.0 に基づいて作成されています。

2. 参考資料

- User Guide 『Avalon Tri-state Conduit Components』
https://www.altera.com/en_US/pdfs/literature/ug/ug_avalon_tc.pdf
- Quartus II Handbook Version 14.0 Volume 1: Design and Synthesis Chapter 8: Qsys Interconnect
https://www.altera.com/en_US/pdfs/literature/hb/qts/qsys_interconnect.pdf
- Avalon Interface Specifications
https://www.altera.com/en_US/pdfs/literature/manual/mnl_avalon_spec.pdf

3. オフチップ・メモリ・インタフェースの生成

Qsys では、SRAM や Flash 等のオフチップ・メモリ・インタフェースを Tri-state Component を使用して生成します。本章では、SRAM インタフェースを例にオフチップ・メモリ・インタフェースの生成手順を紹介します。

3-1. オフチップ・メモリ・インタフェースの構成

Qsys のコンポーネント・ライブラリに用意されている Tri-state Component を組み合わせることでオフチップ・メモリ・インタフェースを作成します。

Nios® II と SRAM を接続する場合には、図 3-1-1 のように Generic Tri-state Controller と Tri-state Conduit Bridge を使用します。

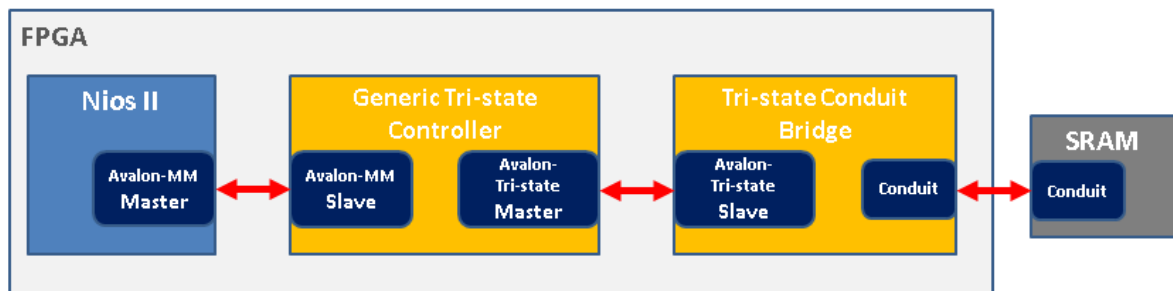


図 3-1-1 オフチップ・メモリ・インタフェース接続イメージ

3-2. Generic Tri-state Controller の設定

3-2-1. コンポーネント追加

Qsys の IP Catalog 内 Qsys Interconnect ⇒ Tri-state Components ⇒ Generic Tri-state Controller をダブルクリックし、パラメータ設定ウィザードを起動します。仕様にあわせパラメータの設定を行います。パラメータ設定後、コンポーネントが追加されます。

Signal Selection、Signal Timing、Signal Polarities の各タブ(図 3-1-2)の各パラメータを設定します。

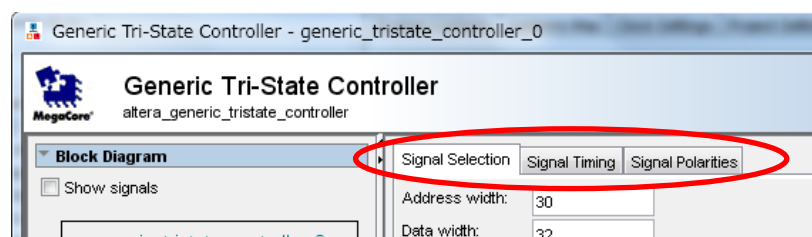


図 3-1-2 Generic Tri-state Controller ウィザード

3-2-2. Signal Selection タブ

接続するメモリ・デバイスのアドレス、データ幅、使用する信号線等を設定します。(図 3-2-2-1)

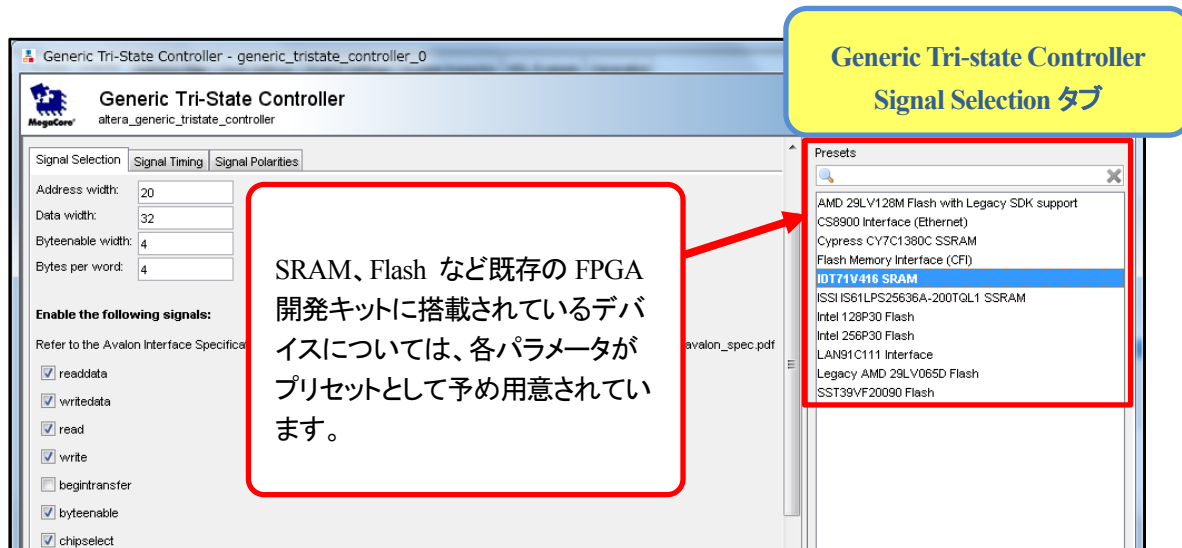


図 3-2-2-1 Signal Selection タブ

表 3-2-2-1 のように各パラメータを接続するメモリ・デバイスの仕様に合わせて設定します。

表 3-2-2-1 Signal Selection

Address width	接続するオフチップ・メモリのアドレス本数 ※バイト単位でのアドレス本数を指定します。必要ない下位ビットは未接続で処理をすることができます。 (例) 2MByte (データ幅16bit) の場合は 20 と入力
Data width	接続するオフチップ・メモリのデータ幅 (例) データ幅が 32bit のデバイスの場合は 32 と入力
Byteenable width	オフチップ・メモリに出力するバイトイネーブルの本数 (本例では、データ幅が 32bit デバイスのため、バイトイネーブルは 4 本)
Bytes per word	1 word あたりのバイト数 (本例では、1 word = 32 bit となるため、4 と入力)
Enable the following signals	使用する信号 (本例では、下記信号を使用) • address: アドレス • readdata: リード・データ • writedata: ライト・データ • read: リード • write: ライト • byteenable: バイトイネーブル • chipselect: チップ・セレクト

詳細については、アルテラ社資料 User Guide 『Avalon Tri-State Conduit Components』を併せてご参照ください。

https://www.altera.com/en_US/pdfs/literature/ug/ug_avalon_tc.pdf

3-2-3. Signal Timing タブ

接続するメモリ・デバイスに合わせてアクセス・タイミングの設定を行います。

**Generic Tri-state Controller
Signal Timing タブ**

【Timing units における単位の選択】

下記いずれかの単位を選択できます。

- Clock サイクル単位
- Nanosecond 単位

※ Nanosecondを選択して、入力クロックの周期より小さい値を入力した場合には1クロック・サイクルの値が適用されます。(入力クロックが 50MHz の場合は設定できる最小単位は 20ns となります。)

図 3-2-3-1 Signal Timing タブ

図 3-2-3-1 のように各パラメータを設定した場合のリード・ライト時のサンプル波形は図 3-2-3-2 のようになります。

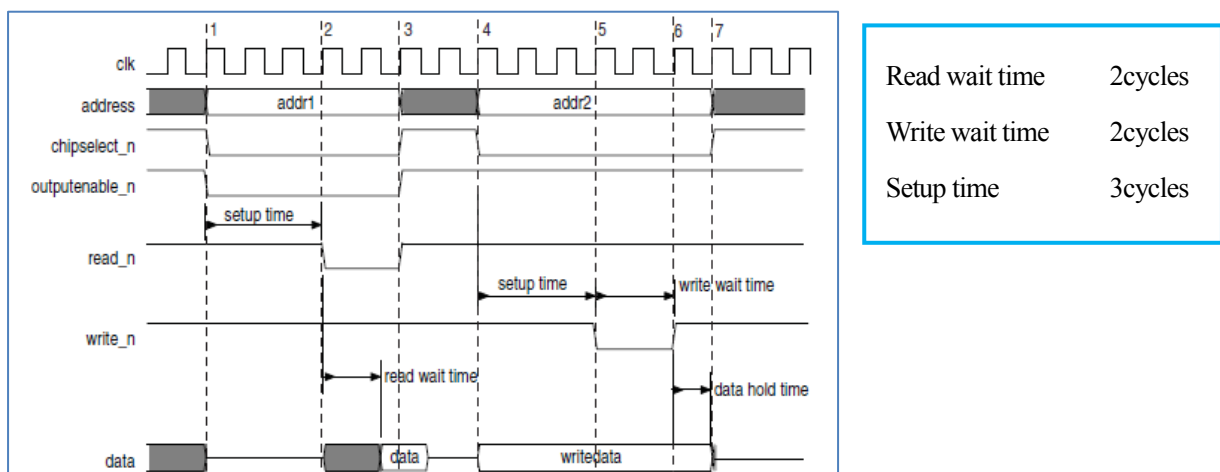


図 3-2-3-2 リード・ライトの波形例

詳細については、アルテラ社資料 User Guide 『Avalon Tri-State Conduit Components』を併せてご参照ください。

https://www.altera.com/en_US/pdfs/literature/ug/ug_avalon_tc.pdf

3-2-4. Signal Polarities タブ

使用する信号の極性を決めます。Low アクティブにしたい信号にチェックを入れます。(図 3-2-4-1)

- Off: High アクティブ(デフォルト)
- On: Low アクティブ

チェックを入れた信号は、Low アクティブ信号となり、信号名に “_n” が追加されます。

(例: Off: read → On: read_n)

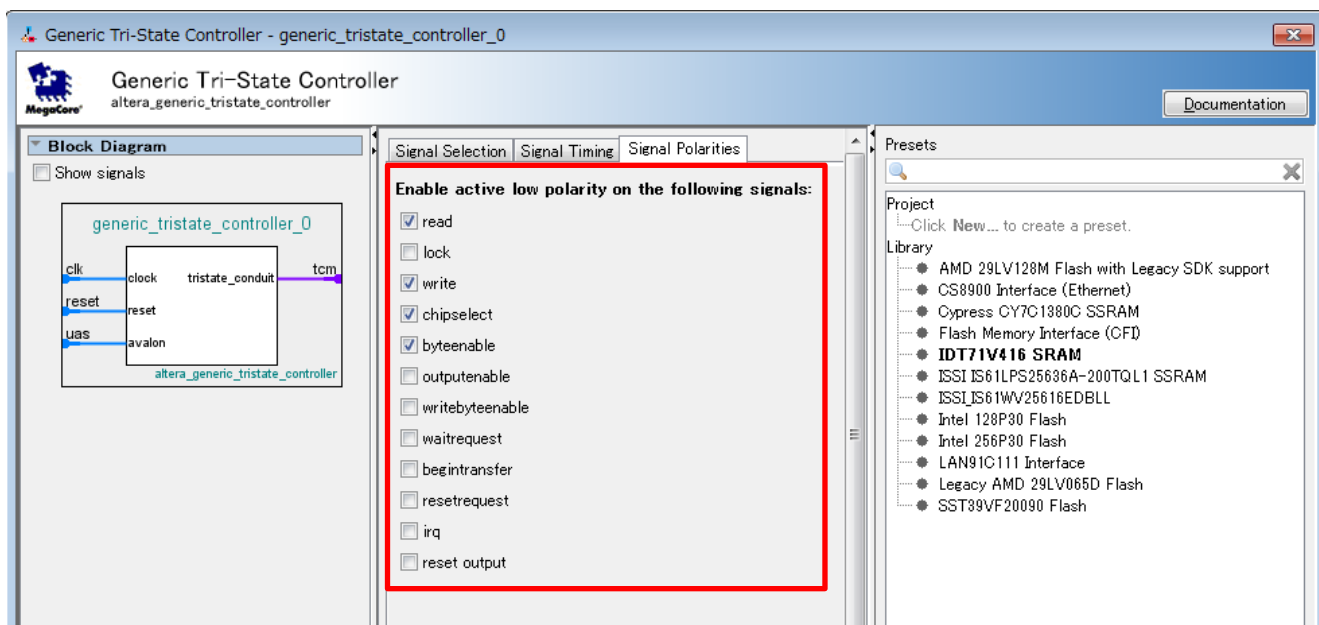


図 3-2-4-1 Signal Polarities

3-2-5. メモリ・デバイス設定

Generic Tri-State Controller ウィザードの一番下にある Parameters 欄で、“Is memory device”にチェックを入れます。(図 3-2-5-1)

※接続するオフチップ・デバイスがメモリの場合にチェックを入れます。

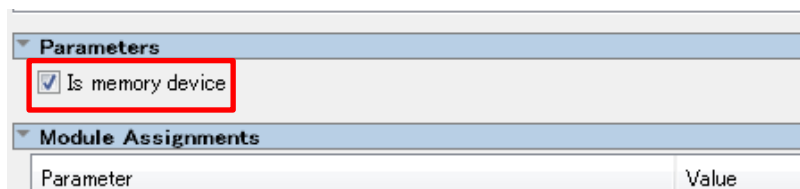


図 3-2-5-1 Parameters

3-3. Tri-State Conduit Bridge の設定

3-3-1. コンポーネント追加

Qsys の IP Catalog 内 Qsys Interconnect ⇒ Tri-state Components ⇒ Tri-state Conduit Bridge をダブルクリックし、コンポーネントを追加します。Tri-State Conduit Bridge にはパラメータ設定はありません。

3-3-2. Export の設定

SRAM とのインタフェースをとる為、out ポートを Export 設定にします。Export 設定をする事で Qsys のシステムにポートとして出力できます。

追加した `tristate_conduit_bridge` の out ポートの “Click to export” をクリックすることによって Export に設定されます。任意のポート名を付けます。(例 `mem if`) (図 3-2-2-1)

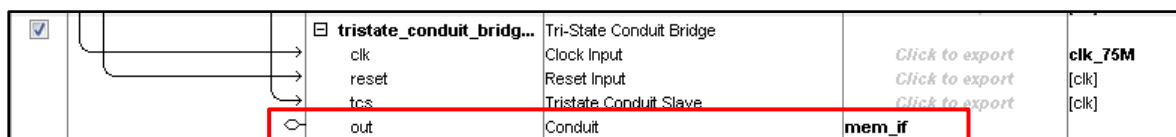


図 3-3-2-1 out ポートの設定

3-4. Generic Tri-State Controller と Tri-state Conduit Bridge の接続

Generic Tri-State Controller の tcm と Tri-state Conduit Bridge の tcs を接続します。(図 3-4-1)

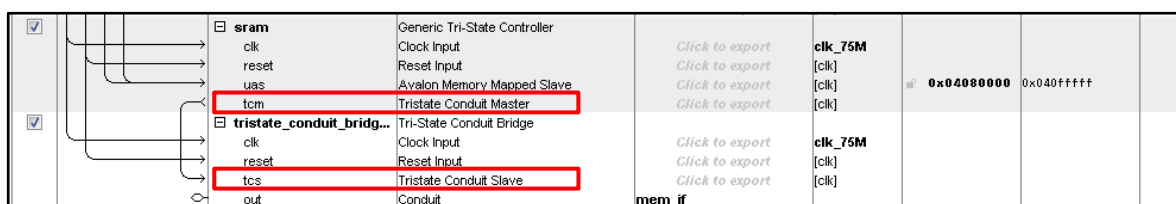


图 3-4-1 System Contents

3-5. アドレス線の接続

Generic Tri-State Controller ではアドレスをバイト単位で設定します。Qsys では、Generic Tri-State Controller で設定したアドレス・ポートとバイトアドレス・ポートをあわせた本数のアドレス・ポートを生成します。その為、実際のオフチップ・メモリとの接続に下位ビットは必要ありません。(16ビット・メモリの場合は、下位 1ビット、32ビット・メモリの場合は下位 2ビット)

必要のないバイトアドレス・ポートは図 3-5-1 のように下位ビットを省いてピンに出力します。

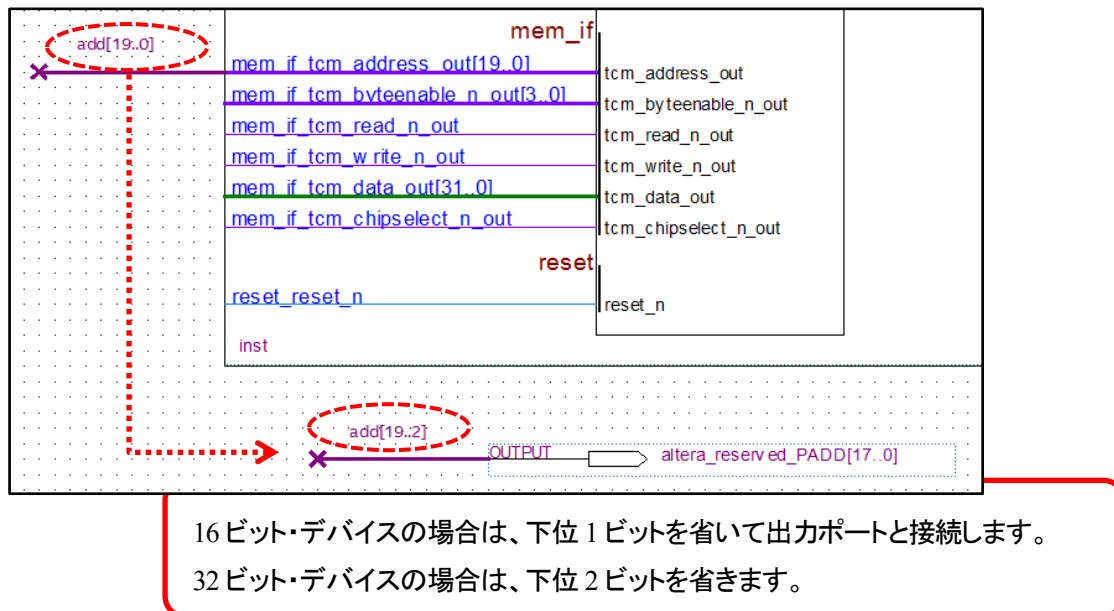


図 3-5-1 アドレス・ポート接続イメージ

4. 信号線の共有化

複数のオフチップ・メモリで制御信号を共有化することができます。本章では、SRAM と Flash メモリでアドレスとデータを共有化する例を用いて手順を紹介します。

複数のオフチップ・メモリで制御線を共有化する場合、Tri-state Conduit Pin Sharer を使用します。

図 4-1-1 は SRAM と Flash を一つの Tri-state Conduit Bridge を使用して接続する場合の例になります。

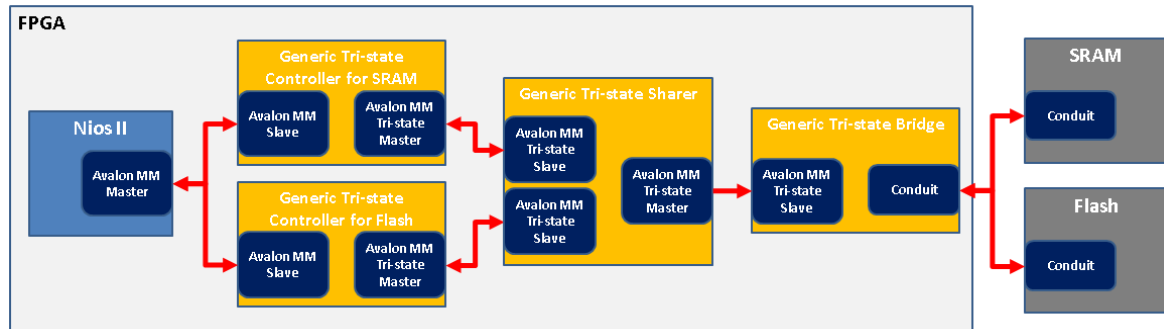


図 4-1-1 SRAM と Flash メモリの接続イメージ

4.1. コンポーネント追加

Qsys の IP Catalog 内 Qsys Interconnect ⇒ Tri-state Components ⇒ Tri-state Conduit Pin Sharer をダブルクリックし、設定ウィザードを起動します。Parameters 欄 “Number of Interfaces” には接続する Tri-State Controller の数を入力します。例えば、SRAM と Flash の 2 つのデバイスを接続する場合は、“2” と入力します。(図 4-1-1-1)

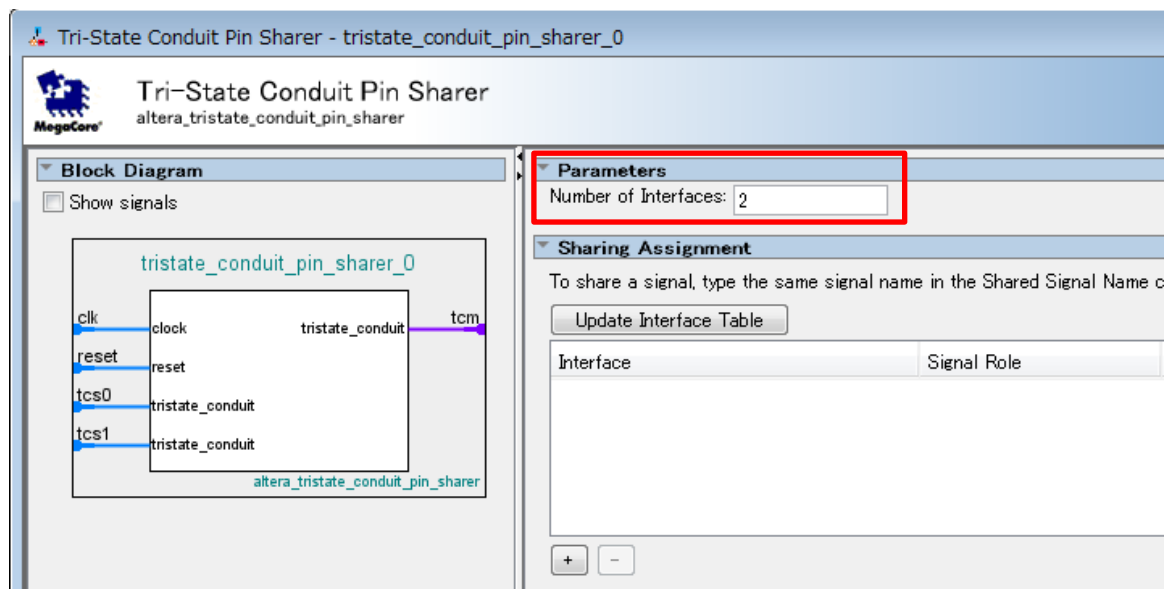


図 4-1-1-1 Tri-State Conduit Pin Sharer

4-2. 接続

信号線を共有化したい Generic Tri-State Controller を接続します。

Generic Tri-State Controller の tcm と Tri-State Conduit Pin Sharer の tcs を接続します。(図 4-1-2-1)

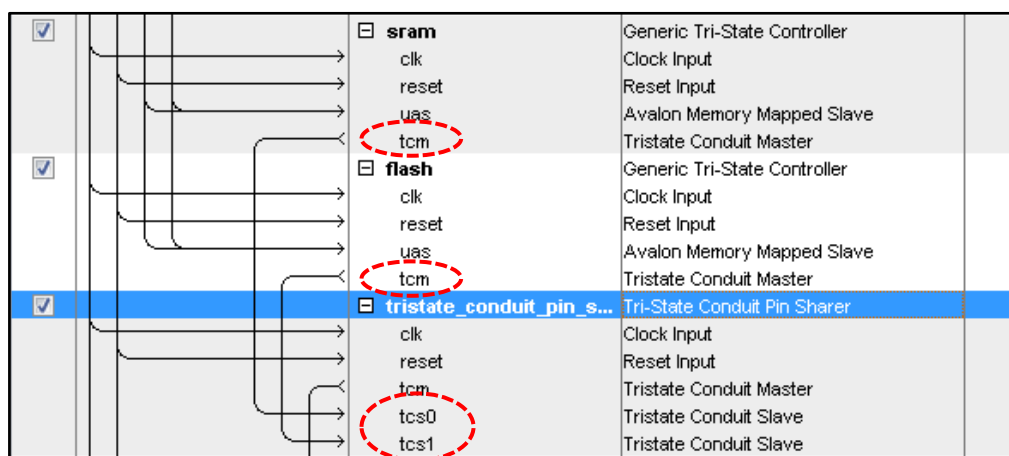


図 4-1-2-1 System Contents

tcm: Avalone-TC Master

tcs: Avalone-TC Slave

詳細については、『Quartus II Handbook』を併せてご参照ください。

https://www.altera.com/en_US/pdfs/literature/hb/qts/qsys_interconnect.pdf

4.3. 共有化するピンの設定

共有化する信号の接続を Tri-state Conduit Pin Sharer を再度開いて行います。

“Update Interface Table” ボタンをクリックします。各 Generic Tri-state Controller の信号線が表示されます。共有化したい信号の Shared Signal Name にそれぞれ任意の同じ信号名を付けます。

例えば、アドレス線とデータ線を共有化して出力する場合には、図 4-1-3-1 のようにそれぞれ flash.tcs の address と sram.tcs の address に同じ “flash_sram_add” という信号名を付けます。データ線についても同様です。

※共有化の設定を行ったピンは 3-3.と同様に Tri-state Conduit Bridge に接続します。

The screenshot shows the 'Sharing Assignment' window in Qsys. It contains two tables for configuring signal sharing between different interfaces.

Flash の信号 (Flash Signals):

Interface	Signal Role	Signal Type	Signal Width	Shared Signal Name
flash.tcm	address	Output	25	flash_sram_add
flash.tcm	read_n	Output	1	
flash.tcm	write_n	Output	1	
flash.tcm	data	Bidirectional	16	flash_sram_data
flash.tcm	chipselect_n	Output	1	

SRAM の信号 (SRAM Signals):

Interface	Signal Role	Signal Type	Signal Width	Shared Signal Name
sram.tcm	address	Output	1	flash_sram_add
sram.tcm	byteenable_n	Output	2	
sram.tcm	read_n	Output	1	
sram.tcm	write_n	Output	1	
sram.tcm	data	Bidirectional	16	flash_sram_data
sram.tcm	chiselect_n	Output	1	

Annotations in the image include yellow arrows pointing to the 'Flash の信号' and 'SRAM の信号' tables, and a red box with text explaining the naming convention for shared signals.

シェアする信号に同じ信号名(任意)を付けます。
シェアしない信号は空欄のままにします。

図 4-1-3-1 Tri-State Conduit Pin Sharer

改版履歴

Revision	年月	概要
1	2014 年 12 月	初版
2	2015 年 1 月	誤記訂正 ・図 4-1-1
2.1	2015 年 4 月	アルテラ社の Web サイトのリニューアルに伴う URL 変更
2.2	2018 年 8 月	誤記訂正 ・図 3-5-1

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>
株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。